

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年11月6日 (06.11.2003)

PCT

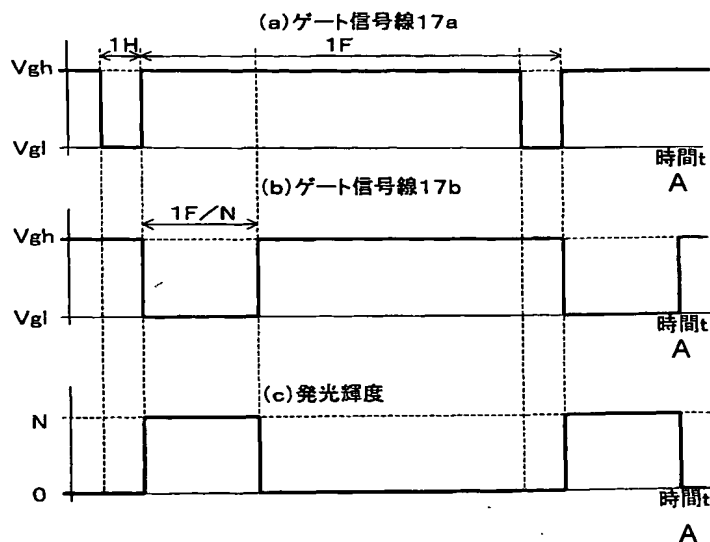
(10) 国際公開番号
WO 03/091978 A1

- (51) 国際特許分類: G09G 3/30, 3/20, H05B 33/14 [JP/JP]; 〒108-0075 東京都港区港南4-1-8 Tokyo (JP).
- (21) 国際出願番号: PCT/JP03/02597
- (22) 国際出願日: 2003年3月6日 (06.03.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-127532 2002年4月26日 (26.04.2002) JP
特願2002-127637 2002年4月26日 (26.04.2002) JP
特願2002-284393 2002年9月27日 (27.09.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 東芝
松下ディスプレイテクノロジー株式会社 (TOSHIBA
MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.)
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 高原 博司
(TAKAHARA, Hiroshi) [JP/JP]; 〒571-0807 大阪府寝
屋川市太秦1011-1-345 Osaka (JP). 柘植 仁
志 (TSUGE, Hitoshi) [JP/JP]; 〒571-0074 大阪府門真
市宮前町16-1 Osaka (JP).
- (74) 代理人: 松田 正道 (MATSUDA, Masamichi); 〒532-
0003 大阪府大阪市淀川区宮原5丁目1番3号新大
阪生島ビル Osaka (JP).
- (81) 指定国 (国内): CN, JP, KR, US.
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: EL DISPLAY PANEL DRIVING METHOD

(54) 発明の名称: EL表示パネルの駆動方法



(a)... GATE SIGNAL LINE 17a
(b)... GATE SIGNAL LINE 17b
(c)... LUMINANCE
A... TIME t

(57) Abstract: To program pixel transistors to conduct predetermined currents by charging/discharging parasitic capacitors of source signal lines, a relatively large current needs to be made to flow from each source driver circuit of current output type. However, if such a large current is made to flow through a source signal line, this current is programmed to flow through the pixel, and consequently a current larger than a desired current flows in the EL device (15). For example, if an N-times (N=10) current is programmed, a 10-times current flows in the EL

[続葉有]

WO 03/091978 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

device (15), which emits light with a 10-times luminance. So as to achieve a predetermined luminance, the time during which the currents flows in the EL device are set to 1/10 of one frame (1F). By thus driving the EL device, the parasitic capacitors of the source signal lines can be charged/discharged, thereby achieving a predetermined luminance.

(57) 要約: ソース信号線の寄生容量の充放電を十分に行い、所定の電流値を画素トランジスタにプログラムを行うためには、電流出力のソースドライバ回路から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線に流すとその電流値が画素にプログラムされてしまい、所望電流に対し大きな電流がEL素子15に流れる。例えば、 $N=10$ 倍の電流でプログラムすれば、10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。そこで所定の発光輝度を得るために、EL素子に電流が流れる時間を1フレーム(1F)の1/10にする。このように駆動することにより、ソース信号線の寄生容量を十分に充放電でき、所定の発光輝度を得ることができる。

明 細 書

E L 表示パネルの駆動方法

技術分野

本発明は、有機または無機エレクトロルミネッセンス（E L）素子を用いたE L表示パネルなどの自発光表示パネルに関するものである。また、E L表示パネルの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。

背景技術

一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変わる。電気光学変換物質として有機エレクトロルミネッセンス（E L）材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。

液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機E L表示パネルは各画素に発光素子を有する自発光型である。そのため、有機E L表示パネルなどの自発光型の表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。

有機E L表示パネルは各発光素子（画素）の輝度は電流量によって

制御される。つまり、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。

有機EL表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。

このアクティブマトリクス方式の有機EL表示パネルは、特開平8-234683号公報に開示されている。この表示パネルの一面素分の等価回路を図62に示す。画素16は発光素子であるEL素子15、第1のトランジスタ11a、第2のトランジスタ11bおよび蓄積容量19からなる。発光素子15は有機エレクトロルミネッセンス（EL）素子である。本発明では、EL素子15に電流を供給（制御）するトランジスタ11aを駆動用トランジスタ11と呼ぶ。また、図62のトランジスタ11bのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ11と呼ぶ。

有機EL素子15は多くの場合、整流性があるため、OLED（有機発光ダイオード）と呼ばれることがある。図62では発光素子OLED15としてダイオードの記号を用いている。

ただし、本発明における発光素子15はOLEDに限るものではなく、素子15に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機EL素子が例示される。その他、半導体で構成

される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、発光素子 15 は必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。なお、15 は EL 素子として説明するが、EL 膜あるいは EL 構造の意味として用いることがある。

図 6 2 の例では、P チャンネル型のトランジスタ 11 a のソース端子 (S) を V d d (電源電位) とし、EL 素子 15 のカソード (陰極) は接地電位 (V k) に接続される。一方、アノード (陽極) はトランジスタ 11 b のドレイン端子 (D) に接続されている。一方、P チャンネル型のトランジスタ 11 a のゲート端子はゲート信号線 17 a に接続され、ソース端子はソース信号線 18 に接続され、ドレイン端子は蓄積容量 19 およびトランジスタ 11 a のゲート端子 (G) に接続されている。

なお、本発明は、EL 素子 15 を駆動する電流を供給するトランジスタ素子 11 a を P チャンネルとして説明するがこれに限定するものではない。N チャンネルでもよい。もちろん、トランジスタ 11 はバイポーラトランジスタ、FET、MOSFET であってもよい。基板 71 はガラス基板に限定されるものではなく、シリコン基板などの金属基板であってもよい。

画素 16 を動作させるために、まず、ゲート信号線 17 a を選択状態とし、ソース信号線 18 に輝度情報を表す映像信号を印加する。すると、トランジスタ 11 a が導通し、蓄積容量 19 が充電又は放電され、トランジスタ 11 b のゲート電位は映像信号の電位に一致する。ゲート信号線 17 a を非選択状態とすると、トランジスタ 11 a がオフになり、トランジスタ 11 b は電氣的にソース信号線 18 から切り

離される。トランジスタ 11a のゲート電位は蓄積容量 19 によって安定に保持される。トランジスタ 11a を介して発光素子 15 に流れる電流は、トランジスタ 11a のゲート／ソース端子間電圧 V_{gs} に応じた値となり、発光素子 15 はトランジスタ 11a を通って供給される電流量に応じた輝度で発光し続ける。

有機 EL 表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機 EL 素子は、電流により発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという課題があった。

発明の開示

本発明の目的は、上記従来の EL 素子の課題を考慮して、画素トランジスタの特性バラツキがあっても、従来に比べて均一な表示を実現でき、かつ従来に比べて動画ボケの少ない EL 表示装置の駆動方法を提供することである。

上記目的を達成するための第 1 の本発明は、マトリックス状に配置された EL 素子と、

前記 EL 素子に流す電流を供給する駆動用トランジスタと、

前記 EL 素子の電流経路に配置された第 1 のスイッチング素子と、

前記第 1 のスイッチング素子をオンオフ制御するゲートドライバ回路と、

前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、

前記駆動用トランジスタは P チャンネルトランジスタであり、

前記ソースドライバ回路のプログラム電流を発生させる単位トラン

ジスタはNチャンネルトランジスタであり、

前記ゲートドライバ回路は、前記第1のスイッチング素子を、1フレーム期間または1フィールド期間において、少なくとも複数回以上オフ状態に制御するEL表示パネルの駆動方法である。

また、第2の本発明は、マトリックス状に配置されたEL素子と、
前記EL素子に流す電流を供給する駆動用トランジスタと、
前記EL素子の電流経路に配置された第1のスイッチング素子と、
前記第1のスイッチング素子をオンオフ制御するゲートドライバ回路と、

前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、

前記駆動用トランジスタはPチャンネルトランジスタであり、
前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはNチャンネルトランジスタであり、

前記ゲートドライバ回路は、前記第1のスイッチング素子を、1フレーム期間または1フィールド期間において、2水平走査期間以上オフ状態に制御することを特徴とするEL表示パネルの駆動方法である。

また、第3の本発明は、マトリックス状に配置されたEL素子と、
前記EL素子に流す電流を供給する駆動用トランジスタと、
前記EL素子の電流経路に配置された第1のスイッチング素子と、
前記第1のスイッチング素子をオンオフ制御するゲートドライバ回路と、

前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、

前記駆動用トランジスタはPチャンネルトランジスタであり、

前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはNチャンネルトランジスタであり、

画素行を選択し電流プログラムを行う期間は、第1の期間と第2の期間から構成され、

第1の期間に第1の電流が印加され、

第2の期間に第2の電流が印加され、

第1の電流は、第2の電流よりも大きく、

前記ソースドライバ回路は、第1の期間に第1の電流を出力し、第1の期間の後の第2の期間に第1の電流を出力することを特徴とするEL表示パネルの駆動方法である。

また、第4の本発明は、第1のスイッチング素子は、1フレーム期間または1フィールド期間において、周期的にオフ状態に制御されることを特徴とする上記第1の本発明のEL表示パネルの駆動方法である。

また、第5の本発明は、プログラム電流を出力するソースドライバ回路と、

マトリックス状に配置されたEL素子と、

前記EL素子に流す電流を供給する駆動用トランジスタと、

前記EL素子の電流経路に配置された第1のスイッチング素子と、

前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第2のスイッチング素子と、

前記第1のスイッチング素子をオンオフ制御する第1のゲートドライバ回路と、

前記第2のスイッチング素子をオンオフ制御する第2のゲートドライバ回路と、

前記駆動用トランジスタにプログラム電流を供給するソースドライ

バ回路を具備し、

前記駆動用トランジスタはPチャンネルトランジスタであり、

前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはNチャンネルトランジスタであり、

前記第1のゲートドライバ回路は、前記第1のスイッチング素子を、1フレーム期間または1フィールド期間において、複数回オフ状態に制御し、

前記第1のゲートドライバ回路は、表示パネルの一辺に配置または形成されており、

前記第2のゲートドライバ回路は、表示パネルの他辺に配置または形成されていることを特徴とするEL表示パネルである。

また、第6の本発明は、ゲートドライバ回路は、駆動用トランジスタと同一プロセスで形成され、ソースドライバ回路は、半導体チップで形成されていることを特徴とする上記第5の本発明のEL表示パネルである。

また、第7の本発明は、ゲート信号線と、

ソース信号線と、

プログラム電流を出力するソースドライバ回路と、

ゲートドライバ回路と、

マトリックス状に配置されたEL素子と、

前記EL素子に流す電流を供給する駆動用トランジスタと、

前記EL素子の電流経路に配置された第1のトランジスタと、

前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第2のトランジスタと、

前記駆動用トランジスタにプログラム電流を供給するソースドライ

バ回路を具備し、

前記駆動用トランジスタはPチャンネルトランジスタであり、

前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはNチャンネルトランジスタであり、

前記ソースドライバ回路は、前記ソース信号線にプログラム電流を出力し、

前記ゲートドライバ回路は、ゲート信号線に接続され、

前記第2のトランジスタのゲート端子は、前記ゲート信号線に接続され、

前記第2のトランジスタのソース端子は、前記ソース信号線に接続され、

前記第2のトランジスタのドレイン端子は、前記駆動用トランジスタのドレイン端子に接続され、

前記ゲートドライバ回路は、複数のゲート信号線を選択して、前記プログラム電流を複数の画素の前記駆動用トランジスタに供給することを特徴とするEL表示パネルである。

また、第8の本発明は、 I (I は2以上の整数)画素行、 J (J は2以上の整数)画素列からなる表示領域を有し、

前記表示領域のソース信号線に映像信号を印加するソースドライバ回路と、

前記表示領域のゲート信号線にオン電圧またはオフ電圧を印加するゲートドライバ回路と、

前記表示領域以外の箇所に形成されたダミー画素行を具備し、

前記表示領域にはEL素子がマトリックス状に形成され、ソースドライバ回路からの映像信号に基づいて発光し、

前記ダミー画素行は、発光しないか、もしくは発光状態が視覚的に見えないように構成されていることを特徴とするEL表示パネルである。

また、第9の本発明は、ゲートドライバ回路は、複数画素行を同時に選択して、ソースドライバ回路からの映像信号を前記複数の画素行に印加し、

第1行目の画素行もしくはI画素行が選択される時には、ダミー画素行が選択されることを特徴とする上記第7の本発明のEL表示パネルである。

また、第10の本発明は、ゲートドライバ回路はPチャンネルトランジスタで構成されていることを特徴とする上記第7の本発明のEL表示パネルである。

また、第11の本発明は、マトリックス状に配置されたEL素子と、
前記EL素子に流す電流を供給する駆動用トランジスタと、
前記EL素子の電流経路に配置された第1のスイッチング素子と、
前記第1のスイッチング素子をオンオフ制御するゲートドライバ回路と、

前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、

前記駆動用トランジスタおよび前記第1のスイッチング素子はPチャンネルトランジスタであり、

前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはNチャンネルトランジスタであり、

前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはNチャンネルトランジスタであることを特徴とするEL表示

パネルである。

また、第 12 の本発明は、EL 素子を所定輝度よりも高輝度で発光する電流を前記 EL 素子に供給し、

1 フレームまたは 1 フィールドの $1/N$ (N は 1 より大きい) 期間、前記 EL 素子を発光させることを特徴とする EL 表示パネルの駆動方法である。

また、第 13 の本発明は、フレームの $1/N$ の期間は、複数期間に分割されていることを特徴とする上記第 12 の本発明の EL 表示パネルの駆動方法である。

また、第 14 の本発明は、電流により EL 素子に流す電流をプログラムする EL 表示パネルにあつて、

所定輝度よりも高い輝度で前記 EL 素子を発光させ、 $1/N$ ($N > 1$) の表示領域を表示し、

前記 $1/N$ の表示領域を順次シフトして全画面を表示することを特徴とする EL 表示パネルの駆動方法である。

また、第 15 の本発明は、マトリックス状に配置された EL 素子と、前記 EL 素子に流す電流を供給する駆動用トランジスタと、前記 EL 素子の電流経路に配置された第 1 のスイッチング素子と、前記第 1 のスイッチング素子をオンオフ制御するゲートドライバ回路を有する EL 表示パネルと、

受話器を具備することを特徴とする EL 表示装置である。

ここで、本明細書中に記載した本発明の内、一の発明は 2 つの動作からなる。第 1 の動作は、画素 16 の駆動用トランジスタ 11a に、電流ドライバ回路 (IC) 14 から電流を供給 (あるいは吸収) し、駆動用トランジスタ 11a に所定の電流をプログラムする。第 2 の動

作は、前記駆動用トランジスタ 11 a にプログラムされた電流を EL 素子 15 に流す。以上のように、駆動用トランジスタ 11 a に電流プログラムし、この電流を EL 素子 15 に流すことにより、駆動用トランジスタ 11 a に特性バラツキが発生していても、プログラムされた所定の電流を流すことができるようになる。したがって、均一な画面表示を実現できる。EL 素子 15 に流す電流は EL 素子 15 と駆動用トランジスタ 11 a 間に形成または配置されたトランジスタ 11 d により間欠動作される。

また、他の一の発明は、複数画素行の駆動用トランジスタ 11 a を同時に選択し、電流プログラムを実施する方法である。選択画素行は順次走査する。たとえば、電流ドライバ 14 から $1\ \mu\text{A}$ の電流を出力し、2つの画素行を同時に選択するとすれば、1つの画素行には、 $1/2 = 0.5\ \mu\text{A}$ の電流がプログラムされる。

これを実現するために、画面の上端と下端のうち、少なくとも一方に、ダミー画素行を形成する。このダミー画素行は、電流プログラムされても発光しないように構成される。また、ダミー画素行は、同時に選択される画素行 - 1 の本数が形成または配置される。

電流ドライバ 14 が電流出力するソース信号線 18 には寄生容量がある。寄生容量を十分に充放電できなければ、画素 16 には所定の電流を書き込むことができない。充放電を良好にするためには、電流ドライバ 14 からの出力電流を大きくすればよい。しかし、電流ドライバ 14 から出力する電流は画素 16 の駆動用トランジスタ 11 a に書き込まれる。したがって、電流ドライバ 14 からの出力電流を大きくすると、駆動用トランジスタ 11 a に書き込まれる電流も大きくなり、EL 素子 15 の発光輝度も比例して大きくなる。そのため、所定輝

度表示にならない。

複数画素行の駆動用トランジスタ 11a を同時に選択すれば、電流ドライバ 14 からの出力電流は複数画素行に分割されて、電流プログラムが実施される。したがって、電流ドライバ 14 から出力する電流を大きくし、かつ駆動用トランジスタ 11a の書き込み電流を小さくすることができる。

また、更に他の一の発明は、画素 16 の点灯を間欠にするものである。つまり、画面表示は間欠表示にする。画面表示を間欠表示にすることにより動画ボケの発生がなくなる。したがって、CRT のように、残像がなく、良好な動画表示を実現できる。間欠表示は、駆動用トランジスタと EL 素子 15 間に配置または形成されたトランジスタ 11d を制御することにより実現する。

なお、上記構成によれば、例えば、 $N = 10$ 倍の電流で画素トランジスタにプログラムすれば、10 倍の電流が EL 素子 15 に流れ、EL 素子 15 は 10 倍の輝度で発光する。そこで所定の発光輝度を得るために、EL 素子に電流が流れる時間を 1 フレーム (1 F) の $1/10$ にする。このように駆動することにより、ソース信号線の寄生容量を十分に充放電でき、所定の発光輝度を得ることができる。この様に、 N 倍の電流で画素にプログラムするため、ソース信号線の寄生容量を十分に充放電できる。したがって、精度のよい電流プログラムを実現できるから均一表示を実現できる。また、 $1 F / N$ の期間の間だけ、EL 素子 15 に電流を流し、他の期間 ($1 F (N - 1) / N$) は電流を流さない。この表示状態では 1 F ごとに画像データ表示、黒表示 (非点灯) が繰り返される間欠表示となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。

図面の簡単な説明

- 第 1 図は、本発明の表示パネルの画素構成図である。
- 第 2 図は、本発明の表示パネルの画素構成図である。
- 第 3 図は、本発明の表示パネルの動作の説明図である。
- 第 4 図は、本発明の表示パネルの動作の説明図である。
- 第 5 図は、本発明の表示装置の駆動方法の説明図である。
- 第 6 図は、本発明の表示装置の構成図である。
- 第 7 図は、本発明の表示パネルの製造方法の説明図である。
- 第 8 図は、本発明の表示装置の構成図である。
- 第 9 図は、本発明の表示装置の構成図である。
- 第 10 図は、本発明の表示パネルの断面図である。
- 第 11 図は、本発明の表示パネルの断面図である。
- 第 12 図は、本発明の表示パネルの説明図である。
- 第 13 図は、本発明の表示装置の駆動方法の説明図である。
- 第 14 図は、本発明の表示装置の駆動方法の説明図である。
- 第 15 図は、本発明の表示装置の駆動方法の説明図である。
- 第 16 図は、本発明の表示装置の駆動方法の説明図である。
- 第 17 図は、本発明の表示装置の駆動方法の説明図である。
- 第 18 図は、本発明の表示装置の駆動方法の説明図である。
- 第 19 図は、本発明の表示装置の駆動方法の説明図である。
- 第 20 図は、本発明の表示装置の駆動方法の説明図である。
- 第 21 図は、本発明の表示装置の駆動方法の説明図である。
- 第 22 図は、本発明の表示装置の駆動方法の説明図である。
- 第 23 図は、本発明の表示装置の駆動方法の説明図である。

第 2 4 図は、本発明の表示装置の駆動方法の説明図である。
第 2 5 図は、本発明の表示装置の駆動方法の説明図である。
第 2 6 図は、本発明の表示装置の駆動方法の説明図である。
第 2 7 図は、本発明の表示装置の駆動方法の説明図である。
第 2 8 図は、本発明の表示装置の駆動方法の説明図である。
第 2 9 図は、本発明の表示装置の駆動方法の説明図である。
第 3 0 図は、本発明の表示装置の駆動方法の説明図である。
第 3 1 図は、本発明の表示装置の駆動方法の説明図である。
第 3 2 図は、本発明の表示装置の駆動方法の説明図である。
第 3 3 図は、本発明の表示装置の駆動方法の説明図である。
第 3 4 図は、本発明の表示装置の構成図である。
第 3 5 図は、本発明の表示装置の駆動方法の説明図である。
第 3 6 図は、本発明の表示装置の駆動方法の説明図である。
第 3 7 図は、本発明の表示装置の構成図である。
第 3 8 図は、本発明の表示装置の構成図である。
第 3 9 図は、本発明の表示装置の駆動方法の説明図である。
第 4 0 図は、本発明の表示装置の構成図である。
第 4 1 図は、本発明の表示装置の構成図である。
第 4 2 図は、本発明の表示パネルの画素構成図である。
第 4 3 図は、本発明の表示パネルの画素構成図である。
第 4 4 図は、本発明の表示装置の駆動方法の説明図である。
第 4 5 図は、本発明の表示装置の駆動方法の説明図である。
第 4 6 図は、本発明の表示装置の駆動方法の説明図である。
第 4 7 図は、本発明の表示パネルの画素構成図である。
第 4 8 図は、本発明の表示装置の構成図である。

- 第49図は、本発明の表示装置の駆動方法の説明図である。
- 第50図は、本発明の表示パネルの画素構成図である。
- 第51図は、本発明の表示パネルの画素構成図である。
- 第52図は、本発明の表示装置の駆動方法の説明図である。
- 第53図は、本発明の表示装置の駆動方法の説明図である。
- 第54図は、本発明の表示パネルの画素構成図である。
- 第55図は、本発明の表示装置の駆動方法の説明図である。
- 第56図は、本発明の表示装置の駆動方法の説明図である。
- 第57図は、本発明の携帯電話の説明図である。
- 第58図は、本発明のビューファインダの説明図である。
- 第59図は、本発明のビデオカメラの説明図である。
- 第60図は、本発明のデジタルカメラの説明図である。
- 第61図は、本発明のテレビ（モニター）の説明図である。
- 第62図は、従来の表示パネルの画素構成図である。
- 第63図は、本発明の表示パネルの画素構成図である。
- 第64図は、本発明の表示パネルの画素構成図である。
- 第65図は、本発明の表示パネルの画素構成図である。
- 第66図は、本発明の表示装置の駆動方法の説明図である。
- 第67図は、本発明の表示装置の駆動方法の説明図である。
- 第68図は、本発明の表示パネルの説明図である。
- 第69図は、本発明の表示パネルの説明図である。
- 第70図は、本発明の表示パネルの説明図である。
- 第71図は、本発明の表示パネルの説明図である。
- 第72図は、本発明の表示パネルの説明図である。
- 第73図は、本発明の表示パネルの説明図である。

第 7 4 図は、本発明の表示パネルの説明図である。

第 7 5 図は、本発明の表示パネルの説明図である。

第 7 6 図は、本発明の表示パネルの説明図である。

第 7 7 図は、本発明の表示装置の駆動方法の説明図である。

第 7 8 図は、本発明の表示装置の駆動方法の説明図である。

第 7 9 図は、本発明の表示装置の駆動方法の説明図である。

第 8 0 図は、本発明の表示装置の駆動方法の説明図である。

第 8 1 図は、本発明の表示装置の駆動方法の説明図である。

第 8 2 図は、本発明の表示パネルの説明図である。

第 8 3 図は、本発明の表示パネルの説明図である。

第 8 4 図は、本発明の表示パネルの説明図である。

第 8 5 図は、本発明の表示パネルの説明図である。

第 8 6 図は、本発明の表示パネルの説明図である。

第 8 7 図は、本発明の検査方法の説明図である。

第 8 8 図は、本発明の検査方法の説明図である。

第 8 9 図は、本発明の検査方法の説明図である。

第 9 0 図は、本発明の検査方法の説明図である。

第 9 1 図は、本発明の検査方法の説明図である。

第 9 2 図は、本発明の検査方法の説明図である。

第 9 3 図は、本発明の検査方法の説明図である。

第 9 4 図は、本発明の表示装置の電源回路の説明図である。

第 9 5 図は、本発明の表示装置の電源回路の説明図である。

第 9 6 図は、本発明の表示装置の電源回路の説明図である。

第 9 7 図は、本発明の表示装置の電源回路の説明図である。

第 9 8 図は、本発明の表示パネルの駆動方法の説明図である。

第 9 9 図は、本発明の表示装置の説明用の概略の断面図である。

第 1 0 0 図は、本発明の表示装置の説明図である。

第 1 0 1 図は、本発明の表示装置の説明図である。

第 1 0 2 図は、本発明の表示装置の説明図である。

第 1 0 3 図は、本発明の表示装置の説明図である。

第 1 0 4 図は、本発明の表示装置の説明図である。

第 1 0 5 図は、本発明の表示装置の説明図である。

第 1 0 6 図は、本発明の表示装置の説明図である。

第 1 0 7 図は、本発明の表示装置の説明図である。

第 1 0 8 図は、本発明の表示装置の説明図である。

第 1 0 9 図は、本発明の表示装置の説明図である。

第 1 1 0 図は、本発明の表示装置の説明図である。

第 1 1 1 図は、本発明の表示装置の説明図である。

第 1 1 2 図は、本発明の表示装置の説明図である。

第 1 1 3 図は、本発明の表示装置の説明図である。

第 1 1 4 図は、本発明の表示装置の説明図である。

第 1 1 5 図は、本発明の表示パネルの駆動方法の説明図である。

第 1 1 6 図は、本発明の表示パネルの駆動方法の説明図である。

第 1 1 7 図は、本発明の表示パネルの駆動方法の説明図である。

第 1 1 8 図は、本発明の表示パネルの駆動方法の説明図である。

第 1 1 9 図は、本発明の表示パネルの駆動方法の説明図である。

第 1 2 0 図は、本発明の表示パネルの駆動方法の説明図である。

第 1 2 1 図は、本発明の表示パネルの駆動方法の説明図である。

第 1 2 2 図は、本発明の表示パネルの駆動方法の説明図である。

第 1 2 3 図は、本発明の表示パネルの駆動方法の説明図である。

第 1 2 4 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 2 5 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 2 6 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 2 7 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 2 8 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 2 9 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 3 0 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 3 1 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 3 2 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 3 3 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 3 4 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 3 5 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 3 6 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 3 7 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 3 8 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 3 9 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 4 0 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 4 1 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 4 2 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 4 3 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 4 4 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 4 5 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 4 6 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 4 7 図は、本発明の表示パネルの駆動方法の説明図である。
第 1 4 8 図は、本発明の表示パネルの駆動方法の説明図である。

第149図は、本発明の表示パネルの駆動方法の説明図である。
第150図は、本発明の表示パネルの駆動方法の説明図である。
第151図は、本発明の表示パネルの駆動方法の説明図である。
第152図は、本発明の表示パネルの駆動方法の説明図である。
第153図は、本発明の表示パネルの駆動方法の説明図である。
第154図は、本発明の表示パネルの駆動方法の説明図である。
第155図は、本発明の表示パネルの駆動方法の説明図である。
第156図は、本発明の表示パネルの駆動方法の説明図である。
第157図は、本発明の表示パネルの駆動方法の説明図である。
第158図は、本発明の表示パネルの駆動方法の説明図である。
第159図は、本発明の表示パネルの駆動方法の説明図である。
第160図は、本発明の表示パネルの駆動方法の説明図である。
第161図は、本発明の表示パネルの駆動方法の説明図である。
第162図は、本発明の表示パネルの駆動方法の説明図である。
第163図は、本発明の表示パネルの駆動方法の説明図である。
第164図は、本発明の表示パネルの駆動方法の説明図である。
第165図は、本発明の表示装置の駆動方法の説明図である。
第166図は、本発明の表示装置の駆動方法の説明図である。
第167図は、本発明の表示装置の駆動方法の説明図である。
第168図は、本発明の表示装置の駆動方法の説明図である。
第169図は、本発明の表示装置の駆動方法の説明図である。
第170図は、本発明の表示装置の駆動方法の説明図である。
第171図は、本発明の表示装置の駆動方法の説明図である。
第172図は、本発明の表示装置の駆動方法の説明図である。
第173図は、本発明の表示装置の駆動方法の説明図である。

第 1 7 4 図は、本発明の表示装置の駆動方法の説明図である。
第 1 7 5 図は、本発明の表示装置の駆動方法の説明図である。
第 1 7 6 図は、本発明の表示装置の駆動方法の説明図である。
第 1 7 7 図は、本発明の表示装置の駆動方法の説明図である。
第 1 7 8 図は、本発明の表示装置の駆動方法の説明図である。
第 1 7 9 図は、本発明の表示装置の駆動方法の説明図である。
第 1 8 0 図は、本発明の表示装置の駆動方法の説明図である。
第 1 8 1 図は、本発明の表示装置の駆動方法の説明図である。
第 1 8 2 図は、本発明の表示装置の駆動方法の説明図である。
第 1 8 3 図は、本発明の表示装置の駆動方法の説明図である。
第 1 8 4 図は、本発明のソースドライバ回路の説明図である。
第 1 8 5 図は、本発明のソースドライバ回路の説明図である。
第 1 8 6 図は、本発明のソースドライバ回路の説明図である。
第 1 8 7 図は、本発明のソースドライバ回路の説明図である。
第 1 8 8 図は、本発明のソースドライバ回路の説明図である。
第 1 8 9 図は、本発明のソースドライバ回路の説明図である。

(符号の説明)

- 1 1 トランジスタ（薄膜トランジスタ）
- 1 2 ゲートドライバ I C（回路）
- 1 4 ソースドライバ I C（回路）
- 1 5 E L（素子）（発光素子）
- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線

- 1 9 蓄積容量（付加コンデンサ、付加容量）
- 5 0 表示画面
- 5 1 書き込み画素（行）
- 5 2 非表示画素（非表示領域、非点灯領域）
- 5 3 表示画素（表示領域、点灯領域）
- 6 1 シフトレジスタ
- 6 2 インバータ
- 6 3 出力バッファ
- 7 1 アレイ基板（表示パネル）
- 7 2 レーザー照射範囲（レーザースポット）
- 7 3 位置決めマーカ
- 7 4 ガラス基板（アレイ基板）
- 8 1 コントロール I C（回路）
- 8 2 電源 I C（回路）
- 8 3 プリント基板
- 8 4 フレキシブル基板
- 8 5 封止フタ
- 8 6 カソード配線
- 8 7 アノード配線（V d d）
- 8 8 データ信号線
- 8 9 ゲート制御信号線
- 1 0 1 土手（リブ）
- 1 0 2 層間絶縁膜
- 1 0 4 コンタクト接続部
- 1 0 5 画素電極

- 1 0 6 カソード電極
- 1 0 7 乾燥剤
- 1 0 8 $\lambda/4$ 板
- 1 0 9 偏光板
- 1 1 1 薄膜封止膜
- 2 8 1 ダミー画素 (行)
- 3 4 1 出力段回路
- 3 7 1 O R 回路
- 4 0 1 点灯制御線
- 4 7 1 逆バイアス線
- 4 7 2 ゲート電位制御線
- 5 6 1 電子ボリウム回路
- 5 6 2 トランジスタの S D (ソースドレイン) ショート
- 5 7 1 アンテナ
- 5 7 2 キー
- 5 7 3 筐体
- 5 7 4 表示パネル
- 5 8 1 接眼リング
- 5 8 2 拡大レンズ
- 5 8 3 凸レンズ
- 5 9 1 支点 (回転部)
- 5 9 2 撮影レンズ
- 5 9 3 格納部
- 5 9 4 スイッチ
- 6 0 1 本体

- 6 0 2 撮影部
- 6 0 3 シャッタスイッチ
- 6 1 1 取り付け枠
- 6 1 2 脚
- 6 1 3 取り付け台
- 6 1 4 固定部
- 6 3 1 切り替えスイッチ
- 6 8 1 絶縁膜
- 6 9 1 回折格子
- 7 2 1 画素開口部
- 3 4 1 出力段回路
- 9 9 1 基準電圧回路
- 9 9 2 P C (データ入力手段、制御手段)
- 9 9 3 入力回路 (オペアンプ、スイッチ、A / D 変換回路)
- 9 9 4 トランジスタ
- 9 9 5 オペアンプ
- 9 9 6 接続端子
- 9 9 7 プローブ (接続手段)
- 9 4 1 コイル (トランス)
- 9 4 2 制御回路
- 9 4 3 ダイオード
- 9 4 4 コンデンサ
- 9 4 5 抵抗
- 9 4 6 トランジスタ
- 9 5 1 スイッチ

- 9 5 2 温度センサ
- 9 9 1 液晶表示パネル
- 1 0 0 1 接続樹脂
- 1 0 0 2 封止樹脂
- 1 0 0 3 拡散剤
- 1 0 0 4 偏光板（偏光フィルム、円偏光板、円偏光フィルム）
- 1 0 1 1 ガラスリング
- 1 0 2 1 フレキシブル基板
- 1 0 2 2 コントローラ
- 1 0 2 3 コネクタ端子
- 1 0 3 1 シリアルデータ
- 1 0 3 2 パラレル映像データ
- 1 0 3 3 ゲートドライバ回路制御データ
- 1 0 5 1 放熱板（放熱フィルム）
- 1 0 5 2 穴（空気穴、放熱穴）
- 1 0 6 1 実装部品
- 1 0 6 2 プリント基板
- 1 0 6 3 緩衝部材（緩衝突起）
- 1 1 1 1 単位ゲート出力回路
- 1 3 8 1 寄生容量
- 1 4 3 1 コンデンサドライバ
- 1 4 3 3 コンデンサ信号線
- 1 4 3 4 結合コンデンサ
- 1 4 6 1 電流出力回路
- 1 4 7 1 出力端子

- 1 4 7 2 寄生容量
- 1 4 8 1 インバータ
- 1 5 1 1 共通信号線
- 1 5 1 2 共通ドライバ回路
- 1 8 4 1、1 8 4 2、1 8 4 3 電流源（トランジスタ）
- 1 8 5 1 スイッチ（オンオフ手段）
- 1 8 5 4 電流源（1 単位）
- 1 8 5 3 内部配線
- 1 8 6 1 ボリウム（電流調節手段）
- 1 8 9 1 トランジスタ群

発明を実施するための最良の形態

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図 1 1 に図示する表示パネルの断面図では封止膜 1 1 1 などを十分厚く図示している。一方、図 1 0 において、封止フタ 8 5 は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムを偏光板が必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図 8 の表示パネルにタッチパネルなどを付加し、図 5 7 から図 6 1、図 1 0 2 など図示する情

報表示装置などを構成することができる。また、拡大レンズ582を取り付け、ビデオカメラ（図59など参照のこと）などに用いるビューファインダ（図58を参照のこと）を構成することもできる。また、図4、図15、図18、図21、図23、図27、図31、図35、図39、図44、図52、図53、図55、図63、図67、図77、図78、図79、図80、図114、図116、図120、図122、図125、図129、図130、図131、図132、図133、図136、図139、図140、図144、図145、図152から図164などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルもしくは情報表示装置などに適用することができる。

なお、本明細書では、駆動用トランジスタ11、スイッチング用トランジスタ11などは薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（TFD）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、スイッチ素子11、駆動用素子11と構成するものはこれらのいずれでも使用することができる。

以下、本発明のELパネルについて図面を参照しながら説明をする。

有機EL表示パネルは、図10に示すように、画素電極としての透明電極105が形成されたガラス板71（アレイ基板）上に、電子輸送

層、発光層、正孔輸送層などからなる少なくとも1層の有機EL層15および金属電極（反射膜）（カソード）106が積層されたものである。透明電極（画素電極）105である陽極（アノード）にプラス、金属電極（反射電極）106の陰極（カソード）にマイナスの電圧を加えると有機EL素子15が発光する。

アノードあるいはカソードへ電流を供給する配線（図8のカソード配線86、アノード配線87）には大きな電流が流れる。たとえば、EL表示装置の画面サイズが40インチサイズになると100（A）程度の電流が流れる。したがって、アノードおよびカソード配線の抵抗値は十分低く作製（形成）する必要がある。この課題に対して、本発明では、まず、アノードなどの配線（EL素子に発光電流を供給する配線）を薄膜で形成する。そして、この薄膜配線に電解めっき技術あるいは無電解めっき技術でメッキし、配線にメッキ層を積層することにより配線の厚みを厚く形成している。

めっき金属としては、クロム、ニッケル、金、銅、アルミあるいはこれらの合金、アマンガム構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を貼り付けている。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、配線抵抗を低下させる。また、ボンディング技術で配線のワイヤをボンディングしてもよい。また、必要に応じて、配線に絶縁層を形成し、さらに導電体層を積層してグランドパターンを形成し、配線との間にコンデンサ（容量）を形成してもよい。

金属電極106には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用い

ることが好ましい。特に、例えばAl-Li合金を用いることが好ましい。また、透明電極105には、ITO等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は他の画素電極105に対しても同様である。

本発明のEL膜15は蒸着で形成することには限定するものではなく、インクジェットで形成してもよいことは言うまでもない。つまり、本発明のEL素子15とは、蒸着プロセスで形成する低分子EL材料で構成されたものに限定されるものではなく、インクジェットなどで形成される高分子EL材料で構成されたものでもよい。その他、スクリーン印刷あるいはオフセット印刷技術などで形成されたものでもよい。

封止フタ85とアレイ基板71との空間には乾燥剤107を配置する。これは、有機EL膜15は湿度に弱いためである。EL膜15を封止ふた85で外気と遮断し、乾燥剤107によりシール剤を浸透する水分を吸収し有機EL膜15の劣化を防止する。

図10はガラスの封止フタ85を用いて封止する構成であるが、図11のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）111を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）111としては電解コンデンサのフィルムにDLC（ダイヤモンド ライク カーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜111として用いる。なお、封止フタあるいは封止膜111の熱膨張係数は、アレイ基板71の熱膨張係数に対し、10%以内の差の材料を用いて形成あるいは構成することが好ましい。

熱膨張係数がずれていると封止ふた 1 1 1 などとアレイ基板 7 1 などが剥離する。なお、封止膜 1 1 1 は、DLC 膜などを電極 1 0 6 の表面に直接蒸着する構成ものよいことはいうまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

薄膜 1 1 1 の膜厚は $n \cdot d$ (n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合 (各薄膜の $n \cdot d$ を計算) にして計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。) が、EL 素子 1 5 の発光主波長 λ 以下となるようにするとよい。この条件を満足させることにより、EL 素子 1 5 からの光取り出し効率が、ガラス基板で封止した場合に比較して 2 倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

以上のように封止フタ 8 5 を用いず、封止膜 1 1 1 で封止する構成を薄膜封止構成と呼ぶ。基板 7 1 側から光を取り出す「下取り出し (図 1 0 を参照、光取り出し方向は図 1 0 の矢印方向である)」の場合は、EL 膜を形成後、EL 膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下の厚みが適する。さらに好ましくは、膜厚は $2 \mu\text{m}$ 以上 $6 \mu\text{m}$ 以下の厚みが適する。この緩衝膜上に封止膜 7 4 を形成する。緩衝膜がないと、応力により EL 膜構造が崩れ、筋状に欠陥が発生する。封止膜 1 1 1 は前述したように、DLC (ダイヤモンド ライク カーボン)、あるいは電界コンデンサの層構造 (誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造) が例示される。

EL 層 1 5 側から光を取り出す「上取り出し、図 1 1 を参照、光取

り出し方向は図 1 1 の矢印方向である」の場合の薄膜封止は、E L 膜 1 5 を形成後、E L 膜 1 5 上にカソード（アノード）となる A g - M g 膜を 2 0 オングストローム以上 3 0 0 オングストロームの膜厚で形成する。その上に、I T O などの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜 1 1 1 を形成する。

有機 E L 層 1 5 から発生した光の半分は、反射膜 1 0 6 で反射され、アレイ基板 7 1 と透過して出射される。しかし、反射膜 1 0 6 には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板 7 1 に $\lambda/4$ 板 1 0 8 および偏光板（偏光フィルム） 1 0 9 を配置している。これらは一般的に円偏光板（円偏光シート）と呼ばれる。

なお、画素が反射電極の場合は E L 層 1 5 から発生した光は上方向に出射される。したがって、位相板 1 0 8 および偏光板 1 0 9 は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極 1 0 5 を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極 1 0 5 の表面に、凸部（もしくは凹凸部）を設けることで有機 E L 層 1 5 との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード 1 0 6 （アノード 1 0 5）となる反射膜を透明電極に形成する、あるいは反射率を 3 0 % 以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

画素の開口部以外にアクリルのカーボンを含有させた樹脂を塗布する（ブラックマトリックス（BM））ことにより、写りこみを抑制することができる。樹脂などは光吸収性を有するものであれば何でも良

い。六価クロムなどの黒色の金属、塗料、表面に微細な凹凸を形成した薄膜あるいは厚膜もしくは部材、酸化チタン、酸化アルミニウム、酸化マグネシウム、オパールガラスなどの光拡散物でもよい。また、暗色、黒色でなくとも光変調層 24 が変調する光に対して補色の関係のある染料、顔料などで着色されたものでもよい。

画素電極 105 は透明電極 (ITO) で形成される。画素電極 105 上に、EL 膜 15 が形成される。カソード電極 106 と画素電極 105 間に挟持された EL 素子 15 に電界が印加されることにより EL 素子 15 が発光する。

課題は、電界が印加された EL 層 15 のすべてが発光してしまう点にある。画素電極 105 下にトランジスタ 11、ゲート信号線 17 が形成された領域は光が透過しない (この光が透過しない領域を非透過領域と呼ぶ)。非透過領域の EL 層 15 が発光しても、発光した光は遮光されてしまう。しかし、発光した領域においても電力は使用されているから、非透過領域で発光している EL 層が多いほど電力効率が低下することになる。

この課題を解決するため、本発明では、図 68 で図示するように非発光領域に絶縁膜 681 を形成している。絶縁膜 681 は、画素電極 105 と積層して形成する。また、絶縁膜 681 は非発光領域上に形成する。非発光領域上とは、画素電極 105 と EL 層 15 間、カソード 106 と EL 層 15 間のいずれも該当する。図 68 は画素電極 105 と EL 層 15 間に絶縁膜 681 を形成した構成である。

図 71 は、画素電極 105 を上から見た構成を模式的に図示している。非発光領域上に絶縁膜 681 が形成されている。また、図 72 は画素開口部 721 以外の部分に絶縁膜 681 を形成したところを示し

ている。

絶縁膜は、 SiO_2 、 SiO 、 TiO_2 、 Al_2O_3 などの無機材料からなる薄膜が例示される。また、アクリル樹脂、レジストなど有機材料からなる薄膜あるいは厚膜でもよい。なお、非透過領域の画素電極をパターンニングにより取り除いても良い。また、カソードを構成する金属薄膜などをパターンニングにより取り除いても良いことは言うまでもない。

絶縁膜 681 を形成すること、あるいはパターンニングにより EL 素子 15 の電極を取り除くことにより、EL 膜 15 には電荷が注入されなくなる。したがって、非発光領域での EL 素子 15 の発光は発生しなくなるから、電力効率は向上する。

なお、画素サイズは、図 73 に図示するように、RGB で大きさを変化させてもよいことは言うまでもない。EL 素子 15 は、RGB で発光効率が異なるため、図 73 のように RGB で画素開口率（画素サイズ）を変化させることのより、ホワイトバランスを良好にすることができる。

また、基板 71 から外部に放射（出射）される光量を増大させるためには、図 69 に図示するように回折格子を形成するとよい。回折格子により、EL 層 15 で発生した光が回折し、全臨界角で反射される光量が少なくなる。したがって、基板 71 から出射する光量が増大し、高輝度表示を実現できるようになる。

図 69 の (a) は回折格子 691 を画素電極 105 上に形成した実施例である。画素電極 105 をパターンニングすることにより、あるいは画素電極 105 の下層あるいは画素電極 105 上に回折格子を形成することのより、回折効果が発揮される。

回折格子の形状は、円弧状、三角形状、のこぎり歯状、矩形状、サ

インカーブ状のいずれでもよい。しかし、特性、効率の観点からサインカーブ状にすることが好ましい。回折格子のピッチは $1\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下とすることが好ましく、特に、 $2\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下とすることが好ましい。回折格子の高さは $2\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下とすることが好ましく、特に、 $3\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下とすることが好ましい。また、回折格子は、線状（２次元状）よりも３次元（ドットマトリックス状）に構成することが好ましい。線状であれば、偏光依存性が発生するからである。

図６９の（ｂ）は回折格子６９１をカソード電極１０６上に形成した実施例である。カソード電極１０６をパターンニングすることにより、あるいはカソード電極１０６の下層あるいはカソード電極１０６上に回折格子を形成することにより、回折効果が発揮される。

図７０は回折格子６９１をカソード電極１０６および画素電極に形成した実施例である。回折格子６９１ａ、６９１ｂは２次元状（線状）に形成し、回折格子６９１ａと回折格子６９１ｂとは形成方向が直交するように構成すればよい。もちろん、回折格子６９１ａ、回折格子６９１ｂの一方が３次元状あるいは両方が３次元状に構成してもよいことは言うまでもない。

トランジスタ１１はＬＤＤ（ロー ドーピング ドレイン）構造を採用することが好ましい。また、本明細書ではＥＬ素子として有機ＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥＤ、ＯＬＥＤなど多種多様な略称で記述される）１５を例にあげて説明するがこれに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。

まず、有機ＥＬ表示パネルに用いられるアクティブマトリックス方式は、

1. 特定の画素を選択し、必要な表示情報を与えられること。
 2. 1フレーム期間を通じてEL素子に電流を流すことができること。
- という2つの条件を満足させなければならない。

この2つの条件を満足させるため、図62に図示する従来の有機ELの画素構成では、第1のトランジスタ11bは画素を選択するためのスイッチング用トランジスタ、第2のトランジスタ11aはEL素子（EL膜）15に電流を供給するための駆動用トランジスタとする。

この構成を用いて階調を表示させる場合、駆動用トランジスタ11aのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ11aのオン電流のばらつきがそのまま表示に現れる。

トランジスタのオン電流は単結晶で形成されたトランジスタ（たとえば、シリコン基板に形成されたトランジスタ）であれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が450度以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが±0.2V～0.5Vの範囲でばらつきがある。そのため、駆動用トランジスタ11aを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ11の劣化によっても特性は変化する。

トランジスタの特性のばらつきは、低温ポリシリコン技術に限定されるものではなく、プロセス温度が450度（摂氏）以上の高温ポリシリコン技術でも、固相（CGS）成長させた半導体膜を用いてトランジスタなどを形成したもののでも発生する。その他、有機トランジス

タでも発生する。アモルファスシリコントランジスタでも発生する。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

したがって、図62のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内に抑えるというスペックを満足できない。

本発明のEL表示装置の画素構造は、具体的には図1に示すように単位画素が4つからなる複数のトランジスタ11ならびにEL素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極105を形成する。このようにソース信号線18上の少なくとも1部に画素電極を重ねる構成をハイパーチャ（HA）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

この回路は1画素内に4つのトランジスタ11を有しており、トランジスタ11aのゲートはトランジスタ11bのソースに接続されている。また、トランジスタ11bおよびトランジスタ11cのゲートはゲート信号線17aに接続されている。トランジスタ11bのドレインはトランジスタ11cのソースならびにトランジスタ11dのソースに接続され、トランジスタ11cのドレインはソース信号線18に接続されている。トランジスタ11dのゲートはゲート信号線17bに接続され、トランジスタ11dのドレインはEL素子15のアノード電極に接続されている。

尚、トランジスタ 11b 及び 11c は、本発明の第 2 のスイッチング素子の一例である。また、トランジスタ 11d は、本発明の第 1 のスイッチング素子の一例である。

ゲート信号線（第 1 の走査線）17a をアクティブ（オン電圧を印加）とすることにより EL 素子 15 の駆動用のトランジスタ 11a およびスイッチ用トランジスタ 11c がオンする。同時に、前記 EL 素子 15 に流すべき電流値をソースドライバ回路 14 から流す。また、トランジスタ 11a のゲートとドレイン間を短絡するようにトランジスタ 11b がオンすると共に、トランジスタ 11a のゲートとソース間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）19 にソースドライバ回路 14 が流した電流を記憶する（図 3 の（a）を参照のこと）。

次に、ゲート信号線 17a を非アクティブ（OFF 電圧を印加）、ゲート信号線 17b をアクティブとして、電流の流れる経路を前記第 1 のトランジスタ 11a 並びに EL 素子 15 に接続されたトランジスタ 11d ならびに前記 EL 素子 15 を含む経路に切り替えて、記憶した電流を前記 EL 素子 15 に流すように動作する（図 3 の（b）を参照のこと）。

なお、1 画素に必要なコンデンサ 19 の容量を C_s (pF) とし、1 画素が占める面積（開口率ではない。画素サイズである。）を S_p (平方 μm) とすれば、 $500/S_p \leq C_s \leq 20000/S_p$ とし、さらに好ましくは、 $1000/S_p \leq C_s \leq 10000/S_p$ となるようにする。なお、トランジスタのゲート容量は小さいので、ここでいう C_s とは、蓄積容量（コンデンサ）19 単独の容量とみなしてもよい。

コンデンサ 19 は画素の非表示領域におおむね形成することがこのましい。一般的に、フルカラー有機 EL 15 を作成する場合、有機 EL 層 15 をメタルマスクによるマスク蒸着で形成する。マスク位置ずれが発生すると各色の有機 EL 層 15 (15 R、15 G、15 B) が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は 10μ 以上離れなければならない。この部分は発光に寄与しない部分 (非発光領域) となる。したがって、蓄積容量 19 をこの領域に形成することは画素内の有効利用となり、開口率向上のために有効な手段となる。

なお、図 1 ではすべてのトランジスタは P チャンネルで構成している。P チャンネルは多少 N チャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明は EL 素子構成を P チャンネルで構成することのみに限定するものではない。N チャンネルのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて構成してもよい。

なお、図 1 においてトランジスタ 11 c、11 b は同一の極性で構成し、かつ N チャンネルで構成し、トランジスタ 11 a、11 d は P チャンネルで構成することが好ましい。一般的に P チャンネルトランジスタは N チャンネルトランジスタに比較して、信頼性が高い、キック電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得る EL 素子 15 に対しては、トランジスタ 11 a を P チャンネルにする効果大きい。

最適には画素を構成するトランジスタ 11 をすべて P チャンネルで形成し、内蔵ゲートドライバ 12 も P チャンネルで形成することが好ましい。このようにアレイを P チャンネルのみのトランジスタで形成

することにより、マスク枚数が5枚となり、低コスト化、高歩留まり化を実現できる。

図1などの電流駆動方式の画素構成は、画素欠陥を電氣的に検査できるという点にも特徴がある。以下、本発明の検査方法について説明しておく。図87、図88は本発明の検査方法を説明するための説明図である。図87の画素構成（図1の画素構成を例示して説明をする）では、プログラム電流 I_w をソース信号線18に印加する。プログラム電流 I_w は $1\mu A \sim 10\mu A$ の電流である。駆動用トランジスタ11aは所定のプログラム電流 I_w が流れるように駆動される。つまり、駆動用トランジスタ11aのゲート（G）端子の電位は変化する。この所定の電流 I_w を流すための、トランジスタ11aのゲート端子（G）の電位を V_t と呼ぶ。

たとえば、ある画素の駆動用トランジスタ11aは I_w 電流を流すのに、ゲート端子は V_{dd} 電圧よりも V_{t2} だけ低くする必要がある（図88の実線）。他のある画素の駆動用トランジスタ11aは I_w 電流を流すのに、ゲート端子は V_{dd} 電圧よりも V_{t1} だけ低くする必要がある（図88の点線）。これらの V_t はソース信号線18の電位の変化であるが、画素16のトランジスタ11aの特性を示していることになる。

つまり、選択された画素16の駆動トランジスタ11aのゲート端子電位がソース信号線18の電位となる。駆動トランジスタ11aのゲート端子電位の調整により駆動トランジスタ11aが流す電流が決定されるから、駆動トランジスタ11aのゲート電位より駆動トランジスタ11aの特性を測定することができる。また、画素16内で発生している欠陥によりソース信号線18の電位が異状出力となる。し

たがって、欠陥などを検出することができる。

ゲートドライブ回路 12 を制御し、1 ゲート信号線 17 a にオン電圧を印加する。つまり、1 画素行ずつ、順次選択していく（他のゲート信号線 17 a にはオフ電圧が印加されている）。また、ソース信号線 18 には I_w 電流を流すように設定する。ゲート信号線 17 a にオン電圧が印加され、選択された画素 16 のトランジスタ 11 a のゲート端子は、所定電流 I_w を流すに必要とする V_t 電圧となる。

ゲート信号線 17 b にはオフ電圧を印加しておく。オフ電圧に印加によりトランジスタ 11 d はオフ状態となり、駆動用トランジスタ 11 a と EL 素子 15 とは切り離された状態となる。したがって、EL 素子 15 が形成されていないアレイ状態でも本発明の検査方法を適用できる。

以上のように、ゲート信号線 17 a のオン電圧位置を、1 水平走査期間（1 H）に同期して順次シフトしていくと、図 89 に図示するようにソース信号線 18 電位が変化する（図 88 も参照のこと）。変化は、1 H に同期して出力される。なお、1 H に同期すること限定されるものではない。画像を表示するのではなく、検査のためだからである。したがって、1 H とは、1 画素行を順次選択するという意味であって、説明を容易にするためである。1 H は任意の固定の時間（期間）であって良い。つまり、1 H とは、検査する画素行を選択している期間である。

なお、本発明の検査方式（検査装置、検査方法）では、複数画素行を同時に選択してもよいことは明らかである。画素欠陥などは、複数画素行を同時に選択しても異状出力がソース信号線 18 に出力されることで検出できるからである。検査を行う画素 16 から出力される電

流は μA 程度の微小電流である。画素16でショート欠陥などが発生していると、少なくとも mA オーダーの出力がソース信号線18に出力される。したがって、複数画素行を同時に選択して検査を行うことができる。極端には、表示領域50の全画素行を選択し、一括検査を行っても良い。また、画面50の1/2ずつ検査を行っても良い。

図90は、本発明の検査方法を実施するための検査回路の構成図である。各ソース信号線18の電極端子996にプローブ997を接続し、ソース信号線18にプログラム電流 I_w を印加している。プログラム電流 I_w は、基準電圧回路991の電圧値により変更あるいは調整できる。基準電圧発生回路991の基準電圧 V_a がオペアンプ995の+端子（正極性端子）に入力される。オペアンプ995とトランジスタ994と抵抗 R_m で定電流回路を構成している。

プログラム電流 I_w は $1\mu\text{A}$ 以上 $10\mu\text{A}$ 以下に設定する。基本的には、パネルを駆動するのに必要な最大値の電流で実施する。また、黒書き込み状態（黒表示時）の検討するため、 100nA 以下の低電流で測定してもよい。

基準電圧回路991が出力する基準電圧 V_a は、オペアンプ995の+端子に印加される。オペアンプの+端子と-端子は同一電位となるから、トランジスタ994にはソース信号線18に流れる電流 $I_w = V_a / R_m$ が流れる。したがって、すべてのソース信号線18には定電流 I_w が流れる。また、基準電圧 V_a の変更により、容易に電流 I_w を変更できる。

なお、本発明では、すべてのソース信号線18に同一電流 I_w を流すとして説明するが、これに限定するものではない。たとえば、隣接したソース信号線18に異なる定電流を流して検査を行ってもよい。

また、奇数番目のソース信号線 18 にプローブ 997
電極 996 との接続方式は、プローブ 997 に限定するものではない。
たとえば、ACF 技術で接着してもよい。また、金バンプ、ニッケル
バンプにより接続をとってもよい。

また、本発明の検査方式において、ソース信号線 18 には定電流 I_w
を流すとして説明をするがこれに限定するものではない。たとえば
、矩形波状の電流（交流電流）を流して検査をしてもよい。また、電
圧をソース信号線 18 に印加し、ソース信号線 18 の隣接ショートな
どを検出する第 1 モードと、定電流をソース信号線 18 に流して画素
欠陥を検出する第 2 モードとを組み合わせてもよい。また、EL 素子
15 のカソード電極、アノード電極に印加した信号（電圧もしくは電
流）をソース信号線 18 で検出あるいは測定することにより検査を行
っても良い。

図 90 の回路構成によれば、ソース信号線 18 に定電流 I_w が流れ
るから、ゲート信号線 17a を順次シフトしていくと、図 89 の電圧
（電流）波形を測定することができる。この電圧波形を入力回路（高
入力インピーダンスのオペアンプ、入力を切り替えるアナログスイッ
チ、AD（アナログーデジタル）変換回路などで構成される）993
でアナログ電圧（電流）をデジタル信号に変換して、パーソナルコン
ピュータ（PC）992 などのデータ収集手段および制御手段に取り
込む。

ソース信号線 18 には微小な電流が流れることから、インピーダン
スが高い状態である。この状態で、ソース信号線 18 の電位変化（あ
るいは絶対値）を良好に測定するためには、高インピーダンス回路（
たとえば、FET 回路で構成された入力オペアンプの＋入力端子）を

ソース信号線 18 に接続する。つまり、プローブ 997 と入力回路 993 のオペアンプ（図示せず）の＋入力回路とは電氣的に接続されている。

Q C I F パネルの場合、 $176 \times RGB = 528$ 本のソース信号線 18 がある。このソース信号線 18 のすべてに、A D コンバータを配置することは困難である。そこで、入力回路 993 の入力オペアンプの出力側に、マルチプレクサタイプのアナログスイッチ（図示せず）を配置する。このアナログスイッチの出力に A D コンバータを配置し、この A D コンバータからのデータを P C 992 に取り込む。図 90 では、この高インピーダンス回路、アナログスイッチなどを入力回路 993 として表現している。

図 91 がソース信号線 18 の電位（出力される電流または電圧）を測定する回路（検査回路）のタイミングチャートである。図 91 の（a）は 1 H に同期したソース信号線 18 の電位（電圧または電流）変化を示している。図 91 の（b）はゲート信号線 17 b の電位を図示している。つまり、1 画素行ずつオン電圧位置がシフトされていることを示している。この選択画素行に同期して、選択された画素行のトランジスタ 11 a が動作し、ソース信号線 18 の電位（図 91 の（a））が変化する。

図 91 の（c）はデータ入力手段 992 へのデータ取り込み信号である（入力回路 993 内のアナログスイッチの切り替え信号ということもできる）。このデータ取り込み信号の立ち上がりでデータ入力手段 992 にデータが取り込まれる。

P C 992 では取り込まれたデータの値を評価／判断する。また、データの値を蓄積する。この結果により、アレイあるいはパネルの欠

陥状態、欠陥位置、欠陥モード、不良状態などを検出あるいは検査する。

図 8 7 の画素構成で、ゲート信号線 1 7 a にオン電圧を印加し、ゲート信号線 1 7 b にオフ電圧を印加した状態では、V d d 端子→トランジスタ 1 1 a の S D 間→トランジスタ 1 1 c →ソース信号線 1 8 への電流経路が生じる。

トランジスタ 1 1 a にソース端子 S ードレイン端子 D 間ショート（S D ショートまたはチャンネルショートと呼ぶ）が発生していると、ソース信号線 1 8 には V d d 電圧が出力される（図 9 2 の（a）の S D ショート）。したがって、トランジスタ 1 1 a の S D ショート（画素欠陥）を電氣的に検出できる。

また、ゲート信号線 1 7 a が断線していれば、プログラム電流 I w の経路は発生しないので、ソース信号線 1 8 の電位がグランド電位に近くなる（図 9 2 の（b）のゲート断線を参照）。したがって、ゲート信号線 1 7 a の断線などの線欠陥も検出できる（検査できる）。もちろん、ソース信号線が断線していれば、出力が全くでないのでソース信号線 1 8 の断線を検出できる。

また、すべてのゲート信号線 1 7 a にオフ電圧を印加した状態で、規定以外の電圧がソース信号線 1 8 に出力されていれば、いずれかの画素 1 6 のトランジスタ 1 1 c あるいはトランジスタ 1 1 b に欠陥が発生しているということを検出もできる。また、V d d 端子に V d d 電圧（アノード電圧）を印加するか、V d d 端子をオープンにするかを変化させることにより、ソース信号線 1 8 に出力される信号が変化する。この変化により画素 1 6 内で発生している欠陥を詳細に検討、検査することができる。また、カソード電極に対しても、信号印加状

態でより、ソース信号線 18 に出力される信号が変化するから、画素 16 の欠陥を検出できる。

逆に、ソース信号線 18 に信号を印加し、カソード電極に出力される信号を検出することにより画素 16 の欠陥などを検出できることは言うまでもない。この場合も、画素行を選択するオン電圧位置を順次走査することにより実施すればよい。

ゲートドライバ回路 12 により選択する画素行位置を順次シフトし、シフト動作と同期してソース信号線 18 の電位を順次測定している。以上の動作を画面 50 の上から下まで実施する（1画素列の検査が完了する）ことにより表示パネル（アレイ基板 71）の検査を行うことができる。

図 93 の（a）に図示するように、1画素列（1つのソース信号線 18 に接続された画素 16）のソース信号線 18 の信号線電位を測定することにより、最大電圧 V_{tmax} （画素 16 の駆動トランジスタ 11a の V_t （図 88 を参照のこと）の最大値）、最小電圧 V_{tmin} （画素 16 の駆動トランジスタ 11a の V_t （図 88 を参照のこと）の最小値）を検出することができる。この最大電圧と最小電圧との差が所定値以上の場合に、測定あるいは検査しているアレイまたはパネルを不良と判定する。

また、アレイまたはパネル内の V_t 分布を測定し、図 93 の（b）に図示するように、トランジスタ 11a の特性分布を求めることができる。この特性分布から、 V_t の標準偏差、平均値を算出することができる。また、 V_t の標準偏差、平均値が所定範囲以外の場合、測定あるいは検査しているアレイまたはパネルを不良と判定する。

本発明の検査方法は、ゲートドライバ回路 12 を制御して、少ない

とも1本のゲート信号線17aにオン電圧を印加し、ソース信号線18にプログラム電流を流すことにより、画素16の検査を行う。

なお、以上の実施例において、1画素行ずつ、選択し、ソース信号線18に出力される V_t を測定あるいは検査するとしたが、これに限定するものではない。複数画素行を同時に選択してもよい。また、最初に奇数画素行を順次選択して奇数番目の画素16を順次検査を行い、次に偶数画素行を順次選択して偶数番目の画素16を順次検査を行っても良い。この場合であっても、図92に図示するような画素欠陥（ゲート断線、SDショートなど）を検出することができる。

検査を高速に実施するためには、まず、複数本のゲート信号線18を選択し、概略の欠陥位置、欠陥モードを検出した後、欠陥がある箇所を再度、1ゲート信号線17aずつオン電圧を印加して、欠陥位置あるいは欠陥状態を特定すればよい。

本発明の検査方式において、すべてのソース信号線18には一度にプロービングすることを要しない。たとえば、偶数番目のソース信号線18bはオープンにし、奇数番目のソース信号線18aの端子電極996にプローブ997をプロービングして、本発明の検査方式を実施してもよい。次に、奇数番目のソース信号線18bはオープンにし、偶数番目のソース信号線18aの端子電極996にプローブ997をプロービングして、本発明の検査方式を実施してもよい。

もちろん、4画素列番目ごとにプロービングを行い、プロービング位置を順次シフトして検査を行っても良い。

なお、図90などにおいて、ゲートドライバ回路12は内蔵ゲートドライバ回路（半導体チップとして外付けでない）としたが、これに限定するものではない。ゲートドライバIC12を半導体チップで形

成し、COG工法などを用いてゲート信号線17に積載してもよい。

図90では、プローブ997を介して、ソース信号線18に電圧を印加するとしたが、これに限定するものではない。ソースドライバIC14を基板71に実装した後は、ソースドライバIC14を動作させて、ソース信号線18に定電流を印加してもよい。この定電流による電圧変化を入力回路993で測定する。

以上の実施例では、図87の画素構成における検査方式の説明であった。しかし、本発明はこれに限定するものではなく、他の画素構成（図38など）においても本発明の検査方式を実施することができる。

以上のように、本発明の検査方式（検査装置、検査回路）は、EL表示装置あるいはEL表示装置に用いるアレイ基板71に関するものである。画素16を選択するゲート信号線17aに選択電圧を印加し、該当画素の駆動トランジスタ11aがソース信号線18から電氣的に接続されるようにして検査を行うものである。また、カソードあるいはアノード電極などの外部から入力できる端子（信号線）に電圧（電流でもよい）などの信号を印加し、前記信号がソース信号線18に出力されるか否かを検出するものである。また、基本的には、ソース信号線18には定電流を印加して検査を行うものである。また、選択するゲート信号線17aは順次走査を行う。

表示パネルは、ソースドライバ回路14を直接アレイ基板71に形成されていないことが好ましい。検査が容易になるからである。また、検査は、アレイ基板71にEL素子15を形成後、封止ガラス（封止フタ）を取り付ける前に実施することが好ましい。不良パネルで廃棄するコストを低減できるからである。

以下、さらに理解を容易にするために、図1のEL素子構成につい

て図 3 を用いて説明する。本発明の EL 素子構成は 2 つのタイミングにより制御される。第 1 のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ 11 b ならびにトランジスタ 11 c が ON することにより、等価回路として図 3 の (a) となる。ここで、信号線より所定の電流 I_w が書き込まれる。これによりトランジスタ 11 a はゲートとドレインが接続された状態となり、このトランジスタ 11 a とトランジスタ 11 c を通じて電流 I_w が流れる。従って、トランジスタ 11 a のゲートソースの電圧は I_1 が流れるような電圧となる。

第 2 のタイミングはトランジスタ 11 a とトランジスタ 11 c が閉じ、トランジスタ 11 d が開くタイミングであり、そのときの等価回路は図 3 の (b) となる。トランジスタ 11 a のソースゲート間の電圧は保持されたままとなる。この場合、トランジスタ 11 a は常に飽和領域で動作するため、 I_w の電流は一定となる。

このように動作させると、表示状態は図 5 に図示するようになる。つまり、図 5 の (a) の 51 a は表示画面 50 における、ある時刻での電流プログラムされている画素 (行) (書き込み画素行) を示している。この画素 (行) 51 a は、図 5 の (b) に図示するように非点灯 (非表示画素 (行)) とする。他の、画素 (行) は表示画素 (行) 53 とする (非画素 53 の EL 素子 15 には電流が流れ、EL 素子 15 が発光している)。

図 1 の画素構成の場合、図 3 の (a) に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線 18 に流れる。この電流 I_w がトランジスタ 11 a を流れ、 I_w を流す電流が保持されるように、コンデンサ 19 に電圧設定 (プログラム) される。このとき、ト

ランジスタ 11d はオープン状態（オフ状態）である。

次に、EL素子 15 に電流を流す期間は図 3 の（b）のように、トランジスタ 11c、11b がオフし、トランジスタ 11d が動作する。つまり、ゲート信号線 17a にオフ電圧（ V_{gh} ）が印加され、トランジスタ 11b、11c がオフする。一方、ゲート信号線 17b にオン電圧（ V_{gl} ）が印加され、トランジスタ 11d がオンする。

このタイミングチャートを図 4 に図示する。なお、図 4 などにおいて、括弧内の添え字（たとえば、（1）など）は画素行の番号を示している。つまり、ゲート信号線 17a（1）とは、画素行（1）のゲート信号線 17a を示している。また、図 4 の上段の *H（「*」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、1H とは第 1 番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（1H の番号、1H 周期、画素行番号の順番など）するものではない。

図 4 でわかるように、各選択された画素行（選択期間は、1H としている）において、ゲート信号線 17a にオン電圧が印加されている時には、ゲート信号線 17b にはオフ電圧が印加されている。また、この期間は、EL素子 15 には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線 17a にオフ電圧が印加され、ゲート信号線 17b にはオン電圧が印加されている。また、この期間は、EL素子 15 に電流が流れている（点灯状態）。

なお、トランジスタ 11a のゲートとトランジスタ 11c のゲートは同一のゲート信号線 11a に接続している。しかし、トランジスタ 11a のゲートとトランジスタ 11c のゲートとを異なるゲート信号

線 17 に接続してもよい（図 32 を参照のこと）。1 画素のゲート信号線は 3 本（ゲート信号線 17 a、17 b、17 c）となる（図 1 の構成はゲート信号線 17 a、17 b の 2 本である）。トランジスタ 11 b のゲートの ON/OFF タイミングとトランジスタ 11 c のゲートの ON/OFF タイミングを個別に制御することにより、トランジスタ 11 a のばらつきによる EL 素子 15 の電流値バラツキをさらに低減することができる。

ゲート信号線 17 a とゲート信号線 17 b とを共通にし、トランジスタ 11 c と 11 d が異なった導電型（N チャンネルと P チャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることができる。

このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ 11 a のソース（S）－ゲート（G）間容量（コンデンサ）に記憶されない。トランジスタ 11 c とトランジスタ 11 d を異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ 11 c がオフしたのちに、トランジスタ 11 d がオンすることが可能になる。

なお、図 1 において、ゲート信号線 17 a の制御はゲートドライバ回路 12 a（本発明の第 2 のゲートドライバ回路の一例である）で行い、ゲート信号線 17 b の制御はゲートドライバ回路 12 b（本発明の第 1 のゲートドライバ回路の一例である）で行うとしたがこれに限定するものではなく、ゲート信号線 17 a、17 b を 1 つのゲートドライバ回路 12 で制御してもよいことは言うまでもない。以上のこと

は以下の実施例においても適用される。

ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ11eを図2に示すように、カスケード接続してトランジスタの総数が4以上になっても動作原理は同じである。このようにトランジスタ11eを加えた構成とすることにより、トランジスタ11cを介してプログラムした電流がより精度よくEL素子15に流すことができるようになる。

図2では、トランジスタ11eのゲート端子に所定電圧を印加し、トランジスタ11eを低オン状態にする。このように構成することにより、駆動用トランジスタ11aの微小電流を精度よくEL素子15に流すことができるようになる。また、トランジスタ11eのゲート端子に印加する電圧（ゲート信号線11fに印加する）を制御することにより駆動用トランジスタ11aの電流出力状態を変化させることができる。なお、ゲート信号線17fに印加する電圧は、表示領域の画素に同一電圧を印加する。もちろん、ゲート信号線17fを駆動するゲートドライバ回路12を形成し、このゲートドライバ回路12を駆動することにより、ゲート信号線17fに交流信号を印加するように構成してもよい。

なお、ゲート信号線17a、ゲート信号線17b、ゲート信号線17fはそれぞれ別のゲートドライバ回路で駆動してもよく、また図2のように1つのゲートドライバ回路12で駆動してもよい。他の構成は、図1と同様であるので説明を省略する。

なお、画素構成は図 1、図 2 の構成に限定されるものではない。たとえば、図 6 3 のように構成してもよい。図 6 3 は、図 1 の構成に比較してスイッチ素子 1 1 d がない。替わりに切り替えスイッチ 6 3 1 が形成または配置されている。図 1 のスイッチ 1 1 d は駆動トランジスタ 1 1 a から EL 素子 1 5 に流れる電流をオンオフ（流す、流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明はこのトランジスタ 1 1 d のオンオフ制御機能が重要な構成要素である。トランジスタ 1 1 d を形成せず、オンオフ機能を実現するのが、図 6 3 の構成である。

図 6 3 において、切り替えスイッチ 6 3 1 の a 端子は、アノード電圧 V_{dd} に接続されている。なお、a 端子に印加する電圧はアノード電圧 V_{dd} に限定されるものではなく、EL 素子 1 5 に流れる電流をオフできる電圧であればいずれでもよい。

切り替えスイッチ 6 3 1 の b 端子は、カソード電圧（図 6 3 ではグランドと図示している）に接続されている。なお、b 端子に印加する電圧はカソード電圧に限定されるものではなく、EL 素子 1 5 に流れる電流をオンできる電圧であればいずれでもよい。

切り替え推移値 6 3 1 の c 端子には EL 素子 1 5 のカソード端子が接続されている。なお、切り替えスイッチ 6 3 1 は EL 素子 1 5 に流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図 6 3 の形成位置に限定されるものではなく、EL 素子 1 5 の電流が流れる経路であればいずれでもよい。また、スイッチの機能の限定されるものでもなく、EL 素子 1 5 に流れる電流をオンオフできればいずれでもよい。

また、オフとは完全に電流が流れない状態を意味するものではない。

EL素子15に流れる電流を通常よりも低減できるものであればよい。以上の事項は本発明の他の構成においても同様である。

切り替えスイッチ631は、PチャンネルとNチャンネルのトランジスタを組み合わせることにより容易に実現できるので説明を要さないであろう。たとえば、アナログスイッチを2回路形成すればよい。もちろん、スイッチ631はEL素子15に流れる電流をオンオフするだけであるから、PチャンネルトランジスタあるいはNチャンネルトランジスタでも形成することができることは言うまでもない。

スイッチ631がa端子に接続されている時は、EL素子15のカソード端子にV_{dd}電圧が印加される。したがって、駆動トランジスタ11aのゲート端子Gがいずれの電圧保持状態であってもEL素子15には電流が流れない。したがって、EL素子15は非点灯状態となる。

スイッチ631がb端子に接続されている時は、EL素子15のカソード端子にGND電圧が印加される。したがって、駆動トランジスタ11aのゲート端子Gに保持された電圧状態に応じてEL素子15に電流が流れる。したがって、EL素子15は点灯状態となる。

以上のことより図63の画素構成では、駆動トランジスタ11aとEL素子15間にはスイッチングトランジスタ11dが形成されていない。しかし、スイッチ631を制御することによりEL素子15の点灯制御を行うことができる。

図1、図2などの画素構成では、駆動用トランジスタ11aは1画素につき1個である。本発明はこれに限定するものではなく、駆動用トランジスタ11aは1画素に複数個を形成または配置してもよい。図64はその実施例である。図63では1画素に2個の駆動用トラン

ジスタ 11 a 1、11 a 2 が形成され、2 個の駆動用トランジスタ 11 a 1、11 a 2 のゲート端子は共通のコンデンサ 19 に接続されている。駆動用トランジスタ 11 a を複数個形成することにより、プログラムされる電流バラツキが低減するという効果がある。他の構成は、図 1 などと同様であるので説明を省略する。

図 1、図 2 は駆動トランジスタ 11 a が出力する電流を E L 素子 15 に流し、前記電流を駆動用トランジスタ 11 a と E L 素子 15 間に配置されたスイッチング素子 11 d でオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図 65 の構成が例示される。

図 65 の実施例では、E L 素子 15 に流す電流が駆動トランジスタ 11 a で制御される。E L 素子 15 に流れる電流をオンオフさせるのは V d d 端子と E L 素子 15 間に配置されたスイッチング素子 11 d で制御される。したがって、本発明はスイッチング素子 11 d の配置はどこでもよく、E L 素子 15 に流れる電流を制御できるものであればいずれでもよい。

トランジスタ 11 a の特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第 1 のトランジスタ 11 a のチャンネル長が $5\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下とすることが好ましい。さらに好ましくは、第 1 のトランジスタ 11 a のチャンネル長が $10\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下とすることが好ましい。これは、チャンネル長 L を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

また、画素を構成するトランジスタ 11 が、レーザー再結晶化方法（レーザーアニール）により形成されたポリシリコントランジスタで

形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。特にレーザーの照射方向がソース信号線 14 の形成方向となるように照射することが好ましい。ソース信号線 14 に沿った画素の駆動用トランジスタ 11 a の特性が均一となり、電流プログラムを行う際のソース信号線 14 の振幅変動が小さくなるからである。振幅が小さくなると精度良く電流プログラムを実現することができる。

本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために 4 トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4 つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。

なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたりの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

また、蓄積容量 19 の容量値を C_s 、第 2 のトランジスタ 11 b のオフ電流値を I_{off} とした場合、次式を満足させることが好ましい。

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

$$6 < C_s / I_{off} < 18$$

トランジスタ 11 b のオフ電流を 5 pA 以下とすることにより、 E_L を流れる電流値の変化を 2 % 以下に抑えることが可能である。これ

はリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持できないためである。したがって、コンデンサ19の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることができる。

また、アクティブマトリックスを構成するトランジスタがp-c hポリシリコン薄膜トランジスタに構成され、トランジスタ11bがデュアルゲート以上であるマルチゲート構造とすることが好ましい。特にトリプルゲート以上とすることが好ましい。トランジスタ11bのオフ特性を良好にしないと、コンデンサ19の電荷を保持することができなくなり、画像表示に黒浮きが発生するからである。

また、トランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

画素16のトランジスタ11を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ11特性のバラツキとなる。しかし、1画素16内のトランジスタ11の特性が一致していれば、図1などの電流プログラムを行う方式では、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

なお、本発明において、トランジスタ11の半導体膜の形成は、レ

レーザーアニール方法に限定するものではなく、熱アニール方法、固相（C.G.S）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。また、シリコン基板にドーピング、拡散プロセスを実施することのより形成してもよい。また、有機材料で半導体膜を形成してもよい。

本発明では図7に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）72をソース信号線18に平行に照射する。また、1画素列に一致するようにレーザー照射スポット72を移動させる。もちろん、1画素列に限定するものではなく、たとえば、図72のRGBを1画素16という単位でレーザーを照射してもよい（この場合は、3画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

画素はRGBの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポット72を縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができる。また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 V_t 、S値など）を均一にすることができる（つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線に接続されたトランジスタ11の特性はほぼ等しくすることができる）。

一般的にレーザー照射スポット72の長さは10インチというよう

に固定値である。このレーザー照射スポット 7 2 を移動させるのであるから、1つのレーザー照射スポット 7 2 を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示領域 5 0 の中央部でレーザー照射スポット 7 2 が重ならないようにする）。

図 7 の構成では、レーザー照射スポット 7 2 の長さの範囲内に 3 つのパネルが縦に配置されるように形成されている。レーザー照射スポット 7 2 を照射するアニール装置はガラス基板 7 4 の位置決めマーカー 7 3 a、7 3 b を認識（パターン認識による自動位置決め）してレーザー照射スポット 7 2 を移動させる。位置決めマーカー 7 3 の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー 7 3 を認識し、画素列の位置をわりだす（レーザー照射範囲 7 2 がソース信号線 1 8 と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット 7 2 を照射してアニールを順次行う。

図 7 で説明したレーザーアニール方法（ソース信号線 1 8 に平行にライン状のレーザー照射スポットを照射する方式）は、有機 EL 表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ 1 1 の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ 1 1 a に流す電流はほぼ同一のため、ソースドライバ IC 1 4 から出力する電流振幅の変化が少ない。もし、図 1 のトランジスタ 1 1 a の特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線 1 8 の電位は一

定である。したがって、ソース信号線 18 の電位変動は発生しない。1 つのソース信号線 18 に接続されたトランジスタ 11 a の特性がほぼ同一であれば、ソース信号線 18 の電位変動は小さいことになる。このことは、図 38 などの他の電流プログラム方式の画素構成でも同一である（つまり、図 7 の製造方法を適用することが好ましい）。

また、図 27、図 30 などで説明する複数の画素行を同時書き込みする方式で均一が画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図 27 などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ回路 14 で吸収できる。

なお、図 7 では、ソースドライバ回路 14 は、IC チップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路 14 を画素 16 と同一プロセスで形成してもよいことは言うまでもない。

本発明では特に、駆動用トランジスタ 11 b の閾電圧 V_{th2} が画素内で対応する駆動用トランジスタ 11 a の閾電圧 V_{th1} より低くならない様に設定している。例えば、トランジスタ 11 b のゲート長 $L2$ をトランジスタ 11 a のゲート長 $L1$ よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

なお、以上の事項は、図 38 に図示するカレントミラーの画素構成にも適用できる。図 38 では、信号電流が流れる駆動用トランジスタ 11 a、EL 素子 15 等からなる発光素子に流れる駆動電流を制御す

る駆動用トランジスタ 11b の他、ゲート信号線 17a1 の制御によって画素回路とデータ線 data とを接続もしくは遮断する取込用トランジスタ 11c、ゲート信号線 17a2 の制御によって書き込み期間中にトランジスタ 11a のゲート・ドレインを短絡するスイッチ用トランジスタ 11d、トランジスタ 11a のゲート・ソース間電圧を書き込み終了後も保持するための容量 C19 および発光素子としての EL 素子 15 などから構成される。

図 38 でトランジスタ 11c、11d は N チャンネルトランジスタ、その他のトランジスタは P チャンネルトランジスタで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量 Cs は、その一方の端子をトランジスタ 11a のゲートに接続され、他方の端子は Vdd (電源電位) に接続されているが、Vdd に限らず任意の一定電位でも良い。EL 素子 15 のカソード (陰極) は接地電位に接続されている。

次に、本発明の EL 表示パネルあるいは EL 表示装置について説明をする。図 6 は EL 表示装置の回路を中心とした説明図である。画素 16 がマトリックス状に配置または形成されている。各画素 16 には各画素の電流プログラムを行う電流を出力するソースドライバ回路 14 が接続されている。ソースドライバ回路 14 の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている (後に説明する)。たとえば、64 階調であれば、63 個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線 18 に印加できるように構成されている。

なお、1 つのカレントミラー回路の最小出力電流は 10 nA 以上 5

0 nAにしている。特にカレントミラー回路の最小出力電流は15 nA以上35 nAにすることがよい。ドライバIC14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

また、ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がRGBでことなるからである。

有機EL素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

本発明において、ソースドライバ14は半導体シリコンチップで形成し、ガラスオンチップ（COG）技術で基板71のソース信号線18の端子と接続されている。ソース信号線18などの信号線の配線はクロム、銅、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略できるからである。

ソースドライバ14の実装は、COG技術に限定するものではなく、チップオンフィルム（COF）技術に前述のソースドライバIC14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライブICは電源IC82を別途作製し、3チップ構成とし

てもよい。

一方、ゲートドライバ回路 1 2 は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路 1 4 に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリ技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ 1 2 をシリコンチップで形成し、COG 技術などを用いて基板 7 1 上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

ゲートドライバ 1 2 はゲート信号線 1 7 a 用のシフトレジスタ回路 6 1 a と、ゲート信号線 1 7 b 用のシフトレジスタ回路 6 1 b とを内蔵する。各シフトレジスタ回路 6 1 は正相と負相のクロック信号（CLK_{xP}、CLK_{xN}）、スタートパルス（ST_x）で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル（ENABL）信号、シフト方向を上下逆転するアップダウン（UPDWM）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロール IC 8 1 からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

シフトレジスタ回路 6 1 のバッファ容量は小さいため、直接にはゲート信号線 1 7 を駆動することができない。そのため、シフトレジス

タ回路 6 1 の出力とゲート信号線 1 7 を駆動する出力ゲート 6 3 間には少なくとも 2 つ以上のインバータ回路 6 2 が形成されている。

ソースドライバ 1 4 を低温ポリシリなどのポリシリ技術で基板 7 1 上に直接形成する場合も同様であり、ソース信号線 1 8 を駆動するトランスファークゲートなどのアナログスイッチのゲートとソースドライバ回路 1 4 のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファークゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライブ回路に共通の事項である。

たとえば、図 6 ではソースドライバ 1 4 の出力が直接ソース信号線 1 8 に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファークゲートなどのアナログスイッチのゲートに接続されている。

インバータ回路 6 2 は P チャンネルの MOS トランジスタと N チャンネルの MOS トランジスタから構成される。先にも説明したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 の出力端にはインバータ回路 6 2 が多段に接続されており、その最終出力が出力ゲート回路 6 3 に接続されている。なお、インバータ回路 6 2 は P チャンネルあるいは N チャンネルのみで構成してもよい。

ゲートドライバ回路 1 2 のシフトレジスタ 6 1 a はゲート信号線 1 7 a の制御信号を制御し、シフトレジスタ 6 1 b はゲート信号線 1 7 b の制御信号を制御する。インバータ 6 2 の出力段には出力バッファ 6 3 が形成または配置されている。なお、バッファなどは基板 7 1 に

低温ポリシリコンプロセス技術を用いて形成されている。

なお、図 7 4 に図示するように、ゲート信号線 1 7 a の出力バッファ回路 3 4 1 a は、ゲート信号線 1 7 b の出力バッファ回路 3 4 1 b よりも大きくする。また、ゲート信号線 1 7 a の配線抵抗は、ゲート信号線 1 7 b の配線抵抗よりも低くすることが好ましい。ゲート信号線 1 7 a の時定数を十分に短くすることにより、電流書込み精度が向上するからである。

図 1 1 1 は、本発明のゲートドライバ回路 1 2 のブロック図である。なお、図 6 は、ゲートドライバ回路 1 2 は N チャンネルトランジスタと P チャンネルトランジスタの両方を用いる CMOS 構成のゲートドライバ回路の構成である。図 1 1 1 のゲートドライバ回路 1 2 の構成は、P チャンネルのみで形成した構成である。図 1 1 1 において、説明を容易にするため、4 段分しか図示していないが、基本的には、ゲート信号線 1 7 の本数に対応する単位ゲート出力回路 1 1 1 1 が形成または配置される。

図 1 1 1 に図示するように、本発明のゲートドライバ回路 1 2 (1 2 a、1 2 b) では、4 つのクロック端子 (SCK0、SCK1、SCK2、SCK3) と、1 つのスタート端子 (データ信号 (SSTA))、シフト方向を上下反転制御する 2 つの反転端子 (DIRA、DIRB、これらは、逆相の信号を印加する) の信号端子から構成される。また、電源端子として L 電源端子 (VBB) と、H 電源端子 (Vd) などから構成される。

図 1 1 1 の本発明のゲートドライバ回路 1 2 は、すべて P チャンネルのトランジスタ (トランジスタ) で構成しているため、レベルシフタ回路 (低電圧のロジック信号を高電圧のロジック信号に変換する回

路) をゲートドライバ回路に内蔵することができない。そのため、図 8 などに図示した電源回路 (IC) 82 内にレベルシフト回路を配置または形成している。

画素 16 を P チャンネルのトランジスタで構成することにより、図 11 などで例示する P チャンネルトランジスタで形成したゲートドライバ回路 12 とのマッチングが良くなる。P チャンネルトランジスタ (図 1 の画素構成では、トランジスタ 11b、11c、トランジスタ 11d) は L 電圧でオンする。一方、ゲートドライバ回路 12 も L 電圧が選択電圧である。P チャンネルのゲートドライバは図 113 の構成でもわかるが、L レベルを選択レベルとするとマッチングが良い。L レベルが長期間保持できないからである。一方、H 電圧は長時間保持することができる。

また、EL 素子 15 に電流を供給する駆動用トランジスタ (図 1 ではトランジスタ 11a) も P チャンネルで構成することにより、EL 素子 15 のカソードは、金属薄膜のべた電極に構成することができる。また、アノード電位 V_{dd} から順方向に EL 素子 15 に電流を流すことができる。以上の事項から、画素 16 のトランジスタを P チャンネルとし、ゲートドライバ 12 のトランジスタも P チャンネルとすることがよい。以上のことから、本発明の画素 16 を構成するトランジスタ (駆動用トランジスタ、イッチング用トランジスタ) を P チャンネルで形成し、ゲートドライバ回路 12 のトランジスタを P チャンネルで構成するという事項は単なる設計事項ではない。

レベルシフト (LS) 回路を、基板 71 に直接に形成してもよい。つまり、レベルシフト (LS) 回路を N チャンネルと P チャンネルトランジスタで形成する。コントローラ (図示せず) からのロジック信号

は、基板 7 1 に直接形成されたレベルシフト回路で、P チャンネルトランジスタで形成されたゲートドライバ回路 1 2 のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路 1 2 に印加する。

説明を容易にするため、本発明の実施例では、図 1 の画素構成を例示して説明をする。しかし、画素 1 6 の選択トランジスタ（図 1 ではトランジスタ 1 1 c）を P チャンネルで構成し、ゲートドライバ回路 1 2 を P チャンネルトランジスタで構成するというなどの本発明の技術的思想は、図 1 の画素構成に限定されるものではない。たとえば、電流駆動方式の画素構成では図 3 8、図 5 0 に図示するカレントミラーの画素構成にも適用することができることは言うまでもない。また、電圧駆動方式の画素構成では、図 6 2 に図示するような 2 つのトランジスタ（選択トランジスタはトランジスタ 1 1 b、駆動トランジスタはトランジスタ 1 1 a）にも適用することができる。また、図 5 1 に図示するような、4 つのトランジスタ（選択トランジスタはトランジスタ 1 1 c、駆動トランジスタはトランジスタ 1 1 a）を用いる画素構成にも適用することができることは言うまでもない。電圧駆動方式の画素構成にも図 1 1 1、図 1 1 3 で説明するゲートドライバ回路 1 2 の構成を適用できる。したがって、以上の説明した事項、以下に説明する事項は、画素構成などに限定されるものではない。

また、画素 1 6 の選択トランジスタを P チャンネルで構成し、ゲートドライバ回路を P チャンネルトランジスタで構成するという構成は、有機 EL などの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイスにも適用することができる。

反転端子（D I R A、D I R B）は各単位ゲート出力回路 1 1 1 1 に対し、共通の信号が印加される。なお、図 1 1 3 の等価回路図をみれば、理解できるが、反転端子（D I R A、D I R B）は互いに逆極性の信号を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（D I R A、D I R B）に印加している信号の極性を反転させる。

なお、図 1 1 1 の回路構成は、クロック信号線数は 4 つである。4 つが本発明では最適な数であるが、本発明はこれに限定するものではない。4 つ以下でも 4 つ以上でもよい。

クロック信号（S C K 0、S C K 1、S C K 2、S C K 3）の入力は、隣接した単位ゲート出力回路 1 1 1 1 で異ならせている。たとえば、単位ゲート出力回路 1 1 1 1 a には、クロック端子の S C K 0 が O C に、S C K 2 が R S T に入力されている。この状態は、単位ゲート出力回路 1 1 1 1 c も同様である。単位ゲート出力回路 1 1 1 1 a に隣接した単位ゲート出力回路 1 1 1 1 b（次段の単位ゲート出力回路）は、クロック端子の S C K 1 が O C に、S C K 3 が R S T に入力されている。したがって、単位ゲート出力回路 1 1 1 1 に入力されるクロック端子は、S C K 0 が O C に、S C K 2 が R S T に入力され、次段は、クロック端子の S C K 1 が O C に、S C K 3 が R S T に入力され、さらに次段の単位ゲート出力回路 1 1 1 1 に入力されるクロック端子は、S C K 0 が O C に、S C K 2 が R S T に入力され、というように交互に異ならせている。

図 1 1 3 が単位ゲート出力回路 1 1 1 1 の回路構成である。構成するトランジスタは P チャンネルのみで構成している。図 1 1 4 が図 1 1 3 の回路構成を説明するためのタイミングチャートである。なお、

図 1 1 2 は図 1 1 3 の複数段分におけるタイミングチャートを図示したものである。したがって、図 1 1 3 を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図 1 1 3 の等価回路図を参照しながら、図 1 1 4 のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

P チャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線 1 7 の出力電圧を H レベル（図 1 1 3 では V_d 電圧）に維持することは可能である。しかし、L レベル（図 1 1 3 では V_{BB} 電圧）に長時間維持することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。IN 端子に入力された信号と、RST 端子に入力された SCK クロックにより、n1 が変化し、n2 は n1 の反転信号状態となる。n2 の電位と n4 の電位とは同一極性であるが、OC 端子に入力された SCK クロックにより n4 の電位レベルはさらに低くなる。この低くなるレベルに対応して、Q 端子がその期間、L レベルに維持される（オン電圧がゲート信号線 1 7 から出力される）。SQ あるいは Q 端子に出力される信号は、次段の単位ゲート出力回路 1 1 1 1 に転送される。

図 1 1 1、図 1 1 3 の回路構成において、IN (INA、INb) 端子、クロック端子の印加信号のタイミングを制御することにより、図 1 6 5 の (a) に図示するように、1 ゲート信号線 1 7 を選択する状態と、図 1 6 5 の (b) に図示するように 2 ゲート信号線 1 7 を選択する状態とを同一の回路構成を用いて実現できる。選択側のゲートドライバ回路 1 2 a において、図 1 6 5 の (a) の状態は、1 画素行 (5 1 a) を同時に選択する駆動方式である（ノーマル駆動）。また

、選択画素行は1行ずつシフトする。図165の(b)は、2画素行を選択する構成である。この駆動方式は、図24など説明した複数画素行(51a、51b)の同時選択駆動(ダミー画素行を構成する方式)である。選択画素行は、1画素行ずつシフトし、かつ隣接した2画素行が同時に選択される。

図165の(b)の駆動方法は、最終的な映像を保持する画素行(51a)に対し、画素行51bは予備充電される。そのため、画素16が書き込み易くなる。つまり、本発明は、端子に印加する信号により、2つの駆動方式を切り替えて実現できる。

なお、図165の(b)は隣接した画素行を選択する方式であるが、図123に図示するように、隣接した以外の画素行を選択してもよい。また、図113の構成では、4画素行の組で制御される。4画素行のうち、1画素行を選択するか、連続した2画素行を選択するかの制御を実施できる。これは、使用するクロック(SCK)が4本によることの制約である。クロック(SCK)8本になれば、8画素行の組で制御を実施できる。したがって、図113の構成で明らかであるが、図168に図示するように、画素行を選択することができる。

図168の(a)では、4画素行に組で1画素行を選択することができる(4画素行の組で、1本の画素行を選択するが、全く選択しないかは、INデータの入力状態と、シフト状態で決定される)。図168の(b)では、4画素行に組で連続した2画素行を選択することができる(4画素行の組で、2本の画素行を選択するが、全く選択しないかは、INデータの入力状態と、シフト状態で決定される)。また、本発明は、クロック数に等しい画素行を組として、この画素行の組において、1画素行もしくは、画素行の組の $1/2$ 以下の本数(たと

えば、4画素行の組であれば、 $4/2=2$ 画素行)を選択する方式である。したがって、画素行に組内では、必ず非選択の画素行が発生する。

1画素行を選択する図165の(a)では、図167の(a)で図示するように、プログラム電流 I_w は1つの画素16に流れる。プログラム電流 I_w は図167の(b)に図示するように、2画素行に分割されて画素16に書き込まれる。ただし、これに限定されるものではない。たとえば、図167の(b)に図示するように、プログラム電流 $I_w \times 2$ の電流を印加し、選択された2つの画素(16a、16b)に同一の電流を流すように構成してもよい。

選択側のゲートドライバ12aの動作は、図165の動作である。図165の(a)に図示するように、1画素行を選択し、選択位置を1水平同期信号に同期して1画素行ずつシフトする。また、図165の(b)に図示するように、2画素行を選択し、選択位置を1水平同期信号に同期して1画素行ずつシフトする。

図168は、EL素子15をオンオフさせるゲート信号線17bを制御するゲートドライバ12bの動作を説明する説明図である。図168の(a)は、4画素行の組(以降、このような画素行の組を画素行組と呼ぶ)に1画素行のゲート信号線17bにオン電圧を印加した状態である。表示画素行53位置は、水平同期信号(HD)に同期して1画素行ずつシフトする。もちろん、4画素行組に1画素行に対応するゲート信号線17bにオン電圧を印加する(他の3画素行に対応するゲート信号線17bにはオフ電圧が印加されている)か、4画素行組のすべてにオフ電圧を印加する(4画素行に対応するゲート信号線17bにオフ電圧が印加されている)かは、任意に選択できる。な

お、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。

図168の(b)は、4画素行組の2画素行のゲート信号線17bにオン電圧を印加した状態である。表示画素行53位置は、水平同期信号(HD)に同期して1画素行ずつシフトする。もちろん、4画素行組に2画素行に対応するゲート信号線17bにオン電圧を印加する(他の2画素行に対応するゲート信号線17bにはオフ電圧が印加されている)か、4画素行組のすべてにオフ電圧を印加する(4画素行に対応するゲート信号線17bにオフ電圧が印加されている)かは、任意に選択できる。なお、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。

また、図168の(a)は4画素行組に1画素行のゲート信号線17bにオン電圧を印加した状態である。図168の(b)は、4画素行組の2画素行のゲート信号線17bにオン電圧を印加した状態である。しかし、本発明はこの構成(方式)に限定するものではない。たとえば、6画素行組に1画素行のゲート信号線17bにオン電圧を印加してもよい。8画素行組の2画素行のゲート信号線17bにオン電圧を印加してもよい。つまり、図168の駆動方法に限定するものではない。また、RGB画素で個別にオンオフ状態を変化させてもよい。

図169は図168の(a)の駆動状態の時に、ゲート信号線17bに出力される電圧の状態である。先にも説明したように、信号線17bの()で記載した添え字は、画素行を示している。なお、説明を容易にするため、画素行は(1)からにしている。また、表の上段の数字は、水平走査期間の番号を示している。

図169に図示するように、ゲート信号線17b(1)～ゲート信号

線 1 7 b (4) と、ゲート信号線 1 7 b (5) ～ゲート信号線 1 7 b (8) とが同一波形である。つまり、4 画素行組で同一の動作が実施されている。

図 1 7 0 は図 1 6 8 の (b) の駆動状態の時に、ゲート信号線 1 7 b に出力される電圧の状態である。図 1 2 0 に図示するように、ゲート信号線 1 7 b (1) ～ゲート信号線 1 7 b (4) と、ゲート信号線 1 7 b (5) ～ゲート信号線 1 7 b (8) とが同一波形である。つまり、4 画素行組で同一の動作が実施されている。

図 1 6 8 の実施例では、任意の時刻で、表示状態の画素数を増減することにより、表示画面 5 0 の明るさを調整することができる。Q C I F パネルの場合は、垂直画素数は 2 2 0 ドットである。したがって、図 1 6 8 の (a) では、 $220 / 4 = 55$ 画素行を表示することができる。つまり、白ラスタ表示では、55 画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を 55 本 → 54 本 → 53 本 → 52 本 → 51 本 → 5 本 → 4 本 → 3 本 → 2 本 → 1 本 → 0 本と変化させることにより、表示画面を暗くすることができる。逆に、0 本 → 1 本 → 2 本 → 3 本 → 4 本 → 5 本 → 50 本 → 51 本 → 52 本 → 53 本 → 54 本 → 55 本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。

この明るさ調整では、画面の明るさは表示画素数に比例し、かつ変化はリニアである。その上、明るさに対応するガンマ特性に変化はない (画面が明るくとも、暗くとも階調数は維持される)。

以上の実施例では、表示画面 5 0 の明るさを調整する表示画素行数の変化は、1 本ごとにするとしたが、これに限定するものではない。5

4本→52本→50本→48本→46本→・・・・・・6本→4本→2本→0本と変化させてもよい。また、55本→50本→45本→40本→35本→・・・・・・15本→10本→5本→0本と変化させてもよい。

同様に、図168の(b)では、QCIFパネルでは、 $220/2 = 110$ 画素行を表示することができる。つまり、白ラスタ表示では、110画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を110本→108本→106本→104本→102本→・・・・・・10本→8本→6本→4本→2本→0本と変化させることにより、表示画面を暗くすることができる。逆に、0本→2本→4本→6本→8本→10本→・・・・・・100本→102本→104本→106本→108本→110本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。

なお、表示画面50の明るさを調整する表示画素行数の変化は、2本ごとにするとしたが、これに限定するものではない。4本ごとにしてもよく、4本以上であってもよい。また、明るさを調整するために、表示画素行を間引くのは、一箇所に集中して間引くのではなく、極力分散するように間引くことがよい。フリッカの発生を抑制するためである。

明るさ調整は、画素行数の単位ではなく（画素行を1水平走査期間の略全期間の間点灯させる、あるいは非点灯とさせるという駆動）、1水平走査期間あたりの点灯時間でも調整することができる。つまり、1水平走査期間の一部の期間（たとえば、1Hの $1/8$ の期間、1Hの $15/16$ の期間というように）点灯することにより表示画面の

明るさを調整するのである。

この調整（制御）は、表示パネルのメインクロック（MCLK）を用いて行う。QCIFパネルでは、MCLKは約2.5MHzである。つまり、1水平走査期間（1H）に176クロックをカウントすることができる。したがって、MCLKをカウンタし、このカウント値により、ゲート信号線17bにオン電圧（Vg1）を印加する期間を制御することにより各画素行のEL素子15をオンオフさせることができる。

具体的には、図112、図114に図示するタイミングチャートにおいて、クロック（CLK）のLレベルにする位置、Lレベルの期間を制御することにより実現できる。CLKがLレベルにする期間を短くするほど、出力のQ端子がLレベル（Vg1）となる期間が短くなる。

図168の（a）の駆動方式では、図171に図示するように、1Hの期間において左右対称にVg1（オン電圧）となる期間が短くなる。図171では（a）が1H期間のすべてがVg1（オン電圧）を出力している期間である（ただし、図113のPチャンネルのゲートドライバ回路12構成では、1H期間のすべてにLレベル出力をすることは不可能である。1Hと次の1Hとの間にはVgh電圧（オフ電圧）の期間が発生する。図1721は説明を容易にするためにあえて（a）のように図示している。

同様に、図171の（b）では、ゲート信号線17bにVg1を出力している期間が、MCLKが2クロック分だけ短く（（a）に比較して）していることを図示している。さらに、図171の（c）では、ゲート信号線17bにVg1を出力している期間が、MCLKが2

クロック分だけ短く（（b）に比較して）していることを図示している。以下、同様であるので説明を省略する。

図168の（b）の駆動方式では、図172に図示するように、2Hの期間において左右対称に V_{g1} （オン電圧）となる期間が短くなる。図172では（a）が1H期間のすべてが V_{g1} （オン電圧）を出力している期間である（ただし、図113のPチャンネルのゲートドライバ回路12構成では、2H期間のすべてにLレベル出力をすることは不可能である。2Hと次の2Hとの間には V_{gh} 電圧（オフ電圧）の期間が発生する。このことは、図171と同様である。

同様に、図172の（b）では、ゲート信号線17bに V_{g1} を出力している期間が、2H期間でMCLKが2クロック分だけ短く（（a）に比較して）していることを図示している。さらに、図172の（c）では、ゲート信号線17bに V_{g1} を出力している期間が、MCLKが2クロック分だけ短く（（b）に比較して）していることを図示している。以下、同様であるので説明を省略する。

なお、ゲートドライバ回路12の構成を多少変更し、クロックを調整すれば、図173に図示するように、図171のゲート信号線17bの印加期間が2H期間連続して行うことができる。

図168の駆動方式でも、良好な動画表示を実現できる。ただし、図113では表示領域53が連続し、非表示領域52も連続しているのに対し、図168では、表示領域53が連続しない。4画素行組で1画素行にオン電圧を印加（図168の（a））するか、4画素行組で連続した2画素行にオン電圧を印加（図168の（b））するかの表示状態となるからである。もちろん、図113、図111に例示した回路構成を変更あるいは改良することにより、クロック（SCK）に対

する表示画素行を変更あるいは変化させることができる。たとえば、1画素行飛ばしで表示させることもできる。また、6画素行飛ばしで点灯させることもできる。ただし、Pチャンネルのトランジスタで構成あるいは形成したドライバ回路（シフトレジスタ）では、少なくとも表示画素行53間に非点灯の表示画素行52が配置（挿入）される。

図174に、ゲートドライバ回路12が図113のようにPチャンネルで形成されている場合において、動画表示対応とする駆動方式を示す。以前にも説明したように、動画ボケによる画像表示劣化を防止するためには、間欠表示にする必要がある。つまり、黒挿入（黒あるいは低輝度の表示画面を表示する）する必要がある。CRTの表示のように駆動（表示）する。つまり、任意の画素行に画像が表示すると、所定の期間の表示後、黒（低輝度）表示にする。この画素行は、点滅（画像表示と非表示（黒表示あるいは低輝度表示）が交互に繰り返される）することになる。黒表示期間は4 msec以上にする必要がある。もしくは、1フレーム（1フィールド）の1/4以上の期間を黒表示（低輝度表示）にする。好ましくは、1フレーム（1フィールド）の1/2の期間以上を黒表示（低輝度表示）にする。

この条件は、人間の目の残像特性による。つまり、所定周期より速く点滅する画像は、人間の目の残像特性により、連続して点灯しているように見える。これが、動画ボケにつながる。しかし、所定周期より遅く点滅する画像は、視覚的には、連続しているように見えるが、間に挿入された非点灯（黒表示）状態を認識することができるようになり、表示画像が飛び飛びの状態になる（視覚的には変には感じないが）。そのため、動画表示で、画像が飛び飛びになり、画像ぶれが発生しない。つまり、動画ボケがなくなる。

図174の(a)において、Aの領域は、4画素行に1画素行が表示(点灯状態)状態である。したがって、4水平走査期間(4H)に1回点灯する(4H期間に1H期間の間点灯する)。この期間(画素行が点灯し、非点灯となり、次に点灯するまでの期間)は、4 msec以下である。したがって、人間の目には、画像が完全に連続して表示されているように見える(任意の画素行がたえず、点灯しているのと大差がない)。図124の(a)のBの領域では、画素行が表示されてから、次に表示されるまで、4 msec以上、好ましくは8 msec以上となるように黒挿入(低輝度表示)されている。したがって、画像は飛び飛びとなり、良好な動画表示を実現できる。

なお、以上の説明でAの領域あるいはBの領域として説明したが、以上の事項は説明を容易にするためである。図174において、Aの領域は矢印方向(画面の上から下)に順次走査される。CRTで電子ビームの走査されるごとくである。つまり、画像は順次書き換えられる(図174の(a)は図175を参照のこと。図175の(a)→(b)→(c)→(a)のように走査(駆動)される。図174の(b)は図176を参照のこと。図176の(a)→(b)→(c)→(a)のように走査(駆動)される)。

以上のように、本発明の駆動方式において、任意の画素行は、図174の(a)において、1フィールド(1フレーム)の4 msec(好ましくは8 msec)以上の期間は、4Hに1Hの期間表示され、その他の期間(1フィールド(1フレーム)の残りの期間)は、連続して非点灯(黒表示(黒挿入)あるいは低輝度表示)状態が維持される。したがって、説明を容易にするために、A領域あるいはB領域と表現したが、時間的な観点から、A期間あるいはB期間と表現するほうが

適切である。つまり、A領域（A期間）は、連続して画像が点灯する期間であり、B領域（B期間）は画素行（画面50）が間欠表示される期間である。以上の事項は図174の（b）あるいは他の本発明の実施例においても同様である。

図174の（b）では、2画素行を連続して点灯状態にし、つづく、2画素行を非点灯状態にしている。つまり、A領域（A期間）では、2Hの期間点灯し、2Hの期間非点灯状態となることを繰り返す。B領域（B期間）は所定の期間、連続して非点灯状態が維持される。図174の（b）の駆動方式においても、A領域は見かけ上、連続表示状態であり、B領域は見かけ上、間欠表示である。

以上のように、本発明の駆動方式は、任意の画素行（画素）に着目して表示状態を観測したとき、4 msec未満の期間（もしくは1フレーム（1フィールド）の1/4未満の期間）で画像表示と非表示（黒表示または所定以下の低輝度表示）が少なくとも1回以上繰り返させる第1の期間と、前記画素行（画素）が表示状態から非表示（黒表示または所定以下の低輝度表示）状態になり、次に表示状態になる期間が、4 msec以上となる第2の期間（もしくは1フレーム（1フィールド）の1/4以上の期間）を実施するものである。以上の駆動を実施することにより、良好な動画表示を実現でき、また、その制御回路（ゲートドライバ回路12など）の構成も容易であり、低コスト化を実現できる。

図174においても、点灯画素行数を変化させることにより、画面50の明るさを調整（変化）させることができる（図168と同様に、表示画素数53を変化あるいは調整すればよい）。また、黒挿入領域（図174のB領域）の割合を変化させることにより、画像表示状態

に応じて最適状態にすることができる。たとえば、静止画では、B領域が長くなることを避けるべきである。フリッカの発生の原因となるからである。静止画の場合は、表示領域53を分散して表示（画面50内に配置）すべきである。たとえば、QCIFパネルの場合は、画素行数が220本である。このうち、静止画で55画素行を表示するのであれば、 $220 / 44 = 4$ であるから、4画素行ごとに1画素行を表示させればよい。220画素行のうち10画素行を表示するのであれば、 $220 / 10 = 22$ 画素行に1画素行を表示させればよい。

なお、図174においてB領域（B期間）は1つとしているが、これに限定するものではなく、2つ以上（複数）に分割あるいは分散させてもよいことはいうまでもない。

しかし、図174の（a）では、4画素行組で1画素行を点灯させるか否かの表示しか実現できない。したがって、22画素行に1画素行を点灯させることはできない。そのため、4画素行組を5回＝20画素行に1画素行を表示する（つまり、20画素行に1画素行を表示する。言い換えれば、4画素行組の4つは、まったく画素行を点灯状態とせず、1画素行組の1画素行を点灯状態とする）。残りの20画素行（ $220 - 4 \times 5 = 200$ ）はすべてを非点灯状態にする。つまり、本発明では、制約（規制あるいは規定）される画素行組を1単位として、この画素行組の組み合わせ（ブロック）内で、このブロック内にいくつの画素行組の画素行を点灯させるか否かの制御を行う。以上の事項は、図174の（b）においても適用され、また、本発明の他の実施例においても適用される。

逆に動画表示の場合は、図174で説明したように、少なくとも4 msec以上の黒挿入を実施する必要がある。また、黒挿入の割合（

黒表示の連続時間、表示画面に対する黒表示面積）を変化させることにより、動画表示状態を変化することができる（最適状態に調整できる）。非常に高速な動画表示（画像の動きが激しい場合など）は、黒挿入面積を増大させるとよい。この際、画像を表示する画素数が減少することにより輝度低下は、1画素行の発光輝度を高くすることにより対応する。また、黒表示が連続する期間を長くするとよい。比較的全画面に対する動画表示領域の割合が少ない場合、あるいは比較的動画の動きがゆっくりとしている場合は、黒挿入の割合を減少させるとよい。この場合の点灯画素行53が増加することによる表示輝度の増大は、1画素行あたりの発光輝度を低下させることにより容易に調整できる。この調整はプログラム電流 I_w などで変更できるからである。もしくは、黒挿入期間を複数に分散させるとよい。フリッカが減少し良好な画像表示を実現できる。

以上のような、動画表示においても黒挿入状態を変更あるいは調整することにより、より最適な画像表示を実現できる。以上の事項は以下の実施例においても適用されることは言うまでもない。

入力映像信号の動画検出（ID検出）を行い、動画の場合あるいは動画が多い画像では、図174の駆動方式（黒挿入による間欠表示）を実施する。静止画の場合は、図168の駆動方式（点灯画素行位置が極力分散して配置する）を実施する。もちろん、本発明の表示パネルあるいは表示装置を用いる用途に応じて切り替えてもよい。たとえば、コンピュータモニターのように静止画の場合は図168の駆動方式を採用する。テレビのようにAV用途の場合は、図174の駆動方式を採用する。この駆動方式の切り替えは、ゲートドライバ回路12bのSSTAデータのより、容易に変更することができる。図1などの

EL素子15に流れる電流をオンオフさせるトランジスタを制御するだけであるからである。

図174と図168の切り替え（動画対応かあるいは静止画対応か、もしくは、より動画対応かより静止画対応か）は、ユーザーが操作できる切り替えスイッチなどを状況に応じて実施してもよいし、本発明の表示パネルの製造業者が実施してもよい。また、ホトセンサなどを用いて、周囲環境状態を検出し、自動で切り替えてもよい。また、本発明が受信する映像信号に制御信号（切り替え信号）をあらかじめ乗せておき、この制御信号を検出して、表示状態（駆動方式）を切り替えてもよい。

図177は図174の（a）の駆動方式の場合の、ゲート信号線17bの出力波形である。図1の画素構成では、ゲート信号線17bに印加されるオンオフ信号（ V_{gh} がオフ電圧、 V_{gl} がオン電圧）でトランジスタ11dをオンオフ制御し、EL素子15に流れる電流をオンオフさせる。図1において、上段は水平走査期間を示しており、L記号は、画素行数L（QCIFパネルの場合は、 $L=220$ 本）を示している。なお、図168、図174においても、本発明の駆動方式は、図1の画素構成に限定されるものではない。たとえば他の画素構成（図38など）においても適用できることは言うまでもない。

図177でわかるように、A期間（A領域）では、4H期間に1H期間の割合で各ゲート信号線17bにオン電圧（ V_{hl} ）が印加される。B期間（B領域）では、連続してオフ電圧（ V_{gh} ）が印加される。したがって、この期間にはEL素子15には電流が流れない。そして、各ゲート信号線17bのオン電圧位置が1画素行ずつ走査されている。

なお、以上の実施例では、1画素行ずつ走査されるとしたが、本発明はこれ限定されるものではない。たとえば、インターレース走査では、1画素行飛ばしで走査される。つまり、第1フレームでは偶数画素行が走査される。第2フレームでは奇数画素行が走査される。また、第1フレームを書き換えているときは、第2フレームで書き込まれた画像はそのまま保持される。ただし、点滅動作を実施する（実施しなくともよい）。第2フレームを書き換えているときは、第1フレームで書き込まれた画像はそのまま保持される。もちろん、図174の実施例のように点滅動作を実施してもよい。

インターレース走査は2フレームで1フィールドがCRTで通常である。しかし、本発明はこれに限定するものではない。たとえば、4フレーム=1フィールドでもよい。この場合は、第1フレームでは、 $(4N+1)$ 画素行（ただし、 N は以上の整数）の画像が書き換えられる。第2フレームでは、 $(4N+2)$ 画素行の画像が書き換えられる。次の第3フレームでは $(4N+3)$ 画素行の画像が書き換えられる。また、最後の第4フレームでは、 $(4N+4)$ 画素行の画像が書き換えられる。以上のように、本発明は、画素行への書き込みは、順次走査のみに限定するものではない。以上の事項は他の実施例においても適用される。また、本発明において、インターレース走査とは広く一般的な飛び越し走査を意味し、2フレーム=1フィールドに限定されるものではない。つまり、複数フレーム=1フィールドである。

なお、図177、図178においても、図171、図172、図173などの1水平走査期間（1H）あるいは複数の水平走査期間内において、EL素子15に流れる電流を制御すること（オン期間を制御すること）により、表示画面50の明るさを調整する駆動方式を併用で

きることは言うまでもない。

図178は図177と同様に、図174の(b)におけるゲート信号線17bの印加波形である。図177との差異は、A期間(A領域、図168の(b)を参照のこと)において、各ゲート信号線17bには、2水平走査期間(2H)の間、オン電圧(V_{g1})が印加され、その後、2Hの期間、オフ電圧(V_{gh})が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。B期間(B領域)では連続してオフ電圧が印加される。各ゲート信号線17bのオン電圧の印加位置は、1Hごとに走査される。

図177は図174の(a)の駆動方式の場合の、ゲート信号線17bの出力波形である。図1の画素構成では、ゲート信号線17bに印加されるオンオフ信号(V_{gh} がオフ電圧、 V_{g1} がオン電圧)でトランジスタ11dをオンオフ制御し、EL素子15に流れる電流をオンオフさせる。図1において、上段は水平走査期間を示しており、L記号は、画素行数L(QCIFパネルの場合は、 $L=220$ 本)を示している。なお、図168、図174においても、本発明の駆動方式は、図1の画素構成に限定されるものではない。たとえば他の画素構成(図38、図43、図51、図62、図63など)においても適用できることは言うまでもない。

図178は図177と同様に、図174の(b)におけるゲート信号線17bの印加波形である。図177との差異は、A期間(A領域、図168の(b)を参照のこと)において、各ゲート信号線17bには、2水平走査期間(2H)の間、オン電圧(V_{g1})が印加され、その後、2Hの期間、オフ電圧(V_{gh})が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。B期間(B領

域)では連続してオフ電圧が印加される。各ゲート信号線17bのオン電圧の印加位置は、1Hごとに走査される。他の事項は、図177と同様あるいは類似であるので説明を省略する。

なお、以上の実施例では、表示画面50内で、A領域とB領域とが混在する駆動方式である。つまり、画面表示状態のいずれの期間でも、かならず、A領域をB領域がある(もちろん、A領域がどこにあるかは、異なる)。このことは、1フィールド(1フレーム、つまり画面の書き換え周期)内に、A期間とB期間があるということである。しかし、動画表示を良好にするためには、黒挿入(黒表示あるいは低輝度表示)を行えばよいのであるから、図124の駆動方式に限定されるものではない。

たとえば、図179の駆動方式が例示される。理解を容易にするために、図179では、4つの表示期間((a)、(b)、(c)、(d))で構成されているとする。また、4フレーム=1フィールドとし、図179の(a)を第1フレーム、図179の(b)を第2フレーム、図179の(c)を第3フレーム、図179の(d)を第4フレームとする。表示は図179の(a)→(b)→(c)→(d)→(a)→(b)→・・・と繰り返される。

第1フレームでは、図179の(a)に図示するように、偶数番目の画素行を順次選択し、画像を書き換える。第1フレームの書き換えが終わると、図179の(b)に図示するように、画面50の上から順次黒表示としていく(図179の(b)は黒表示書き込みが終了した状態である)。次の第3フレームでは、図179の(c)に図示するように、奇数番目の画素行を、画面50の上から順次、画像を書き込んでいく。つまり、奇数番目の画像が、画面の上部から順次表示され

る。次の第4フレームでは、画面50の上部から、画像が非点灯状態（黒表示）にされていく（図179の（d）も完全に非点灯状態にした時の状態を示す）。

なお、図179において、（a）、（c）では、画像を書き込むと表現し、かつ画像を表示すると表現したが、本発明は基本的に、画像を表示する（点灯させる）状態に特徴がある。したがって、画像を書き込むこと（プログラムを実施すること）と画像を表示することとは同一である必要はない。つまり、図179の（a）、（c）では、ゲート信号線17bの制御により、EL素子15に流れる電流を制御し、点灯あるいは非点灯状態にすると考えてよい。したがって、図179の（a）の状態と図179の（b）の状態との切り替えは、一括で（たとえば、1H期間で）行うことができる。たとえば、イネーブル端子を制御することで実施できる（ゲートドライバ12bのシフトレジスタにオンオフ状態（図179の（a）では、偶数画素行に対応するシフトレジスタがオンデータ）を保持しておき、イネーブル端子がオフの時は、図179の（b）、（d）の状態を表示し、イネーブル端子をオンにすることにより、図179の（a）の表示状態になるなど）。したがって、ゲート信号線17bのオンオフ状態で図179の（a）、（c）の表示を実施できる（あらかじめ、画像データは図1の画素構成で例示すれば、コンデンサ19に保持させておく）。以上の説明では、図179の（a）、（b）（c）、（d）の状態は、各11フレーム期間の間実施するとした。

しかし、本発明がこの表示状態に限定するものではない。少なくとも動画表示状態を改善あるいは良好なものとするには、図179の（b）、（d）などの黒挿入状態を4msecの期間、実施すればよい。

らである。したがって、本発明の実施例において、ゲートドライバ回路 1 2 b のシフトレジスタ回路を用いて、ゲート信号線 1 7 b を走査し、図 1 7 9 の (a)、(c) の表示状態を実現することの限定されるものではない。奇数番目のゲート信号線 1 7 b (奇数ゲート信号線組と呼ぶ) を一括接続しておき、また、偶数番目のゲート信号線 1 7 b (偶数ゲート信号線組と呼ぶ) を一括接続しておき、奇数ゲート信号線組と偶数ゲート信号線組とを交互にオンオフ電圧を印加するようにすればよい。奇数ゲート信号線組にオン電圧を印加し、偶数ゲート信号線組にオフ電圧を印加すれば、図 1 7 9 の (c) の表示状態が実現される。偶数ゲート信号線組にオン電圧を印加し、奇数ゲート信号線組にオフ電圧を印加すれば、図 1 7 9 の (a) の表示状態が実現される。奇数ゲート信号線組と偶数ゲート信号線組の両方にオフ電圧を印加すれば、図 1 7 9 の (b)、d) の表示状態が実現される。図 1 2 9 の (a)、(b)、(c)、(d) の各状態は、4 m s e c (特に図 1 7 9 の (b)、(d) は) 以上の期間、実施すればよい。

以上の図 1 7 9 の駆動方式では、画面表示状態 (図 1 7 9 の (a)、(c)) と黒表示状態 (黒挿入、図 1 7 9 の (b)、(d)) が交互に繰り返される。したがって、画像表示が間欠表示となり、動画表示性能が向上する (動画ボケが発生しない)。

図 1 7 9 の実施例では、第 1 フレームと第 3 フレームでは、奇数画素行または偶数画素行に画像を表示し、この 2 つの画面間に黒画面 (図 1 7 9 の (b)、(d)) を挿入する駆動方式であった。しかし、本発明はこれに限定するものではなく、図 1 6 8 の表示状態を第 1 フレームおよび第 3 フレームに実施し、この 2 つのフレーム間に黒表示を挿入してもよい。

以上の実施例におけるタイミングチャートを図180に示す。図180の(a)は第1フレームであり、図180の(b)は黒挿入状態の第2フレームである。図180の(c)は第3フレームである。なお、第4フレームは図180の(b)と同様であるので省略している。ただし、第4フレームは必ずしも必要ではない。3フレーム=1フィールド構成でもよい。第2フレームで黒画面が挿入されるから動画ボケは大幅に改善されるからである。つまり、図180の(a)→(b)→(c)→(a)→・・・と繰り返す。

図180の(a)は、図168の(a)に4水平走査期間(4H)に1Hの期間、画像を表示する(各ゲート信号線17bは4Hごとに1Hの期間、Vg1電圧(オン電圧)が印加される。次の第2フレームでは、すべてのゲート信号線17bはオフ電圧(Vgh)が印加されている。この制御は先の実施例と同様に、イネーブル端子を制御することにより、一括で行うことができる。したがって、図180の(b)の状態は、1フレーム期間実施することに限定されるものではない。動画表示を良好なものとするには、4msec以上の期間、維持されればよいからである。ただし、図180の(a)が画面の上(上からに限定するものではないが)から順次画像を書き換えるとなると、画像が飛んでしまう。図179説明したように、複数のゲート信号線17bを一括接続し、また、イネーブル端子を制御することによれば、容易に実施することができる。

図180は、各画素行は、4H期間に1H期間、点灯するなど、規則正しく、画像表示を実施するものであった。しかし、各画素行は、単位期間(たとえば、1フレーム、1フィールドなど)で、点灯(表示)期間が一致していればよい。つまり、規則正しく、点灯状態と非点

灯状態とを実施する必要はない。

図 1 8 1 は、規則正しくない点灯状態の場合の実施例である。ゲート信号線 1 7 b (1) は第 1 H、第 5 H、第 6 H、第 9 H、第 1 3 H、第 1 4 H、・・・・・・にオン電圧が印加されている。他の期間にはオフ電圧が印加されている。したがって、周期的にオン電圧が印加されているのではなく（長期間でみれば、周期的であるが）、ランダム的である。この 1 フレーム期間（単位期間）に各ゲート信号線 1 7 b にオン電圧が印加される期間を加算したものが、他のゲート信号線 1 7 b と略一致させておけばよい。このように各画素行の点灯時間（ゲート信号線 1 7 b にオン電圧を印加することのより、画素行が点灯（表示）するとしている）が略一致する。

なお、図 1 8 1 では、各ゲート信号線 1 7 b に印加する信号波形は、1 H ずつ走査されたようにしている。このように、基本パターン波形を、各ゲート信号線 1 7 b を 1 H（所定クロックあるいは単位）でずらして走査する（印加する）ことにより、表示画面の輝度を全画面で均一化できる。なお、図 1 8 1 においてもオン電圧（V g 1）の印加期間を調整することにより、画面の明るさを制御（調整）することができることはいうまでもない。

以上の実施例では、各フレーム（単位期間）において、ゲート信号線 1 7 b には、同一のオンオフ電圧パターンを印加する実施例であった。しかし、本発明は、所定期間で、各画素行（画素）が点灯（表示）もしくは非点灯（非表示）となる期間が略等しくするものである。したがって、2 フレーム＝1 フィールドの駆動方式において、第 1 フレームと第 2 フレームとに印加する各ゲート信号線 1 7 b の信号波形が異なってもよい。たとえば、任意の画素行が第 1 フレームで 1 0 H

の期間の間、オン電圧が印加され、第2フレームで20Hの期間の間、オン電圧が印加されるように駆動してもよい（2フレームという単位期間で、10H+20Hの期間の間、オン電圧が印加される）。他の画素行も、30Hの期間、オン電圧が印加されるようにする。

この実施例を図182に図示する。図182の（a）（第1フレームとする）では、各画素行に対応するゲート信号線17bには、4水平走査期間（4H）周期で1水平走査期間（1H）オン電圧が印加される。図182の（b）（第2フレームとする）では、各画素行に対応するゲート信号線17には、4H周期で2Hの期間オン電圧が印加されている。つまり、2フレームでは、（4+4）H周期で（1+2）Hの期間オン電圧が印加されることになる。このように駆動しても、単位期間（図132では2フレーム）では、各ゲート信号線17bにはオン電圧が同一期間印加されることになる。したがって、各画素行は、同一輝度で表示される（白ラスタ表示と仮定した場合）。

なお、図180では、4H周期で1Hの期間オン電圧を印加するとしたが、これに限定するこのではない。たとえば、図183に図示するように、8H周期で1Hの期間オン電圧を印加するとしてもよい。また、各フレームでの各ゲート信号線17bに印加する信号波形は、周期性をもたせることはなく、完全にランダム化してもよい。単位周期（単位期間）でオン電圧を印加する総和期間が、すべてのゲート信号線17bで一致していればよいからである。

しかし、以上の実施例では、すべてのゲート信号線17bで単位期間において、オン電圧を印加する総和期間を一致させるとしたが、以下の場合には適用されない。1画面50内（つまり、1つの表示パネル）で、複数の輝度が異なる画面50を有する場合である。画面50

が、第1の画面50aと第2の画面50bが構成されており、画面50aと50bとの輝度が異なる場合である。2つの画面50の輝度を異ならせるのは、プログラム電流 I_w を調整することのよっても変化することができるが、ゲート信号線17bを走査し、第1の画面50aにおける各画素行の点灯（表示）期間と第2の画面50bにおける各画素行の点灯（表示）期間とを異ならせる方式が実現容易である。たとえば、第1の画面50aの各画素行は、4Hに1Hの期間、ゲート信号線17bにオン電圧を印加する。第2の画面50bの各画素行は、8Hに1Hの期間、ゲート信号線17bにオン電圧を印加する。このように、各画面でオン電圧を印加する期間を変化させることにより、画面の明るさを調整でき、また、そのときのガンマカーブも相似にすることができる。

電源回路（IC）82（図8を参照のこと）は、ゲートドライバ回路12からゲート信号線17に出力するオン電圧（画素16トランジスタの選択電圧）、オフ電圧（画素16トランジスタの非選択電圧）に必要な電位の電圧を作成する。そのため、電源IC（回路）82の使用する半導体の耐圧プロセスは、十分な耐圧がある。

電源IC82でロジック信号をレベルシフト（LS）すると都合がよい。したがって、コントローラ（図示せず）から出力されるゲートドライバ回路12の制御信号は、電源IC82に入力し、レベルシフトしてから、本発明のゲートドライバ回路12に入力する。コントローラ（図示せず）から出力されるソースドライバ回路14の制御信号は、直接に本発明のソースドライバ回路14などに入力する（レベルシフトの必要がない）。

しかし、本発明はアレイ基板71に形成するトランジスタをすべて

Pチャンネルで形成することには限定するものではない。ゲートドライバ回路12を後に説明する図111、図113のようにPチャンネルで形成することにより、CMOS構造のゲートドライバ回路12に比較して小型に形成することができる。したがって、狭額縁化することができる。2. 2インチのQCIFパネルの場合、ゲートドライバ回路12の幅は、6 μ mルールを採用時で、600 μ mで構成できる。供給するゲートドライバ回路12の電源配線の引き回しを含めても700 μ mに構成することができる。同様の回路構成をCMOS（NチャンネルとPチャンネルトランジスタ）で構成すると、1.2mmになってしまう。したがって、ゲートドライバ回路12をPチャンネルで形成することにより、狭額縁化をいう特徴ある効果を発揮できる。

また、画素16をPチャンネルのトランジスタで構成することにより、Pチャンネルトランジスタで形成したゲートドライバ回路12とのマッチングが良くなる。Pチャンネルトランジスタ（図1の画素構成では、トランジスタ11b、11c、トランジスタ11d）はL電圧（ V_{gl} ）でオンする。一方、ゲートドライバ回路12もL電圧が選択電圧である。Pチャンネルのゲートドライバは図113の構成でもわかるが、Lレベルを選択レベルとするとマッチングが良い。Lレベルが長期間保持できないからである。一方、H電圧（ V_{gh} ）は長時間保持することができる。

また、EL素子15に電流を供給する駆動用トランジスタ（図1ではトランジスタ11a）もPチャンネルで構成することにより、EL素子15のカソードが金属薄膜のグランド電極に構成することができる。また、アノード電位 V_{dd} から順方向にEL素子15に電流を流すことができる。以上の事項から、画素16のトランジスタをPチャ

ンネルとし、ゲートドライバ12のトランジスタもPチャンネルとすることがよい。以上のことから、本発明の画素16を構成するトランジスタ（駆動用トランジスタ11a、スイッチング用トランジスタ11d、11b、11c）をPチャンネルで形成し、ゲートドライバ回路12のトランジスタをPチャンネルで構成するという事項は単なる設計事項ではない。

レベルシフタ（LS）回路を、基板71に直接に形成してもよい。つまり、レベルシフタ（LS）回路をNチャンネルとPチャンネルトランジスタで形成する。コントローラ（図示せず）からのロジック信号は、基板71に直接形成されたレベルシフタ回路で、Pチャンネルトランジスタで形成されたゲートドライバ回路12のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路12に印加する。

レベルシフタ回路を半導体チップで形成し、基板71にCOG実装などしてもよい。また、ソースドライバ回路14は、基本的に半導体チップで形成し、基板71にCOG実装する。ただし、ソースドライバ回路14を半導体チップで形成することには限定するものではなく、ポリシリコン技術を用いて基板71に直接に形成してもよい。画素16を構成するトランジスタ11aをPチャンネルで構成すると、プログラム電流は画素16からソース信号線18に流れ出す方向になる。そのため、ソースドライバ回路内の定電流回路は、Nチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路14はプログラム電流 I_w を引き込むように回路構成する必要がある。

したがって、画素16の駆動用トランジスタ11a（図1の場合）がPチャンネルトランジスタの場合は、必ず、ソースドライバ回路1

4はプログラム電流 I_w を引き込むように、ソースドライバ回路14内の定電流回路（階調電流を出力する回路）をNチャンネルトランジスタで構成する。ソースドライバ回路14をアレイ基板71に形成するには、Nチャンネル用マスク（プロセス）とPチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素16とゲートドライバ12をPチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはNチャンネルで構成するのが本発明の表示パネル（表示装置）である。

図8は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロールIC81からソースドライバ回路14aに供給する信号（電源配線、データ配線など）はフレキシブル基板84を介して供給する。

図8ではゲートドライバ12の制御信号はコントロールICで発生させ、ソースドライバ14で、レベルシフトを行った後、ゲートドライバ12に印加している。ソースドライバ14の駆動電圧は4～8（V）であるから、コントロールIC81から出力された3.3（V）振幅の制御信号を、ゲートドライバ12が受け取れる5（V）振幅に変換することができる。もちろん、コントローラで信号電圧をレベルシフトし、ゲートドライバ回路12などに供給してもよい。

ソースドライバ14内には画像メモリを持たせることが好ましい。画像メモリの画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。

なお、図8などにおいて14をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ

、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図8などで説明する構成にあっても、図9などで説明する3辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

表示パネルを携帯電話などの情報表示装置に使用する場合、ソースドライバIC（回路）14、ゲートドライバIC（回路）12を、図9に示すように、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバIC（回路）を実装（形成）する形態を3辺フリー構成（構造）と呼ぶ。従来は、表示領域のX辺にゲートドライバIC12が実装され、Y辺にソースドライバIC14が実装されていた）。画面50の中心線が表示装置の中心になるように設計し易く、また、ドライバICの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで3辺フリーの構成で作製してもよい（つまり、図9のソースドライバ回路14とゲートドライバ回路12のうち、少なくとも一方をポリシリコン技術で基板71に直接形成する）。

なお、3辺フリー構成とは、基板71に直接ICを積載あるいは形成した構成だけでなく、ソースドライバIC（回路）14、ゲートドライバIC（回路）12などを取り付けたフィルム（TCP、TAB技術など）を基板71の一辺（もしくはほぼ一辺）にはりつけた構成も含む。つまり、2辺にICが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

図9のようにゲートドライバ回路12をソースドライバ回路14の横に配置すると、ゲート信号線17は辺cにそって形成する必要がある。

なお、図9などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成した箇所を示している。したがって、bの部分（画面下部）は走査信号線の本数分のゲート信号線17が並列して形成され、aの部分（画面上部）はゲート信号線17が1本形成されている。

C辺に形成するゲート信号線17のピッチは $5\mu\text{m}$ 以上 $12\mu\text{m}$ 以下にする。 $5\mu\text{m}$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば 7μ 以下で寄生容量の影響が顕著に発生する。さらに $5\mu\text{m}$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、 $12\mu\text{m}$ を越えると表示パネルの額縁幅Dが大きくなりすぎ実用的でない。

前述の画像ノイズを低減するためには、ゲート信号線17を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線17上に配置すればよい。

図9のc辺のゲート信号線17はITO材料を用いて形成してもよいが、低抵抗化するため、ITOと金属薄膜とを積層して形成することが好ましい。また、多層の金属膜で形成することが好ましい。ITOと積層する場合は、ITO上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはITO上にクロム膜を形成する。金属膜の場合は、アルミニウ

ム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

なお、図9などにおいて、ゲート信号線17などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線17aを表示領域50の右側に配置（形成）し、ゲート信号線17bを表示領域50の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

また、ソースドライバIC14とゲートドライバIC12とを1チップ化してもよい。1チップ化すれば、表示パネルへのICチップの実装が1個で済む。したがって、実装コストも低減できる。また、1チップドライバIC内で使用する各種電圧も同時に発生することができる。

図1などで図示した構成ではEL素子15のトランジスタ11aを介してV_{dd}電位に接続されている。しかし、各色を構成する有機ELの駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり0.01（A）の電流を流した場合、青（B）ではEL素子の端子電圧は5（V）であるが、緑（G）および赤（R）では9（V）である。つまり、端子電圧がBとG、Rで異なる。したがって、BとG、Rでは保持するトランジスタ11aのソースドレイン電圧（SD電圧）が異なる。そのため、各色でトランジスタのソースドレイン電圧（SD電圧）間オフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態をなす。

この課題に対応するため、少なくともR、G、B色のうち、1つの

カソード電極の電位を他色のカソード電極の電位と異ならせるように構成することが好ましい。もしくはR、G、B色のうち、1つのV d dの電位（アノード電位）を他色のV d dの電位と異ならせるように構成することが好ましい。

R、G、BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が7000K以上12000K以下の範囲で、R、G、BのEL素子の端子電圧は10（V）以下となるように材料あるいは構造選定をする必要がある。また、R、G、Bののうち、EL素子の最大の端子電圧と最小の端子電圧との差は、2.5（V）以内にすることが必要がある。たとえば、RのEL素子15に最大電流を流したとき7（V）であれば、GおよびBに最大電流を流した時のEL素子15の端子電圧は、 $7 - 2.5$ （V）（最低）以上 $7 + 2.5$ （V）（最大）以下の条件を満足させることが好ましい。さらに好ましくは1.5（V）以下にする必要がある。

なお、画素は、R、G、Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローなどの2色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよい。R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、R、G、B、白の4色でもよい。R、G、B、シアン、イエロー、マゼンダ、黒、白の7色でもよい。また、白色発光の画素を表示領域50全体に形成（作製）し、RGBなどのカラーフィルタで3原色表示としてもよい。また、1画素をBとイエローのように塗り分けても良い。以上のように

に本発明のE L表示装置は、R G Bの3原色でカラー表示を行うものに限定されるものではない。

有機E L表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、R G Bの各層を塗り分ける必要がない、R G Bの各色の有機E L材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のE L表示パネルなどはこのいずれの方式でも適用される。

また、3原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することのより作製（形成または構成）することにより実現できる。1組の画素は、R G Bの3原色と、白色発光の画素16から構成する。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。

R G Bなどの3原色を1組の画素をする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が7000K（ケルビン）以上12000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100A／平方メートルをすれば、3原色がいずれも70A／平方メートル以

上130A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85A/平方メートル以上115A/平方メートル以下となるようにする。

有機EL15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

この課題に対処するため、本発明ではゲートドライバ12（場合によってはソースドライバ14）の下層、画素トランジスタ11の下層に遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11A1のパターニングが困難になる。

遮光膜上に20以上100nm以下の無機材料からなる平滑化膜を形成する。この遮光膜のレイヤーを用いて蓄積容量19の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り、蓄積容量の容量値を大きくすることが好ましい。また、遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量19の誘電体膜として用いてもよい。平滑化膜上にはハイアパーチャ（HA）構造の画素電極が形成される。

ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用

いている。

また、基板 7 1 の光出射面には、反射防止膜を形成する。反射防止膜は、酸化チタンおよびフッ化マグネシウムなどの薄膜多層膜から形成する。

ドライバ 1 2 の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路 1 2 などの上に少なくとも 1 層、好ましくは複数層の有機 E L 膜を画素電極上の有機 E L 膜形成と同時に形成する。有機 E L 膜は絶縁物であるから、ドライバ上に有機 E L 膜を形成することにより、カソードとドライバ間が隔離される。したがって、前述の課題を解消することができる。

画素の 1 つ以上のトランジスタ 1 1 の端子間あるいはトランジスタ 1 1 と信号線とが短絡すると、E L 素子 1 5 が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素 1 6 を検出し、コンデンサ 1 9 にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ 1 9 には電荷を保持できなくなるので、トランジスタ 1 1 a は電流を流さなくすることができる。そのため、レーザー光を照射した画素は常時、非点灯状態となり黒表示となる。

なお、レーザー光を照射する位置にあたる。カソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ 1 9 の端子電極とカソード膜とがショートすることを防止するためである。したがって、あらかじめ、レーザー修整を行う箇所において、カソード電極をパターニングしておき、穴あけを行っておく。

画素 16 のトランジスタ 11 の欠陥は、ドライバ IC 14 にも影響を与える。例えば、図 56 では駆動用トランジスタ 11a にソースドレイン (SD) ショート 562 が発生していると、パネルの Vdd 電圧がソースドライバ IC 14 に印加される。したがって、ソースドライバ IC 14 の電源電圧は、パネルの電源電圧 Vdd (アノード電圧) と同一かもしくは高くしておくことが好ましい。なお、ソースドライバ IC で使用する基準電流は電子ボリウム 561 で調整できるように構成しておくことが好ましい。

図 56 のように、トランジスタ 11a に SD ショート 562 が発生していると、EL 素子 15 に過大な電流が流れる。つまり、EL 素子 15 が常時点灯状態 (輝点) となる。輝点は欠陥として目立ちやすい。たとえば、図 56 において、トランジスタ 11a のソースドレイン (SD) ショートが発生していると、トランジスタ 11a のゲート (G) 端子電位の大小に関わらず、Vdd 電圧から EL 素子 15 に電流が常時流れる (トランジスタ 11d がオンの時)。したがって、輝点となる。

一方、トランジスタ 11a に SD ショートが発生していると、トランジスタ 11c がオン状態の時、Vdd 電圧がソース信号線 18 に印加されソースドライバ 14 に Vdd 電圧が印加される。もし、ソースドライバ 14 の電源電圧が Vdd 以下であれば、耐圧を越えて、ソースドライバ 14 が破壊される恐れがある。

トランジスタ 11a の SD ショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ 11a と EL 素子 15 間を接続する配線を切断し、輝点を黒点欠陥

にする必要がある。この切断には、レーザー光などの光学手段を用いてトランジスタ 11a のソース端子 (S) またはドレイン端子 (D) を切断するか、もしくはトランジスタ 11a のチャンネルを破壊する。

なお、以上の実施例は配線を切断させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、図 1 でもわかるように、トランジスタ 11a の電源 V d d が、トランジスタ 11a のゲート (G) 端子に常時印加されるように修正してもよい。たとえば、コンデンサ 19 の 2 つの電極間をショートさせれば、V d d 電圧がトランジスタ 11a のゲート (G) 端子に印加されるようになる。したがって、トランジスタ 11a は完全にオフ状態になり、E L 素子 15 に電流を流さなくすることができる。これば、コンデンサ 19 にレーザー光を照射することによりコンデンサ電極をショートできるから、容易に実現できる。

また、実際には、画素電極の下層に V d d 配線が配置されているから、V d d 配線と画素電極とにレーザー光を照射することにより、画素の表示状態を制御 (修正) することができる。

画素 16 を黒表示するためには、E L 素子 15 を劣化させてもよい。たとえば、レーザー光を E L 層 15 に照射し、E L 層 15 を物理的にあるいは化学的に劣化させ、発光しないようにする (常時黒表示)。レーザー光の照射により E L 層 15 を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、E L 膜 15 の化学的变化を容易に行うことができる。

なお、以上の実施例は、図 1 に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンあるいはショートさせることは、カレントミラーな

どの他の電流駆動の画素構成あるいは図62、図51などで図示する電圧駆動の画素構成であっても適用できることは言うまでもない。したがって、画素の構成、構造には限定されない。

以下、図1の画素構成について、その駆動方法について説明をする。図1に示すように、ゲート信号線17aは行選択期間に導通状態（ここでは図1のトランジスタ11がpチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線17bは非選択期間時に導通状態とする。

ソース信号線18には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線18とゲート信号線17とのクロス部の容量、トランジスタ11b、11cのチャンネル容量などにより発生する。

ソース信号線18の電流値変化に要する時間 t は浮遊容量の大きさを C 、ソース信号線の電圧を V 、ソース信号線に流れる電流を I とすると $t = C \cdot V / I$ であるため電流値を10倍大きくできることは電流値変化に要する時間が10分の1近くまで短くできる。またはソース信号線18の寄生容量が10倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

たとえば、ソースドライバIC14からの出力電流を10倍にすると、画素16にプログラムされる電流が10倍となる。そのため、EL素子15の発光輝度も10倍となる。したがって、所定の輝度を得るために、図1のトランジスタ17dの導通期間（オン時間）を従来の10分の1とし、発光期間を10分の1とする。

つまり、ソース信号線18の寄生容量の充放電を十分に行い、所定の電流値を画素16のトランジスタ11aにプログラムを行うために

は、ソースドライバ14から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線18に流すとこの大きな電流値が画素にプログラムされてしまう。したがって、所定の電流に対し大きな電流がEL素子15に流れる。たとえば、10倍の電流でプログラムすれば、当然、10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。所定の発光輝度にするためには、EL素子15に流れる時間を $1/10$ にすればよい。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電でき、所定の発光輝度を得ることができる。

なお、10倍の電流値を画素のトランジスタ11a（正確にはコンデンサ19の端子電圧を設定している）に書き込み、EL素子15のオン時間を $1/10$ にするとしたが、これは一実施例である。他の実施例として、10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を $1/5$ にしてもよい。逆に10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を $1/2$ 倍にしてもよい。

また、明るい画像表示を行うときは、 $1/1$ （たえず、トランジスタ11dがオン状態を維持する）にし、暗い画像のときは、 $1/10$ （トランジスタ11dは1フレームの $1/10$ の期間だけオンする）にしてもよい。また、これらの表示を画像表示データにもとづき、リアルタイムで変更するように制御してもよい。

本発明は、画素への書き込み電流を所定値以外の値にし、EL素子15に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、N倍の電流値を画素のトランジスタ11に書き込み、EL素子15のオン時間を $1/N$ 倍にするとして説

明する。しかし、これに限定するものではなく、 $N/1$ 倍の電流値を画素のトランジスタ 11 に書き込み、EL 素子 15 のオン時間を $1/(N/2)$ 倍 ($N/1$ と $N/2$ とは異なる) でもよいことは言うまでもない。

なお、間欠状態にするとは、本発明の表示パネルの駆動方法にたえず間欠表示で駆動することに限定するものではない。画像表示状態によっては、 $1/1$ (間欠表示でない) 表示を実施してもよい。つまり、本発明は、画像表示において、間欠表示にする状態が発生する駆動方法である。また、間欠表示とは 1 フレーム期間に少なくとも 2 水平走査期間 ($2H$) 以上発生する状態をいう。

また、間欠表示において、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい (全体として、表示期間もしくは非表示期間が所定値 (一定割合) となればよい)。また、RGB で異なってもよい。たとえば、R の画素が 1 フレームで $1/3$ の期間の間、非常時状態に駆動し、G と B の画素が 1 フレームで $1/4$ の期間の間、非常時状態に駆動してもよい。間欠表示の期間は、白 (ホワイト) バランスが最適になるように、R、G、B 表示期間もしくは非表示期間が所定値 (一定割合) となるように調整 (設定) すればよい。

また、説明を容易にするため、 $1/N$ とは、 $1F$ (1 フィールドまたは 1 フレーム) を基準にしてこの $1F$ を $1/N$ にするとして説明する。しかし、1 画素行が選択され、電流値がプログラムされる時間 (通常、1 水平走査期間 ($1H$)) があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定するものではない。また、 N は整数に限定されるものではなく、 $N=3.5$ など整数以外

であってもよい。本発明では、説明を容易にするため、断りがない限り、 N は整数として説明をする。

$N = 10$ 倍の電流で画素 16 に電流プログラムし、 $1/5$ の期間の間、EL 素子 15 を点灯させてもよい。EL 素子 15 は、 $10/5 = 2$ 倍の輝度で点灯する。逆に、 $N = 2$ 倍の電流で画素 16 に電流プログラムし、 $1/4$ の期間の間、EL 素子 15 を点灯させてもよい。EL 素子 15 は、 $2/4 = 0.5$ 倍の輝度で点灯する。つまり、本発明は、 $N = 1$ 倍でない電流でプログラムし、かつ、常時点灯 ($1/1$ 、つまり、間欠駆動でない) 状態以外の表示を実施するものである。また、広義には、EL 素子 15 に供給する電流を 1 フレーム (あるいは 1 フィールド) の期間において、少なくとも 1 回、オフする駆動方式である。また、所定値よりも大きな電流で画素 16 にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

有機 (無機) EL 表示装置は、CRT のように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、EL 表示装置では、1 F (1 フィールドあるいは 1 フレーム) の期間の間は、画素に書き込んだ電流 (電圧) を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

本発明では、 $1 F/N$ の期間の間だけ、EL 素子 15 に電流を流し、他の期間 ($1 F(N-1)/N$) は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。

この表示状態では 1 F ごとに画像データ表示、黒表示 (非点灯) が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示 (間欠表示) 状態となる。動画データ表示を、この間欠表示状

態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持される。したがって、黒挿入表示を実施しようとするとき液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバIC14の動作クロックを高くし、画像データと黒表示データとを交互にソース信号線18に印加する必要がある。したがって、黒挿入（黒表示などの間欠表示）を実現しようとするとき回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

図1、図2、図38などに示す本発明のEL表示パネルの画素構成では、画像データはコンデンサ19に保持されている。このコンデンサ19の端子電圧に対応する電流をEL素子15に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

本発明はスイッチングのトランジスタ11d、あるいはトランジスタ11eなどをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流 I_w をオフしても、画像データはそのままコンデンサ19の保持されている。したがって、次のタイミングでスイッチング素子11dなどをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張

を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することにより従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

さらに、大型の表示装置でソース容量が大きくなる場合はソース電流を10倍以上にしてやればよい。一般にソース電流値をN倍にした場合、ゲート信号線17b（トランジスタ11d）の導通期間を $1F/N$ とすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線18の寄生容量は、隣接したソース信号線18間の結合容量、ソースドライバIC（回路）14のバッファ出力容量、ゲート信号線17とソース信号線18とのクロス容量などにより発生する。この寄生容量は通常10pF以上となる。電圧駆動の場合は、ドライバIC14からは低インピーダンスで電圧がソース信号線18に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

しかし、電流駆動では特に黒レベルの画像表示では20nA以下の微小電流で画素のコンデンサ19をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、1画素行にプログラムする時間（通常、1H以内、ただし、2画素行を同時に書き込む場合もあるので1H以内に限定されるものではない。）内に寄生容量を充放電することができない。1H期間で充放電できなければ、画素への書き込み不足となり、解像度がでない。

図1の画素構成の場合、図3の(a)に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w がトランジスタ11aを流れ、 I_w を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

次に、EL素子15に電流を流す期間は図3の(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧(V_{gh})が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧(V_{gl})が印加され、トランジスタ11dがオンする。

今、電流 I_1 が本来流す電流(所定値)の N 倍であるとする、図3の(b)のEL素子15に流れる電流も I_w となる。したがって、所定値の10倍の輝度でEL素子15は発光する。つまり、図12に図示するように、倍率 N を高くするほど、表示パネルの表示輝度 B も高くなる。したがって、倍率と輝度とは比例関係となる。逆に、 $1/N$ と駆動することにより、輝度と倍率とは反比例の関係となる。

そこで、トランジスタ11dを本来オンする時間(約1F)の $1/N$ の期間だけオンさせ、他の期間 $(N-1)/N$ 期間はオフさせれば、1F全体の平均輝度は所定の輝度となる。この表示状態は、CRTが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1/N$ (全画面を1とする)が点灯している点である(CRTでは、点灯している範囲は1画素行(厳密には1画素である))。

本発明では、この $1F/N$ の画像表示領域53が図13の(b)に示すように画面50の上から下に移動する。本発明では、 $1F/N$ の

期間の間だけ、EL素子15に電流が流れ、他の期間($1F \cdot (N-1)/N$)は電流を流れない。したがって、各画素は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

なお、図13に図示するように、書き込み画素行51aは非点灯表示52aとする。しかし、これは、図1、図2などの画素構成の場合である。図38などで図示するカレントミラーの画素構成では、書き込み画素行51aは点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図1の画素構成を例示して説明をする。また、図13、図16などの所定駆動電流 I_w よりも大きい電流でプログラムし、間欠駆動する駆動方法をN倍パルス駆動と呼ぶ。

この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示(間欠表示)状態となる。液晶表示パネル(本発明以外のEL表示パネル)では、1Fの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた(画像の輪郭ボケ)。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。

このタイミングチャートを図14に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図1であるとする。しかし、図38、図63、図64、図65などでの間欠表示を実現できることは言うまでもないから、本発明は図1に限定されるものではないことは言うまでもない。

図14でわかるように、各選択された画素行（選択期間は、1Hとしている）において、ゲート信号線17aにオン電圧（ V_{g1} ）が印加されている時（図14の（a）を参照）には、ゲート信号線17bにはオフ電圧（ V_{gh} ）が印加されている（図14の（b）を参照）。また、この期間は、EL素子15には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線17aにオフ電圧（ V_{gh} ）が印加され、ゲート信号線17bにはオン電圧（ V_{g1} ）が印加されている。また、この期間は、EL素子15に電流が流れている（点灯状態）。また、点灯状態では、EL素子15は所定のN倍の輝度（ $N \cdot B$ ）で点灯し、その点灯期間は $1F/N$ である。したがって、1Fを平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1/N) = B$ （所定輝度）となる。

なお、以上の説明は白表示での画像表示について説明しているようであるが、黒表示についても同様に明るさは $1/10$ になる。したがって、たとえ、画像表示に黒浮きが発生していても、黒浮きの輝度も $1/10$ になるから良好な画像表示になる。

図15は、図14の動作を各画素行に適用した実施例である（各画素のゲート信号線17a、17bの信号波形を図示している）。ゲート信号線の電圧はオフ電圧を V_{gh} （Hレベル）とし、オン電圧を V_{g1} （Lレベル）としている。（1）（2）などの添え字は選択している画素行番号を示している。

図15において、ゲート信号線17a（1）が選択され（ V_{g1} 電圧）、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。なお、プログラム電流の流れる方向は、画素構成により異なる。画素16の駆

動トランジスタ 11a が P チャンネルトランジスタの場合は、プログラム電流 I_w は画素 16 からソースドライバ回路 16 に向かって流れる。画素 16 の駆動トランジスタ 11a が N チャンネルトランジスタの場合は、プログラム電流 I_w はソースドライバ回路 16 から画素 16 に向かって流れる。

このプログラム電流は所定値の N 倍（説明を容易にするため、 $N = 10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。自然画の表示状態のより各画素 16 に電流プログラムされる電流の大きさは異なる）である。したがって、コンデンサ 19 には 10 倍に電流がトランジスタ 11a に流れるようにプログラムされる。画素行（1）が選択されている時は、図 1 の画素構成ではゲート信号線 17b（1）はオフ電圧（ V_{gh} ）が印加され、EL 素子 15 には電流が流れない。

1H 後には、ゲート信号線 17a（2）が選択され（ V_{gl} 電圧）、選択された画素行のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍（説明を容易にするため、 $N = 10$ として説明する）である。したがって、コンデンサ 19 には 10 倍に電流がトランジスタ 11a に流れるようにプログラムされる。

画素行（2）が選択されている時は、図 1 の画素構成ではゲート信号線 17b（2）はオフ電圧（ V_{gh} ）が印加され、EL 素子 15 には電流が流れない。しかし、先の画素行（1）のゲート信号線 17a（1）にはオフ電圧（ V_{gh} ）が印加され、ゲート信号線 17b（1）にはオン電圧（ V_{gl} ）が印加されるため、点灯状態となっている。

次の1H後には、ゲート信号線17a(3)が選択され、ゲート信号線17b(3)はオフ電圧(V_{gh})が印加され、画素行(3)のEL素子15には電流が流れない。しかし、先の画素行(1)(2)のゲート信号線17a(1)(2)にはオフ電圧(V_{gh})が印加され、ゲート信号線17b(1)(2)にはオン電圧(V_{g1})が印加されるため、点灯状態となっている。

以上の動作を1Hの同期信号に同期して画像を表示していく。しかし、図15の駆動方式では、EL素子15には10倍の電流が流れる。したがって、表示画面50は約10倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/10$ にしておけばよいことは言うまでもない(間欠期間を $1/10$ にするのではなく、プログラム電流を制御する)。しかし、 $1/10$ の電流であれば寄生容量などにより書き込み不足が発生する。この課題を解決するために、N倍の高い電流でプログラムし、黒画面52挿入(間欠表示)により所定の輝度を得るのは本発明の基本的な主旨である。

なお、本発明の駆動方法において、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電するという概念である。つまり、EL素子15にN倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し(ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなど)、ダミーEL素子とEL素子15に分流して電流を流しても良い。

たとえば、信号電流が $0.2\mu A$ のとき、プログラム電流を $2.2\mu A$ として、トランジスタ11aには $2.2\mu A$ を流す。この電流の

うち、信号電流 $0.2 \mu A$ を EL 素子 15 に流して、 $2 \mu A$ をダミーの EL 素子に流すなどの方式が例示される（図 136 を参照のこと）。つまり、図 27 のダミー画素行 281 を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

以上のように構成することにより、ソース信号線 18 に流す電流を N 倍に増加させることにより、駆動用トランジスタ 11a に N 倍の電流が流れるようにプログラムすることができ、かつ、電流 EL 素子 15 には、N 倍よりは十分小さい電流をながることができることになる。以上の方法では、図 5 に図示するように、非点灯領域 52 を設けることなく、全表示領域 50 を画像表示領域 53 とすることができる。

図 13 の (a) は表示画像 50 への書き込み状態を図示している。図 13 の (a) において、51a は書き込み画素行である。ソースドライバ IC 14 から各ソース信号線 18 にプログラム電流が供給される。なお、図 13 などでは 1 H 期間に書き込む画素行は 1 行である。しかし、何ら 1 H に限定するものではなく、0.5 H 期間でも、2 H 期間でもよい。

また、ソース信号線 18 にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線 18 に書き込まれるのは電圧である電圧プログラム方式（図 62 など）でもよい。たとえば、電圧駆動方式でも、所定輝度が得られるよりの高い電圧をソース信号線 18 に印加し、画素 16 をプログラムし、所定輝度になるように間欠表示する駆動方法が例示される。

図 13 の (a) において、ゲート信号線 17a が選択されるとソース信号線 18 に流れる電流がトランジスタ 11a にプログラムされる。

この時、ゲート信号線 17b はオフ電圧が印加され EL 素子 15 には電流が流れない。これは、EL 素子 15 側にトランジスタ 11d がオン状態であると、ソース信号線 18 から EL 素子 15 の容量成分が見え、この容量に影響されてコンデンサ 19 に十分に正確な電流プログラムができなくなるためである。したがって、図 1 の構成を例にすれば、図 13 の (b) で示すように電流を書き込まれている画素行は非点灯領域 52 となる。

今、N（ここでは、先に述べたように $N=10$ とする）倍の電流でプログラムしたとすれば、画面の輝度は 10 倍になる。したがって、表示領域 50 の 90% の範囲を非点灯領域 52 とすればよい。したがって、画像表示領域の水平走査線が QCIF の 220 本 ($S=220$) とすれば、22 本と表示領域 53 とし、 $220-22=198$ 本を非表示領域 52 とすればよい。一般的に述べれば、水平走査線（画素行数）を S とすれば、 S/N の領域を表示領域 53 とし、この表示領域 53 を N 倍の輝度で発光させる。そして、この表示領域 53 を画面の上下方向に走査する。したがって、 $S(N-1)/N$ の領域は非点灯領域 52 とする。この非点灯領域は黒表示（非発光）である。また、この非発光部 52 はトランジスタ 11d をオフさせることにより実現する。なお、N 倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整により N 倍の値と調整することは言うまでもない。

また、先の実施例で、10 倍の電流でプログラムしたとすれば、画面の輝度は 10 倍になり、表示領域 50 の 90% の範囲を非点灯領域 52 とすればよいとした。しかし、これは、RGB の画素を共通に非点灯領域 52 とすることに限定するものではない。例えば、R の画素

は、 $1/8$ を非点灯領域52とし、Gの画素は、 $1/6$ を非点灯領域52とし、Bの画素は、 $1/10$ を非点灯領域52と、それぞれの色により変化させてもよい。

R G Bの色で個別に非点灯領域52（あるいは点灯領域53）を調整できるようにしてもよい。これらを実現するためには、R、G、Bで個別のゲート信号線17bが必要になる。しかし、以上のR G Bの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（図41を参照のこと）。

図13の（b）に図示するように、書き込み画素行51aを含む画素行が非点灯領域52とし、書き込み画素行51aよりも上画面のS/N（時間的には1F/N）の範囲を表示領域53とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域53が帯状になって、画面の上から下に移動する。

図13の表示では、1つの表示領域53が画面の上から下方向に移動する。フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、図16に図示するように、表示領域53を複数に分割するとよい。この分割された総和が $S(N-1)/N$ の面積となれば（なお、Sは表示パネルの有効表示領域50の面積）、図13の明るさと同等になる。なお、分割された表示領域53は等しく（等分に）する必要はない。たとえば、表示領域を4つの領域に分割し、分割された表示領域53aが面積1で、分割された表示領域53b

が面積 2 で、分割された表示領域 5 3 c が面積 1 で、分割された表示領域 5 3 d が面積 4 でもよい。また、分割された非表示領域 5 2 と厳密に等しくする必要はない。

また、数フレーム（フィールド）での表示領域 5 3 の面積が平均して目標の大きさになるように制御してもよいことは言うまでもない。表示領域 5 3 の面積を $S/10$ にするとした時、1 フレーム（フィールド）目は表示領域 5 3 の面積を $S/10$ とし、2 フレーム（フィールド）目は表示領域 5 3 の面積を $S/20$ とし、3 フレーム（フィールド）目は表示領域 5 3 の面積を $S/20$ とし、4 フレーム（フィールド）目は表示領域 5 3 の面積を $S/5$ とし、以上の 4 フレーム（フィールド）で所定の表示面積（表示輝度）の $S/10$ を得る駆動方法が例示される。また、R、G、B のそれぞれが、数フレーム（フィールド）で L の期間の平均が等しくなるように駆動してもよい。しかし、前記数フレーム（フィールド）は 4 フレーム（フィールド）以下にすることが好ましい。表示画像によってはフリッカが発生する場合があるからである。

なお、本発明での 1 フレームあるいは 1 フィールドとは、画素 16 の画像書き換え周期または表示画面 5 0 が上から下まで（下から上まで）走査される周期と同義あるいは類似の意味と考えてもよい。

また、R、G、B で、数フレーム（フィールド）で L の期間の平均を異ならせ、適度なホワイトバランスがとれるように駆動してもよい。この駆動方法は、R G B の発光効率が異なるときに特に有効である。また、R G B で分割数 K を異ならせても良い。特に G では視覚的にめだつため、G では分割数を R B に対して多くすることが有効である。

なお、以上の実施例では理解を容易にするために表示領域 5 3 の面

積を分割するとして説明している。しかし、面積を分割するとは、期間（時間）を分割することである。したがって、図1ではトランジスタ11dのオン期間を分割することになるから、面積を分割することは、期間（時間）を分割することと同義あるいは類似である。

以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。また、画像表示のフレームレートを低減することができ、低消費電力化を実現できる。たとえば、非点灯領域52を一括にした場合は、フレームレート45Hz以下になるとフリッカが発生する。しかし、非点灯領域52を6分割以上とした場合は、20Hz以下までフリッカが発生しない。

図17はゲート信号線17の電圧波形およびELの発光輝度を図示している。図17で明らかなように、ゲート信号線17bをVg1にする期間（ $1F/N$ ）を複数に分割（分割数K）している。つまり、Vg1にする期間は $1F/(K \cdot N)$ の期間をK回実施する。 $1F/(K \cdot N)$ の期間をK回実施することにより点灯期間53の総和は、 $1F/N$ となる。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。

画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出してKの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

また、画像データの状態により分割数を変更してもよい。画像データが動画の場合は、非点灯領域 5 2 を一括にすることにより動画ぼけが発生しなくなる。また、動画の場合は、たえず画像が変化するため、フレームレートを遅くしてもフリッカの発生はない。画像データが静止画の場合は、非点灯領域 5 2 を複数に分割にすることにより低フレームレートでもフリッカの発生がなくなる。つまり、画像データをリアルタイムで動画／静止画の判定をし、判定結果にもとづいて非表示領域 5 2 の分割数を制御することにより、低消費電力かつ動画ぼけの発生のない高画質表示を実現できる。

ゲート信号線 1 7 a にオン電圧 (V_{g1}) が印加された状態からオフ電圧 (V_{gh}) が印加された状態に変化するタイミングと、ゲート信号線 1 7 b にオフ電圧 (V_{gh}) が印加された状態からオン電圧 (V_{g1}) が印加された状態に変化するタイミングとが一致すると、画像の保持状態にバラツキが発生しやすくなる。これは、トランジスタ 1 1 b、1 1 d の特性により、オフまたはオンとなるタイミングにずれが発生し、コンデンサ 1 9 にプログラムされた電圧が放電したり、リークしたりするためと思われる。

この課題に対応するため、図 6 6 に図示するように、書込み画素行 5 1 の前後は、非表示領域 5 3 となるように駆動するのが好ましい。書込み画素行の電流（電圧）プログラムを行ない、1 水平走査期間の経過後に前記画素行のゲート信号線 1 7 b にオン電圧を印加して、EL 素子 1 5 に電流を流すように制御することが好ましい。また、各画素行を選択するゲート信号線 1 7 a にオフ電圧を印加した後、少なくとも、 $3 \mu s$ 以上の時間を経過した後、各画素行のゲート信号線 1 7 b にオン電圧を印加するように制御することが好ましい。EL 素

子 1 5 に流す電流タイミングに制約がない場合は、図 6 6 に図示するように、書込み画素行 5 1 の前後の画素行が非表示領域 5 2 内となるように駆動することが好ましい。

図 6 7 は、以上の駆動方法を説明するための説明図である。図 6 7 では、説明を容易にするため画素構成は図 1 で説明した画素構成を想定している。

図 6 7 の (a) では、ゲート信号線 1 7 a にオン電圧 (V_{g1}) を印加する期間は 1 水平走査期間 (1 H) としている。ゲート信号線 1 7 a がオン電圧からオフ電圧を印加状態に変化するときは、ゲート信号線 1 7 b はオフ電圧を印加された状態を維持している。ゲート信号線 1 7 b には、図 6 7 の (a) に図示するように A 時間の経過後、オン電圧 (V_{g1}) が印加される。A 期間は $1 \mu s$ 以上とすることが好ましい。さらに好ましくは、A 期間は $3 \mu s$ 以上とすることが好ましい。

図 6 7 の (a) のように、ゲート信号線 1 7 a にオン電圧が印加されている時は、ゲート信号線 1 7 b にはオフ電圧を印加した状態を維持し、ゲート信号線 1 7 a に印加された電圧がオン電圧からオフ電圧に変化し、図 1 の画素 1 6 のトランジスタ 1 1 b、1 1 c が完全にオフ状態となった後、ゲート信号線 1 7 b にオン電圧を印加することにより、画素 1 6 にプログラムされる電流バラツキが少なくなり良好な画像表示が行われる。

図 6 7 の (b) では、ゲート信号線 1 7 a にオン電圧 (V_{g1}) を印加する期間は 1 水平走査期間 (1 H) より短い期間としている。ゲート信号線 1 7 a がオン電圧からオフ電圧を印加状態に変化するときは、ゲート信号線 1 7 b はオフ電圧を印加された状態を維持している。

ゲート信号線 17 b には、図 6 7 の (b) に図示するように C 時間の経過後、オン電圧 (V_{g1}) が印加される。C 期間は $1 \mu s$ e c 以上とすることが好ましい。さらに好ましくは、C 期間は $3 \mu s$ e c 以上とすることが好ましい。

図 6 7 の (b) のように、ゲート信号線 17 a にオン電圧が印加されている時は、ゲート信号線 17 b にはオフ電圧を印加した状態を維持し、ゲート信号線 17 a に印加された電圧がオン電圧からオフ電圧に変化し、図 1 の画素 16 のトランジスタ 11 b、11 c が完全にオフ状態となった後、ゲート信号線 17 b にオン電圧を印加することにより、画素 16 にプログラムされる電流バラツキが少なくなり良好な画像表示が行われる。

図 6 7 の (c) では、ゲート信号線 17 a にオン電圧 (V_{g1}) を印加する期間は 1 水平走査期間 (1 H) としている。ゲート信号線 17 a がオン電圧からオフ電圧を印加状態に変化するときは、ゲート信号線 17 b はオフ電圧を印加された状態を維持している。さらに、ゲート信号線 17 b には、ゲート信号線 17 a にオン電圧 (V_{g1}) が印加される期間の後 1 H 期間にはオフ電圧が印加されている。

図 6 7 の (c) のように、ゲート信号線 17 a にオン電圧が印加されている時は、ゲート信号線 17 b にはオフ電圧を印加した状態を維持し、ゲート信号線 17 a に印加された電圧がオン電圧からオフ電圧に変化し、図 1 の画素 16 のトランジスタ 11 b、11 c が完全にオフ状態となった後、ゲート信号線 17 b にオン電圧を印加することにより、画素 16 にプログラムされる電流バラツキが少なくなり良好な画像表示が行われる。

なお、以上の実施例は、図 1 などの画素構成を例示して説明したが

、図 6 3、図 6 4、図 6 5 などの画素構成においても適用できることは言うまでもない。

なお、図 1 7 などにおいて、ゲート信号線 1 7 b を V_{g1} にする期間（図 1 ではトランジスタ 1 1 d がオンする期間、 $1 F / N$ ）を複数に分割（分割数 K ）し、 V_{g1} にする期間は $1 F / (K \cdot N)$ の期間を K 回実施するとしたがこれ限定するものではない。 $1 F / (K \cdot N)$ の期間を L ($L \neq K$) 回実施してもよい。つまり、本発明は、 $E L$ 素子 1 5 に流す期間（時間）を制御することにより画像 5 0 を表示するものである。したがって、 $1 F / (K \cdot N)$ の期間を L ($L \neq K$) 回実施することは本発明の技術的思想に含まれる。また、分割する期間は等しくすることに限定されるものでもない。また、 R 、 G 、 B で L の制御方法、 L の期間、 L の周期などを異ならせても良い。

L の値を変化させることにより、画像 5 0 の輝度をデジタル的に変更することができる。たとえば、 $L = 2$ と $L = 3$ では 5 0 % の輝度（コントラスト）変化となる。 L の期間を順次、変化させることにより、画面 5 0 の明るさは L の期間に比例してリニアに調整することができる。明るさを調整しても階調数は維持される。なお、 L の期間は 1 水平走査期間（ $1 H$ ）の整数倍に限定されるものではない。 $1 H$ の $5 / 2$ 、 $1 H$ の $1 / 2$ あるいは $1 H$ の $1 / 8$ など、 $1 H$ よりも短い期間で操作あるいは制御してもよいことは言うまでもない。

以上の実施例は、 $E L$ 素子 1 5 に流れる電流を遮断し、また、 $E L$ 素子に流れる電流を接続することにより、表示画面 5 0 をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ 1 9 に保持された電荷によりトランジスタ 1 1 a に複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデン

サ 1 9 に保持された電荷を充放電させることにより、表示画面 5 0 をオンオフ（点灯、非点灯）する方式でもよい（図 3 2、図 3 3、図 5 3、図 5 4 などの実施例を参照のこと）。

図 1 8 は図 1 6 の画像表示状態を実現するための、ゲート信号線 1 7 に印加する電圧波形である。図 1 8 と図 1 5 の差異は、ゲート信号線 1 7 b の動作である（図 1、図 2、図 6 4、図 6 5 ではトランジスタ 1 1 d の動作である、なお、図 6 3 ではスイッチ 6 3 1 の動作である。スイッチ 6 3 1 はゲート信号線 1 7 b で制御されているのではないが、業界の技術者であれば容易にスイッチ 6 3 1 のオンオフを制御できるので説明を省略する。）。ゲート信号線 1 7 b は画面を分割する個数に対応して、その個数分だけオンオフ（ V_{g1} と V_{gh} ）動作する。他の点は図 1 5 と同一であるので説明を省略する。

EL 表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のようにコントラスト低下もない。また、図 1 の構成においては、トランジスタ 1 1 d をオンオフ操作するだけで間欠表示を実現できる。また、図 3 8、図 5 1 の構成においては、トランジスタ素子 1 1 e をオンオフ操作するだけで、間欠表示を実現することができる。このように 1 回以上の画素 1 6 の点灯および非点灯を実施しても同一の画像表示を再現できるのは、コンデンサ 1 9 に画像データがメモリ（アナログ値であるから階調数は無限大）しているからである。つまり、各画素 1 6 に、画像データは 1 F の期間中は保持されている（次のフレームで画像データが書き換えられるまで保持されている）。保持されている画像データに相当する電流を EL 素子 1 5 に流すか否かをトランジスタ 1 1 d、1 1 e あるいはスイッチ 6 3 1 の制御により実現する。

以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、E L素子15に流す電流が各画素内で保存している構成において、駆動用トランジスタ11をE L素子15間の電流経路をオンオフすることにより、間欠駆動を実現するものである。たとえば、図43のトランジスタ11d、図51のトランジスタ11eの制御により実現することができることは言うまでもない。

電流あるいは電圧プログラムされたコンデンサ19の端子電圧を維持することは重要である。1フィールド（フレーム）期間でコンデンサ19の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ11aが1フレーム（1フィールド）期間でE L素子15に流す電流は、少なくとも65%以下に低下しないようにする必要がある。この65%とは、画素16に書き込み、E L素子15に流す電流の最初が100%とした時、次のフレーム（フィールド）で前記画素16に書き込む直前のE L素子15に流す電流が65%以上とすることである。以上の条件を満足するようにコンデンサ19の容量、保持トランジスタ11bのオフ特性を決定する。

図1などの画素構成では、間欠表示を実現する場合としない場合では、1画素を構成するトランジスタ11の個数に変化はない。つまり、トランジスタ11dを制御することにより、画素構成はそのまま、ソース信号線18の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、C R Tに近い動画表示を実現しているのである。

また、ゲートドライバ回路12の動作クロックはソースドライバ回

路 1 4 の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない（間欠動作する場合としない場合では同一のクロックで対応できる）。また、N、Kの値の変更も容易である。単に、トランジスタ 1 1 d などのオンオフ制御で実現できるからである。

なお、画像表示方向（画像書き込み方向）は、1 フィールド（1 フレーム）目では画面の上から下方向とし、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。以上のように走査方向を切り替えることにより、低フレームレートでもフリッカの発生は低減する。

さらに、1 フィールド（1 フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。また、全画面を黒表示（非表示）とし、次に画面の上から下方向に画像を書き換えてもよい。つまり、画像を書き換え、画像表示した後、全画面を黒表示にする。以上のように全画面を黒表示にすることにより、動画表示性能が向上する。

本発明の駆動方法の説明では、説明を容易にするため、画面の書き込み方法を画面の上から下あるいは下から上とする。しかし、本発明はこれに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域 5 2 の動作方向を 1 フィールド（フレーム）目では画面の上から下方向とし、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。また、1 フレームを 3 フィールドに分割し、第 1 のフィールドでは R

、第2のフィールドではG、第3のフィールドではBとして、3フィールドで1フレームを形成するとしてもよい。また、1水平走査期間(1H)ごとに、R、G、Bを切り替えて表示してもよい(図75から図82などを参照のこと)。以上の事項は他の本発明の実施例でも同様に適用されることは言うまでもない。

非表示領域52は完全に非点灯状態である必要はない。微弱な発光あるいは弱い画像表示があっても実用上は問題ない。つまり、非表示領域(非点灯領域)52とは画像表示領域53よりも表示輝度が低い領域と解釈するべきである。検討結果によれば、非表示領域52は、表示領域53の輝度の $1/3$ 以下の輝度に設定すれば、動画表示性能が低下することなく、良好な画像表示を実現できる。 $1/3$ 以下の輝度は図1の画素構成などではトランジスタ11dのオン電圧 V_{g1} を高くし、完全にオンしない状態を発生することにより実現できる。また、非表示領域52とは、R、G、B画像表示のうち、1色または2色のみが非表示状態という場合も含まれる。

表示領域53の輝度(明るさ)が所定値に維持される場合、表示領域53の面積が広がるほど、画面50の輝度は高くなる。たとえば、表示領域53の輝度が100(nt)の場合、表示領域53が全画面50に占める割合が10%から20%にすれば、画面の輝度は2倍となる。したがって、全画面50に占める表示領域53の面積を変化させることにより、画面の表示輝度を変化することができる。本発明は、表示50の面積に対する表示領域52の大きさを制御することにより、画像表示を制御する方式である。

表示領域53の面積はシフトレジスタ61(図6を参照のこと)へのデータパルス(ST2)を制御することにより、任意に設定できる。

また、データパルスの入力タイミング、周期を変化させることにより、図16の表示状態と図13の表示状態とを切り替えることができる（なお、図13と図16では説明を容易にするため非表示領域52の面積を異ならせている。非表示領域52の面積を同一にすれば同一の輝度を実現できる（ただし、後に説明するソースドライバICに印加する基準電流が同一の場合））。1F周期でのデータパルス数を多くし、表示領域52を長くすれば、画面50は明るくなり、短くすれば、画面50は暗くなるまた、連続してデータパルスを印加すれば図13の表示状態となり、間欠にデータパルスを入力すれば図16の表示状態となる。したがって、シフトレジスタ61に印加するデータパルスを制御するだけで画像表示の輝度を容易に制御することができる。

図19の（a）は図13のように表示領域53が連続している場合の明るさ調整方式である。図19（a1）の画面50の表示輝度が最も明るい。図19（a2）の画面50の表示輝度が次に明るく、図19（a3）の画面50の表示輝度が最も暗い。図19（a1）から図19（a3）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路12のシフトレジスタ回路61などの制御により、容易に実現できる。この際、図1のV_{dd}電圧（アノード電圧など）は変化させる必要がない。また、ソースドライバ回路14が出力するプログラム電流あるいはプログラム電圧の大きさも変化させる必要がない。つまり、電源電圧を変化させず、また、映像信号を変化させずに表示画面50の輝度変化を実施できる。

また、図19（a1）から図19（a3）への変化の際、画面のガンマ特性は全く変化しない。したがって、画面50の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効

果のある特徴である。

従来の画面の輝度調整では、画面 50 の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は 64 階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の 64 階調表示を実現できる。

図 19 の (b) は、図 16 で説明したように表示領域 53 が分散している場合の明るさ調整方式である。図 19 (b1) の画面 50 の表示輝度が最も明るい。図 19 (b2) の画面 50 の表示輝度が次に明るく、図 19 (b3) の画面 50 の表示輝度が最も暗い。図 19 (b1) から図 19 (b3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 12 のシフトレジスタ回路 61 などの制御により、容易に実現できる。図 19 の (b) のように表示領域 53 を分散させれば、低フレームレートでもフリッカが発生しない。

さらに、低フレームレートでも、フリッカが発生しないようにするには、図 19 の (c) のように表示領域 53 を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図 19 の (a) の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図 19 の (c) の駆動方法が適している。図 19 の (a) から図 19 の (c) の駆動方法の切り替えも、シフトレジスタ 61 の制御により容易に実現できる。

図 19 は非表示領域 52 が等間隔で構成されているが、これに限定するものではない。画面 50 の 1/2 の面積が連続して表示領域 53 をし、残りの面積 50 が図 19 (c1) のように等間隔に表示領域 53 と非表示領域 52 が繰り返すように駆動してもよいことは言うまで

もない。

図20は本発明の駆動方法の他の実施例の説明である。図20は複数の画素行を同時に選択し、複数の画素行を駆動するプログラム電流でソース信号線18の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができる。したがって、EL素子15に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ とし、同時に選択される画素行 M を5として説明する（ソース信号線18に流すプログラム電流を10倍にする。同時に5画素行が選択されるから、1画素にはプログラム電流の $1/5$ が流れる。）。

図20で説明する本発明は、画素行は同時に M 画素行を選択する。ソースドライバIC14からは所定電流の N 倍電流をソース信号線18に印加する。各画素にはEL素子15に流す電流の N/M 倍の電流がプログラムされる。EL素子15を所定発光輝度とするために、EL素子15に流れる時間を1フレーム（1フィールド）の M/N 時間にする。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

なお、本発明の駆動方法では理解を容易にするために、所定電流の N 倍の電流をソース信号線に印加するとするが、これに限定するものではない。本発明はソースドライバ回路14から出力する信号（電流または電圧）を、同時に選択した（タイミングがずれていてもよい）画素に分割して印加することが特徴である。同時に選択し各ソース信号線18に接続された画素16の駆動トランジスタ11a特性が同一

であれば、ソースドライバ回路 14 から出力される電流を選択した画素行Mで割った電流が、画素 16 にプログラムされる。

つまり、1 フレーム (1 フィールド) の M/N の期間の間だけ、EL 素子 15 に電流を流し、他の期間 ($1 F (N-1) M/N$) は電流を流さない。この表示状態では $1 F$ ごとに画像データ表示、黒表示 (非点灯) が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示 (間欠表示) 状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線 18 には N 倍の電流で駆動するため、寄生容量の影響をうけず、高精細表示パネルにも対応できる。

なお、以上の実施例では、理解を容易にするため、 M 画素行を同時に選択し、 N 倍の電流をソースドライバ回路 14 から出力するとした。しかし、本発明はこれに限定するものではない。 M 画素行を同時に選択し、1 倍の電流をソースドライバ回路 14 から出力してもよい。この場合は、表示画面 50 の輝度が低くなるだけで、本発明を実施している。もちろん、ソースドライバ回路 14 から 2 倍あるいは、2.5 倍あるいは 5.25 倍など大きい電流を出力すれば、画面 50 の輝度を高くすることができる。

また、以上の実施例では、理解を容易にするため、 M 画素行を同時に選択し、各画素 16 は M/N の期間だけ点灯するとしたが、本発明はこれに限定するものではない。 M 画素行を同時に選択し、 $M/10$ 倍の電流、 $M/5$ 倍の電流、 $M/2.5$ 倍の電流をソースドライバ回路 14 から出力してもよい。つまり、 N に依存せず、表示期間を自由に設定することができる。表示期間を長くすれば、画面 50 の輝度は高くなり、表示期間を短くすれば画面 50 の輝度は低くなる。つまり

、M画素行を同時に選択する本発明においても、表示期間を制御することにより、画面50の輝度を容易に制御あるいは調整することができる。

図21は、図20の駆動方法を実現するための駆動波形の説明図である。ゲート信号線17の電圧波形は、オフ電圧を V_{gh} （Hレベル）とし、オン電圧を V_{gl} （Lレベル）としている。各信号線の添え字は画素行の番号（（1）（2）（3）など）を記載している。なお、行数はQCIF表示パネルの場合は220本であり、VGAパネルでは480本である。

図21において、ゲート信号線17a（1）が選択され（画素行（1）のゲート信号線17aに V_{gl} 電圧が印加される）、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる（図1の場合）。ここでは説明を容易にするため、まず、図20における書き込み画素行51aが画素行（1）番目であるとして説明する。

また、ソース信号線18に流れるプログラム電流は所定値のN倍（説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。画像データにより各画素16にプログラムされる電流値は異なる）である。また、5画素行が同時に選択（ $M=5$ ）として説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍（ $N/M=10/5=2$ ）に電流がトランジスタ11aに流れるようにプログラムされる。

書き込み画素行が（1）画素行目である時、図21で図示したように、画素行（1）（2）（3）（4）（5）のゲート信号線17aが

選択されている。つまり、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、画素行（１）（２）（３）（４）（５）の駆動トランジスタ１１ａにプログラム電流が流れている。また、図２１で明らかなように、５Ｈ番目の時、画素行（１）（２）（３）（４）（５）のゲート信号線１７ａにオン電圧が印加され、（１）（２）（３）（４）（５）のゲート信号線１７ｂにはオフ電圧が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

なお、説明を容易にするため、ゲート信号線１７ａに選択電圧が印加された画素行（上記説明では画素行（１）（２）（３）（４）（５）が該当する）において、ゲート信号線１７ｂにはオフ電圧を印加して、画素行のトランジスタ１１ｄをオフ状態にする（画素行（１）（２）（３）（４）（５）が該当する）とした。しかし、図２０で図示しているように、選択された画素行以外の画素行のトランジスタ１１ｄをオフしてもよいことは言うまでもない。図２０では、書込み画素行５１を含む広い範囲でトランジスタ１１ｄをオフにして、非表示領域５２をしている。非表示領域５２は図１９などで説明したように分散させたり、一括したりすればよいことは言うまでもない。

本発明は、図１、図２などの画素構成において、少なくとも電流プログラムを行っている画素行では、最終的にプログラム電流を画素に保持するときには、ＥＬ素子１５の電流経路を遮断する点が重要である。しかし、図３８のカレントミラーの画素構成にあっては、前述の事項も非制約事項である。

本発明は、画像データを書き込むために、同時に選択した（ゲート信号線 17a にオン電圧を印加した）画素行のうち、1画素行もしくはすべての画素行を非表示状態にすることが重要な事項である。1画素行以上を表示状態にすると表示画像の解像度が低下するからである。

理想的には、5画素のトランジスタ 11a が、それぞれ $I_w \times 2$ の電流をソース信号線 18 に流す（つまり、ソース信号線 18 には $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$ 。したがって、本発明の N 倍パルス駆動を実施しない場合が所定電流 I_w とすると、 I_w の 10 倍の電流がソース信号線 18 に流れる）。

以上の動作（駆動方法）により、各画素行（1）（2）（3）（4）（5）のコンデンサ 19 には、2 倍のプログラム電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ 11a は特性（ V_t 、 S 値）が一致しているとして説明をする。

同時に選択する画素行が 5 画素行（ $K=5$ ）であるから、5 つの駆動用トランジスタ 11a が動作する。つまり、1 画素あたり、 $10/5 = 2$ 倍の電流がトランジスタ 11a に流れる。ソース信号線 18 には、5 つの画素 16 のトランジスタ 11a のプログラム電流を加えた電流が流れる。たとえば、書き込み画素行 51a に、本来、書き込む電流 I_w とし、ソース信号線 18 には、 $I_w \times 10$ の電流を流す。書き込み画素行（1）より以降に画像データを書き込む書き込み画素行 51b ソース信号線 18 への電流量を増加させるため、補助的に用いる画素行（画素行（1）を電流プログラムしている場合は、画素行（2）（3）（4）（5）が該当する。しかし、書き込み画素行 51b（図 20 を参照のこと。図 20 において 51a が画素行（1）とし、51b が画素行（2）（3）（4）（5）が対応しているとした場合

である) には、後に正規の画像データが書き込まれるので問題がない。

したがって、4画素行51bにおいて、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである(図20の(b)を参照のこと)。ただし、図38のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では51aも表示状態としてもよいことは言うまでもない。

1H後には、ゲート信号線17a(1)は非選択となり(図21の、ゲート信号線17bにはオン電圧(Vg1)が印加される。図21の6H番目のゲート信号線波形を参照のこと。また、同時に、ゲート信号線17a(6)が選択され(Vg1電圧が印加される)、選択された画素行(6)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。つまり、画素行(1)のプログラム電流が確定し、画素行(6)にプログラム電流が流れる。

次の、1H後には、ゲート信号線17a(2)は非選択となり、画素行(2)のゲート信号線17bにはオン電圧(Vg1)が印加される(図21の7H番目を参照のこと)。また、同時に、ゲート信号線17a(7)が選択され(Vg1電圧が印加される)、選択された画素行(7)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。以上の動作を1画素行ずつシフトしながら走査することにより1画面50が書き換えられる。

図20の駆動方法では、各画素には2倍の電流（電圧）でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には2倍となる（ただし、2倍というのは一実施例である）。したがって、表示画面の輝度は所定値よりも2倍となる。これを所定の輝度とするためには、図16に図示するように、書き込み画素行51を含み、かつ画面50の1/2の範囲を非表示領域52とすればよい。

図13と同様に、図20のように1つの表示領域53が、画面の上から下方向に移動する場合は、フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。この課題に対しては、図22に図示するように、表示領域53を複数に分割（分割数K）するとよい。

図23はゲート信号線17に印加する電圧波形である。図21と図23との差異は、基本的にはゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ（ V_{g1} と V_{gh} ）動作する。他の点は図21とほぼ同一あるいは類推できるので説明を省略する。

以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にEL素子15の応答性は速いため、 $5\mu\text{sec}$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

本発明の駆動方法において、EL素子15のオンオフは、ゲート信号線17bに印加する信号のオンオフで制御できる。そのため、クロ

ック周波数はKHzオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域52挿入）を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

図24は同時に選択する画素行が2画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2画素行を同時に選択する方法では実用上問題ない画像表示を得ることができた。これは、隣接した画素の駆動用トランジスタ11aの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線18と平行に照射することで良好な結果が得られた（図7およびその説明を参照のこと）。

これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタの V_t 、モビリティ、S値がほぼ等しくなるためである。したがって、ソース信号線18の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより（図7を参照のこと）、ソース信号線18に沿った画素（画素列、画面の上下方向の画素）の特性は、ほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向で作製したアレイ基板71を用い、図24な

どで説明する駆動方式を実施することにより良好な画像表示を実現できる。

以上のように、レーザーショットの方向をソース信号線 18 の形成方向と略一致させることにより、画素の上下方向に形成されたトランジスタ 11a の特性がほぼ同一になる。したがって、目標電圧を画素に精度よくプログラムできるため、良好な画像表示を実現できる（画素の左右方向のトランジスタ 11a の特性が一致していなくとも）。以上の動作は、1H（1 水平走査期間）に同期して、1 画素行あるいは複数画素行ずつ選択画素行位置をずらせて実施する。

なお、本発明は、レーザーショットの方向をソース信号線 18 と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線 18 に対して斜め方向にレーザーショットを照射しても 1 つのソース信号線 18 に沿った画素の上下方向のトランジスタ 11a の特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するとは、ソース信号線 18 の沿った任意の画素の上または下に隣接した画素を、1 つのレーザー照射範囲に入るように形成するということである。また、ソース信号線 18 とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

なお、本発明の実施例では 1H ごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、2H ごとにシフトしてもよく、また、それ以上の画素行ずつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また

、フレームごとにシフト時間を変化させてもよい。

また、連続した複数画素行を選択することに限定するものではない。例えば、1画素行へだてた画素行を選択してもよい。つまり、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行を選択し、第2番目の水平走査期間に第2番目の画素行と第4番目の画素行を選択し、第3番目の水平走査期間に第3番目の画素行と第5番目の画素行を選択し、第4番目の水平走査期間に第4番目の画素行と第6番目の画素行を選択する駆動方法である。もちろん、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行と第5番目の画素行を選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもよい。

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図1、図2、図32、図63、図64、図65などの画素構成のみに限定されるものではなく、カレントミラーの画素構成である図38、図42、図50などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図43、図51、図54、図62などの電圧駆動の画素構成にも適用できる。つまり、画素上下のトランジスタの特性が一致しておれば、同一のソース信号線18に印加した電圧値により良好に電圧プログラムを実施できるからである。

図21は5画素行を同時に選択する本発明の駆動方法であった。図24、図25は2画素行を同時に選択する駆動方法の実施例である。図24において、書き込み画素行が(1)画素行目である時、ゲート信号線17aは(1)(2)が選択されている(図25を参照のこと)。つまり、画素行(1)(2)のスウィッチングトランジスタ11b

、トランジスタ 11 c がオン状態である。また、各画素行のゲート信号線 17 a にオン電圧が印加されている時、ゲート信号線 17 b にはオフ電圧が印加される。

したがって、1 H および 2 H 番目の期間では、画素行 (1) (2) のスイッチングトランジスタ 11 d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。なお、図 24 では、フリッカの発生を低減するため、表示領域 53 を 5 分割している。

理想的には、2 画素 (行) のトランジスタ 11 a が、それぞれが $I_w \times 5$ ($N = 10$ の場合。つまり、 $K = 2$ であるから、ソース信号線 18 に流れる電流は $I_w \times K \times 5 = I_w \times 10$ となる) の電流をソース信号線 18 に流す。そして、各画素 16 のコンデンサ 19 には、5 倍の電流がプログラムされ、保持される。

同時に選択する画素行が 2 画素行 ($K = 2$) であるから、2 つの駆動用トランジスタ 11 a が動作する。つまり、1 画素あたり、 $10 / 2 = 5$ 倍の電流がトランジスタ 11 a に流れる。ソース信号線 18 には、2 つのトランジスタ 11 a のプログラム電流を加えた電流が流れる。

たとえば、書き込み画素行 51 a に、本来、書き込む電流 I_d とし、ソース信号線 18 には、 $I_w \times 10$ の電流を流す。書き込み画素行 51 b は後に正規の画像データが書き込まれるので問題がない。画素行 51 b は、1 H 期間の間は 51 a と同一表示である。そのため、書き込み画素行 51 a と電流を増加させるために選択した画素行 51 b とを少なくとも非表示状態 52 とするのである。

次の、1 H 後には、ゲート信号線 17 a (1) は非選択となり、ゲ

ート信号線 17b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 17a (3) が選択され (V_{g1} 電圧)、選択された画素行 (3) のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

次の、1H 後には、ゲート信号線 17a (2) は非選択となり、ゲート信号線 17b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 17a (4) が選択され (V_{g1} 電圧)、選択された画素行 (4) のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。以上の動作と 1 画素行ずつシフト (もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、2 行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう) しながら走査することにより 1 画面が書き換えられる。

図 16 と同様であるが、図 24 の駆動方法では、各画素には 5 倍の電流 (電圧) でプログラムを行うため、各画素の EL 素子 15 の発光輝度は理想的には 5 倍となる。したがって、表示領域 53 の輝度は所定値よりも 5 倍となる。これを所定の輝度とするためには、図 16 などに図示するように、書き込み画素行 51 を含み、かつ表示画面 1 の 1/5 の範囲を非表示領域 52 とすればよい。

図 27 に図示するように、2 本の書き込み画素行 51 (51a、51b) が選択され、画面 50 の上辺から下辺に順次選択されていく (図 26 も参照のこと。図 26 では画素行 16a と 16b が選択されて

いる)。しかし、図27の(b)のように、画面の下辺までくると書き込み画素行51aは存在するが、51bはなくなる。つまり、選択する画素行が1本しかなくなる。そのため、ソース信号線18に印加された電流は、すべて画素行51aに書き込まれる。したがって、画素行51aに比較して、2倍の電流が画素にプログラムされてしまう。

この課題に対して、本発明は、図27の(b)に図示するように画面50の下辺にダミー画素行281を形成(配置)している。したがって、選択画素行が画面50の下辺まで選択された場合は、画面50の最終画素行とダミー画素行281が選択される。そのため、図27の(b)の書き込み画素行には、規定どおりの電流が書き込まれる。なお、ダミー画素行281は表示領域50の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示領域50から離れた位置に形成されていてもよい。また、ダミー画素行281は、図1のスイッチングトランジスタ11d、EL素子15などは形成する必要はない。形成しないことにより、ダミー画素行281のサイズは小さくなるからパネルの額縁を短くすることができる。

図28は図27の(b)の状態を示している。図28で明らかなように、選択画素行が画面50の下辺の画素16c行まで選択された場合は、画面50の最終画素行281が選択される。ダミー画素行281は表示領域50外に配置する。つまり、ダミー画素行281は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とトランジスタ11とのコンタクトホールをなくすとか、ダミー画素行にはEL素子15を形成しないとかである。図28のダミー画素行281はEL素子15、トランジスタ11d、ゲート信号線17bを図示しているが、駆動方法

の実施には不必要である。実際に開発した本発明の表示パネルでは、ダミー画素行 281 には EL 素子 15、トランジスタ 11d、ゲート信号線 17b を形成していない。ただし、画素電極を形成することが好ましい。画素内の寄生容量が他の画素 16 と同一にならず、保持されるプログラム電流に差異が発生する場合があるからである。

図 27 では、画面 50 の下辺にダミー画素（行）281 を設ける（形成する、配置する）としたが、これに限定するものではない。たとえば、図 29 の（a）に図示するように、画面の下辺から上辺に走査する。上下逆転走査する場合は、図 29 の（b）に図示するように画面 50 の上辺にもダミー画素行 281 を形成すべきである。つまり、画面 50 の上辺を下辺のそれぞれにダミー画素行 281 を形成（配置）する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。

以上の実施例は、2 画素行を同時選択する場合であった。本発明はこれに限定するものではなく、たとえば、5 画素行を同時選択する方式（図 23 を参照のこと）でもよい。つまり、5 画素行同時駆動の場合は、ダミー画素行 281 は 4 行分形成すればよい。図 134 にその実施例の説明図を記載している。図 134 は画面 50 の下部の構成を説明するための説明図である。5 画素行同時書込みの実施例である。ダミー画素行 281 が 4 画素行分形成または配置されている。ダミー画素行 281 には EL 素子 15 などは形成されていない。したがって、ダミー画素行 281 には画素トランジスタ（トランジスタ 11a、11b、11c）、コンデンサ 19 などプログラム電流を流す構成要素のみが形成されている。もちろん、ゲート信号線 17b、EL 素子 15 などを形成してもよいことは言うまでもない。

以上のことから、ダミー画素行 2 8 1 数は、同時に選択する画素行数 $M - 1$ の画素行を形成すればよい。たとえば、同時に選択する画素行が 5 画素行であれば、 $5 - 1 = 4$ 画素行である。同時に選択する画素行が 10 画素行であれば、 $10 - 1 = 9$ 画素行である。

図 1 3 5 はダミー画素行 2 8 1 を形成する場合において、ダミー画素行の配置位置の説明図である。基本的に、表示パネルは上下反転駆動するとして、ダミー画素行 2 8 1 を画面 5 0 の上下に配置している。

図 1 3 5 の (a) は 2 画素行 ($M = 2$) 同時選択駆動を実施する場合のダミー画素行 2 8 1 の形成位置である。図 1 3 5 の (b) は 3 画素行 ($M = 3$) 同時選択駆動を実施する場合のダミー画素行 2 8 1 の形成位置である。図 1 3 5 の (c) は 4 画素行 ($M = 4$) 同時選択駆動を実施する場合のダミー画素行 2 8 1 の形成位置である。図 1 3 5 の (d) は 5 画素行 ($M = 5$) 同時選択駆動を実施する場合のダミー画素行 2 8 1 の形成位置である。なお、図 1 3 5 のようにダミー画素行 2 8 1 を 4 画素行分形成すれば、同時選択駆動は 2 画素行同時選択駆動から 5 画素行同時選択駆動まで実施できる。

以上の実施例は、1 画素行ごとに異なる画像データを保持する駆動方法の実施例である。2 画素行に同一の画像データを保持する場合は、画素行は、2 倍必要になることは言うまでもない。つまり、2 画素行ごとに順次走査する場合は、2 倍のダミー画素行数が必要となる。つまり、ダミー画素行は、(同時に選択する画素行数 $M - 1$) \times 同一画像を書き込む画素行数が必要になる。

以上の実施例は、隣接した画素行を同時に選択する駆動方法であった。しかし、本発明の駆動方式は、これに限定するものではない。図 1 3 6、図 1 3 7 は本発明の他の駆動方法 (駆動方式) の実施例であ

る。図 1 3 6 の駆動方法は、2 画素行同時選択の実施例である。図 1 3 6 では、ダミー画素行 2 8 1 は図 1 3 5 と同様に画面 5 0 の下辺に形成している。

2 画素行を同時に選択する駆動方法では、下辺に形成したダミー画素行 2 8 1 を必ず選択する。つまり、ダミー画素行 2 8 1 を選択するダミー画素行 2 8 1 のトランジスタ 1 1 b、1 1 c は絶えずオン状態である。

図 1 3 6 の (a) は画面 5 0 の上部を走査している（電流プログラム行っている）時の状態である。図 1 3 6 の (b) は画面 5 0 の中央部を走査している（電流プログラム行っている）時の状態である。図 1 3 6 の (c) は画面 5 0 の下部を走査している（電流プログラム行っている）時の状態である。いずれの場合も、ダミー画素行 2 8 1 を同時に選択している。したがって、ダミー画素行 2 8 1 と電流プログラムを行っている画素行の 2 画素行を同時に選択し、画像を書き込む。

図 1 3 6 の駆動方法では、表示領域 5 0 の画素行を順次選択し、同時に固定された位置のダミー画素行 2 8 1 を選択する。そして、ダミー画素行 2 8 1 と選択した画素行からの電流をソースドライバ I C（回路）1 4 に供給する（図 1 3 7 を参照のこと）。図 1 3 7 の (a) がある時点の駆動状態であれば、図 1 3 7 の (b) はその 1 水平走査期間後の状態である。

なお、図 1 3 6 において、ダミー画素行 2 8 1 は、順次選択する画素行 5 1 と同一の電流をソース信号線 1 8 に流す。しかし、本発明はこれに限定するものではない。ダミー画素行 2 8 1 が順次選択する画素行 5 1 の 1 倍以上流すように構成してもよい。たとえば、2 倍とか、3. 5 倍にしてもよい。

ダミー画素行 281 がソース信号線 18 に流す電流の倍数を設定するには、ダミー画素行 281 の駆動トランジスタ 11a の W (チャンネル幅)、 L (チャンネル長) を設計により形成すればよい。 W を大きくするとソース信号線 18 に流す駆動電流は大きくなり、 W を小さくするとソース信号線 18 に流す駆動電流は小さくなる。したがって、表示領域 50 の画素 16 の駆動トランジスタ 11a の W/L よりも、ダミー画素行 281 の駆動トランジスタ 11a の W/L の方が大きくすれば、ダミー画素行 281 の方が、表示領域 50 の駆動電流が大きくすることができる。なお、ダミー画素行 281 の駆動電流を大きくする方が好ましいことは言うまでもない。

なお、図 136 は電流プログラムする画素行は 1 画素行ずつ選択する駆動方法であったが、本発明はこれに限定されるものではない。たとえば、図 24 に図示するように複数画素行を同時に選択してもよい。

図 136 の構成では、ダミー画素行 281 を絶えず選択するため、ダミー画素行 281 のバラツキを少なくすることにより、均一な画像表示を実現できる。なお、画像の走査方向を反転させる場合は、図 136 において、ダミー画素行 281 を画面 50 の上辺にも形成することが好ましい。

以上の実施例は、フィールドあるいはフレームでは走査する画素行の開始位置が同一の場合の実施例である。NTSC などは、インターレース駆動を実施している。インターレース駆動では、1 フレームは 2 フィールドで構成され、第 1 フィールドでは、奇数画素行が走査され、第 2 フィールドでは偶数画素行が走査される。

図 133 の実施例は、図 133 の (a) は第 1 フィールドの駆動方法を図示しており、図 133 の (b) は第 2 フィールドの駆動方法を

図示している。駆動方法は、図 2 4 で説明した 2 画素行同時選択駆動を実施する。

第 1 フィールドでは第 1 画素行から 2 画素行を同時に選択し、順次画素行の選択位置をずらしていく。このことは、図 2 4 などの説明をしたのと同様であるから詳細な説明は不要であろう。

第 2 フィールドでは第 2 画素行から 2 画素行を同時に選択し、順次画素行の選択位置をずらしていく。1 画素行をずらせた 2 画素行目から走査することがポイントである。インターレース駆動では、第 1 フィールドでは、奇数画素行が走査され、第 2 フィールドでは偶数画素行が走査されるからである。つまり、第 1 フィールドと第 2 フィールドでは走査開始位置を変化させる。なお、図 1 3 4 など説明したダミー画素行 2 8 1 を形成してもよいことは言うまでもない。

本発明は、複数画素行同時選択駆動を実施することの限定されるものではない。たとえば、画素行への書込み速度を 2 倍速にしてもよい。つまり、選択する画素行は 1 画素行とし、1 画素行のみを順次選択して画像を書き換える（図 1 3 を参照のこと）。かつ、隣接する画素行には、同一の画像データを書き込む。たとえば、第 1 フィールドでは、画素行 1 番目と画素行 2 番目には同一画像を書き込む。同様に、画素行 3 番目と画素行 4 番目には同一画像を書き込み、画素行 5 番目と画素行 6 番目には同一画像を書き込む。以上の動作を画素行 4 7 9 番目と画素行 4 8 0 番目まで行い、第 1 フィールドで画像を書き換える。

第 2 フィールドでは、画素行 2 番目と画素行 3 番目には同一画像を書き込む。同様に、画素行 4 番目と画素行 5 番目には同一画像を書き込み、画素行 6 と画素行 7 には同一画像を書き込む。以上の動作を画素行 4 7 8 番目と画素行 4 7 9 番目もしくは、画素行 4 8 0 番目と画

素行 481 番目まで行い、第 2 フィールドで画像を書き換える。

また、2 画素行を同時に選択する複数画素行同時選択駆動に限定されるものではない。たとえば、第 1 フィールドでは、奇数画素行（1、3、5、7、9、・・・・・・479）を走査し、次の第 2 フィールドでは、偶数画素行（2、4、6、8、10、・・・・・・480）を走査する駆動方式を実施してもよいことは言うまでもない。第 1 フィールドでの偶数画素行は非点灯表示としてもよいし、図 24 に図示するように順次、非点灯領域 52 として走査してもよい。また、第 2 フィールドでの奇数画素行は非点灯表示としてもよいし、図 24 に図示するように順次、非点灯領域 52 として走査してもよい。

また、図 15、図 21 などは水平同期信号に同期して 1 画素行ずつ選択する画素行を 1 画素行ずつ移動させる方法であった。しかし、本発明はこれに限定するものではなく、2 画素以上の複数画素行ずつ選択する画素行を移動させてもよいことは言うまでもない。

本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも 1 つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法と N 倍パルス駆動とを組み合わせる用いることが好ましい。

以下、さらに詳しく、本発明のインターレース駆動について説明をする。図 127 はインターレース駆動を行う本発明の表示パネルの構成である。図 127 において、奇数画素行のゲート信号線 17a はゲートドライバ回路 12a1 に接続されている。偶数画素行のゲート信号線 17a はゲートドライバ回路 12a2 に接続されている。一方、奇数画素行のゲート信号線 17b はゲートドライバ回路 12b1 に接続されている。偶数画素行のゲート信号線 17b はゲートドライバ回

路 1 2 b 2 に接続されている。

したがって、ゲートドライバ回路 1 2 a 1 の動作（制御）により奇数画素行の画像データが順次書き換えられる。奇数画素行は、ゲートドライバ回路 1 2 b 1 の動作（制御）により E L 素子の点灯、非点灯制御が行われる。また、ゲートドライバ回路 1 2 a 2 の動作（制御）により偶数画素行の画像データが順次書き換えられる。また、偶数画素行は、ゲートドライバ回路 1 2 b 2 の動作（制御）により E L 素子の点灯、非点灯制御が行われる。

図 1 2 8 の（a）は、第 1 フィールドでの表示パネルの動作状態である。図 1 2 8 の（b）は、第 2 フィールドでの表示パネルの動作状態である。図 1 2 8 において、斜線を記入したゲートドライバ 1 2 はデータの走査動作がしていないことを示している。つまり、図 1 2 8 の（a）の第 1 フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路 1 2 a 1 が動作し、E L 素子 1 5 の点灯制御としてゲートドライバ回路 1 2 b 2 が動作する。図 1 2 8 の（b）の第 2 フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路 1 2 a 2 が動作し、E L 素子 1 5 の点灯制御としてゲートドライバ回路 1 2 b 1 が動作する。以上の動作が、フレーム内で繰り返される。

図 1 2 9 が第 1 フィールドでの画像表示状態である。図 1 2 9 の（a）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図 1 2 9（a 1）→（a 2）→（a 3）と書込み画素行位置が順次シフトされる。第 1 フィールドでは、奇数画素行が順次書き換えられる（偶数画素行の画像データは保持されている）。図 1 2 9 の（b）が奇数画素行の表示状態を図示している。なお

、図129の(b)は奇数画素行のみを図示している。偶数画素行は図129の(c)に図示している。図129の(b)でも明らかなように、奇数画素行に対応する画素のEL素子15は非点灯状態である。一方、偶数画素行は、図129の(c)に図示しているように表示領域53と非表示領域52を走査する(N倍パルス駆動)。

図130が第2フィールドでの画像表示状態である。図130の(a)が書込み画素行(電流(電圧)プログラムを行っている奇数画素行位置を図示している。図130(a.1)→(a.2)→(a.3)と書込み画素行位置が順次シフトされる。第2フィールドでは、偶数画素行が順次書き換えられる(奇数画素行の画像データは保持されている)。図130の(b)が奇数画素行の表示状態を図示している。なお、図130の(b)は奇数画素行のみを図示している。偶数画素行は図130の(c)に図示している。図130の(b)でも明らかなように、偶数画素行に対応する画素のEL素子15は非点灯状態である。一方、奇数画素行は、図130の(c)に図示しているように表示領域53と非表示領域52を走査する(N倍パルス駆動)。

以上のように駆動することにより、インターレース駆動をEL表示パネルで容易に実現することができる。また、N倍パルス駆動を実施することにより書込み不足も発生せず、動画ボケも発生することがない。また、電流(電圧)プログラムの制御と、EL素子15の点灯制御も容易であり、回路も容易に実現できる。

なお、本発明の駆動方式は、図129、図130の駆動方式に限定されるものではない。たとえば、図131の駆動方式も例示される。図129、図130は、電流(電圧)プログラムを行っている奇数画素行または偶数画素行は非表示領域52(非点灯、黒表示)とするも

のであった。図 1 3 1 の実施例は、E L 素子 1 5 の点灯制御を行うゲートドライバ回路 1 2 b 1、1 2 b 2 の両方を同期させて動作させるものである。ただし、電流（電圧）プログラムを行っている画素行 5 1 は非表示領域となるように制御することはいうまでもない（図 3 8 のカレントミラー画素構成ではその必要はない）。図 1 3 1 では、奇数画素行と偶数画素行の点灯制御が同一であるので、ゲートドライバ回路 1 2 b 1 と 1 2 b 2 の 2 つと設ける必要はない。ゲートドライバ回路 1 2 b を 1 つで点灯制御することができる。

図 1 3 1 は、奇数画素行と偶数画素行の点灯制御を同一にする駆動方法であった。しかし、本発明はこれに限定するものではない。図 1 3 2 は、奇数画素行と偶数画素行の点灯制御を異ならせた実施例である。とくに、図 1 3 2 は奇数画素行の点灯状態（表示領域 5 3、非表示領域 5 2）の逆パターンを偶数画素行の点灯状態にした例である。したがって、表示領域 5 3 の面積と非表示領域 5 2 の面積とは同一になるようにしている。もちろん、表示領域 5 3 の面積と非表示領域 5 2 の面積とは同一になることに限定されるものではない。

以上の実施例は、1 画素行ずつ電流（電圧）プログラムを実施する駆動方法であった。しかし、本発明の駆動方法はこれに限定されるものではなく、図 1 3 3 に図示するように 2 画素（複数画素）を同時に電流（電圧）プログラム行っても良いことは言うまでもない。また、図 1 3 0、図 1 2 9 において、奇数画素行あるいは偶数画素行ですべての画素行が非点灯状態にすることに限定されるものではなく、図 6 6 などのように駆動してもよいことは言うまでもない。

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ 1 1 a の特性バラツキを吸収す

ることが困難になる。しかし、選択本数が低下すると、1画素にプログラムする電流が大きくなり、EL素子15に大きな電流を流すことになる。EL素子15に流す電流が大きいとEL素子15が劣化しやすくなる。

図30はこの課題を解決するものである。図30の基本概念は、 $1/2H$ （水平走査期間の $1/2$ ）は、図22、図29で説明したように、複数の画素行を同時に選択する方法である。その後の $1/2H$ （水平走査期間の $1/2$ ）は図5、図13などで説明したように、1画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、トランジスタ11aの特性バラツキを吸収しより、高速にかつ面内均一性を良好にすることができる。

図30において、説明を容易にするため、第1の期間では5画素行を同時に選択し、第2の期間では1画素行を選択するとして説明をする。まず、第1の期間（前半の $1/2H$ ）では、図30（a1）に図示するように、5画素行を同時に選択する。この動作は図22を用いて説明したので省略する。一例としてソース信号線18に流す電流は所定値の25倍とする。したがって、各画素16のトランジスタ11a（図1の画素構成の場合）には5倍の電流（ $25/5$ 画素行＝5）がプログラムされる。25倍の電流であるから、ソース信号線18などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線18の電位は、短時間で目標の電位となり、各画素16のコンデンサ19の端子電圧も5倍電流を流すようにプログラムされる。この25倍電流の印加時間は前半の $1/2H$ （1水平走査期間の $1/2$ ）とする。

当然のことながら、書き込み画素行の5画素行は同一画像データが

書き込まれるから、表示しないように5画素行のトランジスタ11dはオフ状態とされる。したがって、表示状態は図30(a2)となる。

次の後半の1/2H期間は、1画素行を選択し、電流(電圧)プログラムを行う。この状態を図30(b1)に図示している。書き込み画素行51aは先と同様に5倍の電流を流すように電流(電圧)プログラムされる。図30(a1)と図30(b1)とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ19の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

つまり、図30(a1)で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第1の段階では、複数のトランジスタ11aでプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第2の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

なお、非点灯領域52を画面の上から下方向に走査し、また、書き込み画素行51aも画面の上から下方向に走査することは図13などの実施例と同様であるので説明を省略する。

図31は図30の駆動方法を実現するための駆動波形である。図31でわかるように、1H(1水平走査期間)は2つのフェーズで構成されている。この2つのフェーズはISEL信号で切り替える。ISEL信号は図31に図示している。

まず、ISEL信号について説明をしておく。図30を実施するドライバ回路14は、電流出力回路Aと電流出力回路Bとを具備している。それぞれの電流出力回路は、8ビットの階調データをDA変換す

るDA回路とオペアンプなどから構成される。図30の実施例では、電流出力回路Aは25倍の電流を出力するように構成されている。一方、電流出力回路Bは5倍の電流を出力するように構成されている。電流出力回路Aと電流出力回路Bの出力はISEL信号により電流出力部に形成（配置）されたスイッチ回路が制御され、ソース信号線18に印加される。この電流出力回路は各ソース信号線に配置されている。

ISEL信号は、Lレベルの時、25倍電流を出力する電流出力回路Aが選択されてソース信号線18からの電流をソースドライバIC14が吸収する（より適切には、ソースドライバ回路14内に形成された電流出力回路Aが吸収する）。25倍、5倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

図30に示すように書き込み画素行が（1）画素行目である時（図30の1Hの欄を参照）、ゲート信号線17aは（1）（2）（3）（4）（5）が選択されている（図1の画素構成の場合）。つまり、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路Aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧（V_{gh}）が印加されている。したがって、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の

電流をソース信号線 18 に流す。そして、各画素 16 のコンデンサ 19 には、5 倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ 11a は特性 (V_t 、S 値) が一致しているとして説明をする。

同時に選択する画素行が 5 画素行 ($K=5$) であるから、5 つの駆動用トランジスタ 11a が動作する。つまり、1 画素あたり、 $25/5 = 5$ 倍の電流がトランジスタ 11a に流れる。ソース信号線 18 には、5 つのトランジスタ 11a のプログラム電流を加えた電流が流れる。たとえば、書き込み画素行 51a に、従来の駆動方法で画素に書き込む電流 I_w とする時、ソース信号線 18 には、 $I_w \times 25$ の電流を流す。書き込み画素行 (1) より以降に画像データを書き込む書き込み画素行 51b ソース信号線 18 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 51b は後に正規の画像データが書き込まれるので問題がない。

したがって、画素行 51b は、1 H 期間の間は 51a と同一表示である。そのため、書き込み画素行 51a と電流を増加させるために選択した画素行 51b とを少なくとも非表示状態 52 とするのである。

次の $1/2$ H (水平走査期間の $1/2$) では、書き込み画素行 51a のみを選択する。つまり、(1) 画素行目のみを選択する。図 31 で明らかなように、ゲート信号線 17a (1) のみが、オン電圧 (V_{g1}) が印加され、ゲート信号線 17a (2) (3) (4) (5) はオフ (V_{gh}) が印加されている。したがって、画素行 (1) のトランジスタ 11a は動作状態 (ソース信号線 18 に電流を供給している状態) であるが、画素行 (2) (3) (4) (5) のスイッチングトランジスタ 11b、トランジスタ 11c がオフ状態である。つまり、

非選択状態である。また、I S E LがHレベルであるから、5倍電流を出力する電流出力回路Bが選択され、この電流出力回路Bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の1/2Hの状態と変化がなく、オフ電圧(V_{g h})が印加されている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

以上のことから、画素行(1)のトランジスタ11aが、それぞれI_w×5の電流をソース信号線18に流す。そして、各画素行(1)のコンデンサ19には、5倍の電流がプログラムされる。

次の水平走査期間では1画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が(2)である。最初の1/2Hの期間では、図31に示すように書き込み画素行が(2)画素行目である時、ゲート信号線17aは(2)(3)(4)(5)(6)が選択されている。つまり、画素行(2)(3)(4)(5)(6)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、I S E LがLレベルであるから、25倍電流を出力する電流出力回路Aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧(V_{g h})が印加されている。したがって、画素行(2)(3)(4)(5)(6)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。一方、画素行(1)のゲート信号線17b(1)はV_{g l}電圧が印加されているから、トランジスタ11dはオン状態であり、画素行(1)のEL素子15は点灯する。

同時に選択する画素行が5画素行 ($K=5$) であるから、5つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。

次の $1/2H$ (水平走査期間の $1/2$) では、書き込み画素行51aのみを選択する。つまり、(2)画素行目のみを選択する。図31で明らかなように、ゲート信号線17a(2)のみが、オン電圧 (V_{g1}) が印加され、ゲート信号線17a(3)(4)(5)(6)はオフ (V_{gh}) が印加されている。したがって、画素行(1)(2)のトランジスタ11aは動作状態 (画素行(1)はEL素子15に電流を流し、画素行(2)はソース信号線18に電流を供給している状態) であるが、画素行(3)(4)(5)(6)のスイッチングトランジスタ11b、トランジスタ11cがオフ状態である。つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路Bが選択され、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の $1/2H$ の状態と変化がなく、オフ電圧 (V_{gh}) が印加されている。したがって、画素行(2)(3)(4)(5)(6)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

以上のことから、画素行(2)のトランジスタ11aが、それぞれ $I_w \times 5$ の電流をソース信号線18に流す。そして、各画素行(2)のコンデンサ19には、5倍の電流がプログラムされる。以上の動作

を順次、実施することにより 1 画面を表示することができる。

図 30 で説明した駆動方法は、第 1 の期間で G 画素行（G は 2 以上）を選択し、各画素行には N 倍の電流を流すようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行（B は G よりも小さく、1 以上）を選択し、画素には N 倍の電流を流すようにプログラムする方式である。

しかし、他の方策もある。第 1 の期間で G 画素行（G は 2 以上）を選択し、各画素行の総和電流が N 倍の電流となるようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行（B は G よりも小さく、1 以上）を選択し、選択された画素行の総和の電流（ただし、選択画素行が 1 の時は、1 画素行の電流）が N 倍となるようにプログラムする方式である。たとえば、図 30（a 1）において、5 画素行を同時に選択し、各画素のトランジスタ 11a には 2 倍の電流を流す。したがって、ソース信号線 18 には 5×2 倍 = 10 倍の電流が流れる。次の第 2 の期間では図 30（b 1）において、1 画素行を選択する。この 1 画素のトランジスタ 11a には 10 倍の電流を流す。

なお、図 31 において、複数の画素行を同時に選択する期間を $1/2$ H とし、1 画素行を選択する期間を $1/2$ H としたがこれに限定するものではない。複数の画素行を同時に選択する期間を $1/4$ H とし、1 画素行を選択する期間を $3/4$ H としてもよい。また、複数の画素行を同時に選択する期間と、1 画素行を選択する期間とを加えた期間は 1 H としたがこれに限定するものではない。たとえば、2 H 期間でも、1.5 H 期間であっても良い。

また、図 30 において、5 画素行を同時に選択する期間を $1/2$ H とし、次の第 2 の期間では 2 画素行を同時に選択するとしてもよい。

この場合でも実用上、支障のない画像表示を実現できる。

また、図30において、5画素行を同時に選択する第1の期間を $1/2H$ とし、1画素行を選択する第2の期間を $1/2H$ とする2段階としたがこれに限定するものではない。たとえば、第1の段階は、5画素行を同時に選択し、第2の期間は前記5画素行のうち、2画素行を選択し、最後に、1画素行を選択する3つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

以上の実施例は、1画素行を順次選択し画素に電流プログラムを行う方式、あるいは、複数の画素行を順次選択し画素に電流プログラムを行う方式である。しかし、本発明はこれに限定するものではない。画像データに応じて1画素行を順次選択し画素に電流プログラムを行う方式と、複数の画素行を順次選択し画素に電流プログラムを行う方式を組み合わせてもよい。

図126は、1画素行を順次選択する駆動方式と複数画素行を順次選択する駆動方法を組み合わせたものである。理解を容易にするため、図126(a2)に図示するように、複数画素行を同時に選択する場合は2画素行を例にして説明をする。したがって、ダミー画素行281は画面の上と下に各1行形成する。1画素行を順次選択する駆動方式の場合は、ダミー画素行は使用しなくてもよい。

なお、理解を容易にするため、図126(a1)(1画素行を選択する)と図126(a2)(2画素行を選択する)のどちらの駆動方式でもソースドライバIC14が出力する電流は同一とする。したがって、図126(a2)のように2画素行を同時に選択する駆動方式の場合は、1画素行を順次選択する駆動方式(図126(a1))よりも画面輝度は $1/2$ になる。画面輝度を一致させる場合は、図12

6 (a 2) の $duty$ を 2 倍 (たとえば、図 1 2 6 (a 1) が $duty 1/2$ であれば、図 1 2 6 (a 2) の $duty$ を $1/2 \times 2 = 1/1$) にすればよい。また、ソースドライバ IC 1 4 に入力する基準電流の大きさを 2 倍変化させればよい。あるいは、プログラム電流を 2 倍にすればよい。

図 1 2 6 (a 1) は、本発明の通常の駆動方法である。入力される映像信号がノンインターレース (プログレッシブ) 信号の場合は、図 1 2 6 (a 1) の駆動方式を実施する。入力される映像信号がインターレース信号の場合は、図 1 2 6 (a 2) を実施する。また、映像信号の画像解像度がない場合は、図 1 2 6 (a 2) を実施する。また、動画では図 1 2 6 (a 2) を実施し、静止画では図 1 2 6 (a 1) を実施するように制御してもよい。図 1 2 6 (a 1) と図 1 2 6 (a 2) との切り替えは、ゲートドライバ回路 1 2 へのスタートパルスの制御により容易に変更することができる。

課題は、図 1 2 6 (a 2) のように 2 画素行を同時に選択する駆動方式の場合は、1 画素行を順次選択する駆動方式 (図 1 2 6 (a 1)) よりも画面輝度は $1/2$ になるという点である。画面輝度を一致させる場合は、図 1 2 6 (a 2) の $duty$ を 2 倍 (たとえば、図 1 2 6 (a 1) が $duty 1/2$ であれば、図 1 2 6 (a 2) の $duty$ を $1/2 \times 2 = 1/1$) にすればよい。つまり、図 1 2 6 の (b) の非表示領域 5 2 と表示領域 5 3 の割合を変化させればよい。

非表示領域 5 2 と表示領域 5 3 の割合は、ゲートドライバ回路 1 2 のスタートパルスの制御により容易に実現できる。つまり、図 1 2 6 (a 1) と図 1 2 6 (a 2) の表示状態に応じて図 1 2 6 の (b) の駆動状態を可変すればよい。

なお、図 1 2 6 (a 2) は 2 画素を同時に順次駆動する方式である。しかし、2 画素行の選択は隣接した画素行を選択する必要はなく、図 1 2 3 のように、隣接しない 2 画素行を選択し、順次走査してもよい。

以上の本発明の N 倍パルス駆動方法では、各画素行で、ゲート信号線 1 7 b の波形を同一にし、 $1 H$ の間隔でシフトさせて印加していく。このように走査することにより、EL 素子 1 5 が点灯している時間を $1 F / N$ に規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線 1 7 b の波形を同一にし、シフトさせていることを実現することは容易である。図 6 のシフトレジスタ回路 6 1 a、6 1 b に印加するデータである $ST 1$ 、 $ST 2$ を制御すればよいからである。たとえば、入力 $ST 2$ が L レベルの時、ゲート信号線 1 7 b に V_{g1} が出力され、入力 $ST 2$ が H レベルの時、ゲート信号線 1 7 b に V_{gh} が出力されるとすれば、シフトレジスタ 1 7 b に印加する $ST 2$ を $1 F / N$ の期間だけ L レベルで入力し、他の期間は H レベルにする。この入力された $ST 2$ を $1 H$ に同期したクロック $CLK 2$ でシフトしていくだけである。

なお、EL 素子 1 5 をオンオフする周期は 0.5 msec 以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を 100 msec 以上になると、点滅状態に見える。したがって、EL 素子のオンオフ周期は $0.5 \mu \text{sec}$ 以上 100 msec 以下にすべきである。さらに好ましくは、オンオフ周期を 2 msec 以上 30 msec 以下にすべきである。さらに好ましくは、オンオフ周期を 3 msec 以上 20 msec 以下にすべき

である。

先にも記載したが、黒画面 1 5 2 の分割数は、1 つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は 1 以上 8 以下とすべきである。さらに好ましくは 1 以上 5 以下とすることが好ましい。

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N=4$ では、75%が黒画面（非表示領域 5 2）であり、25%が画像表示（表示領域 5 3）である。このとき、75%の黒表示部（非表示領域 5 2）を 75%の黒帯状態で画面の上下方向に走査するのが分割数 1 である。25%の黒画面と 25/3%の表示画面の 3 ブロックで走査するのが分割数 3 である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセンタに対応して切り替ええするように構成すればよい。

たとえば、携帯電話などにおいて、壁紙表示、入力画面は静止画であるので、分割数を 10 以上とする（極端には 1 H ごとにオンオフしてもよい）。NTSC の動画を表示するときは、分割数を 1 以上 5 以下とする。なお、分割数は 3 以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8、16 などである。また、分割数なしから、表示走査線数/2 まで分割できるように制御できるようにすることが好ましい。分割数の切り替えは、画像データの内容によりリアルタイムで変更できるように構成することが好ましい。また、ユーザーが切り替えスイッチなどにより変更で

きるように構成してもよい。また、外光の明るさによりリアルタイムで変更できるように構成してもよい。

また、全表示画面に対する黒画面の割合は、全画面の面積を1とした時、0.2以上0.9以下（Nで表示すれば1.2以上9以下）とすることが好ましい。また、特に0.25以上0.6以下（Nで表示すれば1.25以上6以下）とすることが好ましい。0.20以下であると動画表示での改善効果が低い。0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路14などからの書き込みが苦しくなり解像度が劣化する。

いずれにせよ、本発明では、ゲート信号線17の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線18に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（図33、図35などを用いて）ゲート信号線17の制御と、ソース信号線18に印加する電流（電圧）を変化させることを組み合わせて行ってもよいことは言うまでもない。

なお、以上の事項は、図38などの電流プログラムの画素構成、図43、図51、図54などの電圧プログラムの画素構成でも適用できることは言うまでもない。図38では、トランジスタ11dを、図43ではトランジスタ11dを、図51ではトランジスタ11eをオンオフ制御すればよい。また、図63では切り替えスイッチ631の接

続端子を切り替えればよい。このように、E L素子15に電流を流す配線をオンオフすることにより、本発明のN倍パルス駆動を容易に実現できる。

また、ゲート信号線17bの $1F/N$ の期間だけ、 V_{g1} にする時刻は $1F$ （ $1F$ に限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけE L素子15をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（ $1H$ ）後、すぐにゲート信号線17bを V_{g1} にしてE L素子15を発光させる方がよい。図1のコンデンサ19の保持率特性の影響を受けにくくなるからである。

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して分割数 K の値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

このように K の値（画像表示部53の分割数）を変化させることも容易に実現できる。図6においてSTに印加するデータのタイミング（ $1F$ のいつにLレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

なお、図16などでは、ゲート信号線17bを V_{g1} にする期間（ $1F/N$ ）を複数に分割（分割数 K ）し、 V_{g1} にする期間は $1F/(K/N)$ の期間を K 回実施するとしたがこれ限定するものではない。 $1F/(K/N)$ の期間を L （ $L \neq K$ ）回実施してもよい。つまり、本発明は、E L素子15に流す期間（時間）を制御することにより画像50を表示するものである。したがって、 $1F/(K/N)$ の期間

を L ($L \neq K$) 回実施することは本発明の技術的思想に含まれる。また、 L の値を変化させることにより、画像50の輝度をデジタル的に変更することができる。たとえば、 $L=2$ と $L=3$ では50%の輝度（コントラスト）変化をなす。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明の N 倍パルス駆動である。

以上の実施例は、EL素子15と駆動用トランジスタ11aとの間にスイッチング素子としてのトランジスタ11dを配置（形成）し、このトランジスタ11dを制御することにより、画面50をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ11aをリセットし、良好な黒表示を実現するものである。以下、図32を用いて、その実施例について説明をする。

図32は基本的には図1の画素構成である。図32の画素構成では、プログラムされた I_w 電流がEL素子15に流れ、EL素子15が発光する。つまり、駆動用トランジスタ11aはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ11aをリセット（オフ状態）にする方式が図32の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

図1の画素構成でリセット駆動を実現するためには、トランジスタ11bとトランジスタ11cを独立してオンオフ制御できるように構成する必要がある。つまり、図32で図示するようにトランジスタ11bをオンオフ制御するゲート信号線11a（ゲート信号線WR）、

トランジスタ 11c をオンオフ制御するゲート信号線 11c (ゲート信号線 EL) を独立して制御できるようにする。ゲート信号線 11a とゲート信号線 11c の制御は図 6 に図示するように独立した 2 つのシフトレジスタ 61 で行えばよい。

ゲート信号線 WR とゲート信号線 EL の駆動電圧は変化させるとよい。ゲート信号線 WR の振幅値 (オン電圧とオフ電圧との差) は、ゲート信号線 EL の振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線 WR の振幅は、ソース信号線 18 の電位が画素 16 に印加されない (印加する (選択時)) を制御すればよいのである。ソース信号線 18 の電位変動は小さいから、ゲート信号線 WR の振幅値は小さくすることができる。一方、ゲート信号線 EL は EL のオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ 61a と 61b との出力電圧を変化させる。画素が P チャンネルトランジスタで形成されている場合は、シフトレジスタ 61a と 61b の V_{gh} (オフ電圧) を略同一にし、シフトレジスタ 61a の V_{g1} (オン電圧) をシフトレジスタ 61b の V_{g1} (オン電圧) よりも低くする。

以下、図 33 を参照しながら、リセット駆動方式について説明をする。図 33 はリセット駆動の原理説明図である。まず、図 33 の (a) に図示するように、トランジスタ 11c、トランジスタ 11d をオフ状態にし、トランジスタ 11b をオン状態にする。すると、駆動用トランジスタ 11a のドレイン (D) 端子とゲート (G) 端子はショート状態となり、 I_b 電流が流れる。一般的に、トランジスタ 11a は 1 つ前のフィールド (フレーム) で電流プログラムされ、電流を流

す能力がある。この状態でトランジスタ 11 d がオフ状態となり、トランジスタ 11 b がオン状態にすれば、駆動電流 I_b がトランジスタ 11 a のゲート (G) 端子に流れる。そのため、トランジスタ 11 a のゲート (G) 端子とドレイン (D) 端子とが同一電位となり、トランジスタ 11 a はリセット (電流を流さない状態) になる。

このトランジスタ 11 a のリセット状態 (電流を流さない状態) は、図 5 1 などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図 3 3 の (a) の状態では、コンデンサ 1 9 の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ 11 a の特性に応じて異なる電圧値である。したがって、図 3 3 の (a) の動作を実施することにより、各画素のコンデンサ 1 9 にはトランジスタ 11 a が電流を流さない (つまり、黒表示電流 (ほとんど 0 に等しい) が保持されることになるのである。

なお、図 3 3 の (a) の動作の前に、トランジスタ 11 b、トランジスタ 11 c をオフ状態にし、トランジスタ 11 d をオン状態にし、駆動用トランジスタ 11 a に電流を流すという動作を実施することが好ましい。この動作は、極力短時間にすることが好ましい。EL 素子 1 5 に電流が流れて EL 素子 1 5 が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1 H (1 水平走査期間) の 0.1 % 以上 10 % 以下とすることが好ましい。さらに好ましくは 0.2 % 以上 2 % 以下となるようにすることが好ましい。もしくは 0.2 μ sec 以上 5 μ sec 以下となるようにすることが好ましい。また、全画面の画素 1 6 に一括して前述の動作 (図 3 3 の (a) の前に行う動作) を実施してもよい。以上の動作を実施することによ

り、駆動用トランジスタ 11 a のドレイン (D) 端子電圧が低下し、図 3 3 の (a) の状態でスムーズな I_b 電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

図 3 3 の (a) の実施時間を長くするほど、 I_b 電流が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、図 3 3 の (a) の実施時間は固定値にする必要がある。実験および検討によれば、図 3 3 の (a) の実施時間は、1 H 以上 5 H 以下にすることが好ましい。なお、この期間は、R、G、B の画素で異ならせることが好ましい。各色の画素で EL 材料が異なり、この EL 材料の立ち上がり電圧などに差異があるためである。RGB の各画素で、EL 材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は 1 H 以上 5 H 以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、5 H 以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

図 3 3 の (a) を実施後、1 H 以上 5 H 以下の期間において、図 3 3 の (b) の状態にする。図 3 3 の (b) はトランジスタ 11 c、トランジスタ 11 b をオンさせ、トランジスタ 11 d をオフさせた状態である。図 3 3 の (b) の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路 14 からプログラム電流 I_w を出力（あるいは吸収）し、このプログラム電流 I_w を駆動用トランジスタ 11 a に流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ 11 a のゲート (G) 端子の電位を設定するのである（設定電位はコンデンサ 19 に保持される）。

もし、プログラム電流 I_w が 0 (A) であれば、トランジスタ 11a は電流を図 33 の (a) の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図 33 の (b) で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 11a の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図 33 の (b) の電流プログラミング後、図 33 の (c) に図示するように、トランジスタ 11b、トランジスタ 11c とオフし、トランジスタ 11d をオンさせて、駆動用トランジスタ 11a からのプログラム電流 $I_w (= I_e)$ を EL 素子 15 に流し、EL 素子 15 を発光させる。図 33 の (c) に関しても、図 1 などで以前に説明をしたので詳細は省略する。

つまり、図 33 で説明した駆動方式（リセット駆動）は、駆動用トランジスタ 11a と EL 素子 15 間を切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン (D) 端子とゲート (G) 端子（もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を含む 2 端子）間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。なお、リセット駆動を実施するためには、図 32 の構成のように、トランジスタ 11b とトランジスタ 11c とを独立に制御できるように、

構成しておかねばならない。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムが行われる画素行は、リセット状態（黒表示状態）になり、1 H後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ 11d がオフだからである。）。次に、EL素子 15 に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、1 H後に電流プログラムを行うとしたがこの期間は、5 H程度以内としてもよい。図 33 の（a）のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を 5 H とすれば、5 画素行が黒表示（電流プログラムの画素行もいれると 6 画素行）となるはずである。

また、リセット状態は 1 画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4 画素行を同時にリセットするのであれば、第 1 の水平走査期間（1 単位）に、画素行（1）（2）（3）（4）をリセット状態にし、次の第 2 の水平走査期間に、画素行（3）（4）（5）（6）をリセット状態にし、さらに次の第 3 の水平走査期間に、画素行（5）（6）（7）（8）をリセット状態にする。また、次の第 4 の水平走査期間に、画素行（7）（8）（9）（10）をリセット状態にするという駆動状態が例示される。なお、当然、図 33 の（b）、図 33 の（c）の駆動状態も図 33 の（a）の駆動状態と同期して実施される。

また、1画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図33の(b)(c)の駆動を実施してもよいことはいうまでもない。また、インターレース駆動状態(1画素行あるいは複数画素行の飛び越し走査)で、リセット状態(1画素行あるいは複数画素行飛び越し)にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である(つまり、画面の上下方向の制御する)。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでのない。

図32はリセット駆動の画素構成であると説明をした。しかし、ゲート信号線17aとゲート信号線17cを個別に制御することより、電流プログラムされた画像データのバラツキが少なくなるという特徴がある。以下にその駆動方法について説明をする。

まず、図1の画素構成で電流プログラムされた画像データのバラツキが発生する理由について説明をする。図1の画素構成では、ゲート信号線17aに印加した電圧により、トランジスタ11b、11cが同時にオンオフ動作するとして構成している。しかし、実際には、トランジスタ11bとトランジスタ11cでは特性が微妙に異なって形成されている場合があり、トランジスタ11bとトランジスタ11cとは同時にオンオフ動作しない場合がある。たとえば、ゲート信号線17aにオン電圧が印加された状態からオフ電圧が印加されると、トランジスタ11bがトランジスタ11cよりも後にオフになる場合がある。

トランジスタ11cがオフになった状態で、トランジスタ11bが

オンしていると、図 33 の (a) に図示する状態となる。つまり、リセット状態である。そのため、I b 電流が流れることのより、コンデンサ 19 に保持された電圧が充電あるいは放電してしまう。画素 16 のトランジスタのばらつきにより、充電あるいは放電状態は異なる。トランジスタ 11 b がトランジスタ 11 c よりも先にオフ状態になると、コンデンサ 19 に保持された電圧が充放電することはない。トランジスタ 11 b がトランジスタ 11 c よりも後にオフ状態になると、コンデンサ 19 に保持された電圧が充放電してしまう。また、充放電期間によりコンデンサ 19 に保持された電圧に誤差が発生する。

この課題を解決するためには、ゲート信号線 17 a をオン電圧印加状態からオフ電圧印加状態にした後（オフ電圧の印加によりトランジスタ 11 b がオフする。）、ゲート信号線 17 c をオン電圧印加状態からオフ電圧印加状態にする（オフ電圧の印加によりトランジスタ 11 c がオフする。）。つまり、画素 16 に電流（電圧）プログラムを行なった後（プログラム中はゲート信号線 17 a、17 c にオン電圧が印加され、トランジスタ 11 b、11 c がオンしている。）、まず、ゲート信号線 17 a にオフ電圧を印加し、一定の時間が経過した後、ゲート信号線 17 c にオフ電圧が印加する。以上の動作により、図 33 の (a) の状態は発生せず、良好な電流（電圧）プログラムを実現することができる。トランジスタ 11 d の動作あるいは制御などは図 1 などと同様であるので説明を省略する。

なお、一定の時間とは、 $0.1 \mu\text{sec}$ 以上 $10 \mu\text{sec}$ 以内の時間である。もしくは 1 H の $1/1000$ 以上 $1/10$ 以下の時間である。短いと良好な電流（電圧）プログラムを実現できずコンデンサ 19 の保持電圧にばらつきが発生する。長いと電流（電圧）プログラム

時間が短くなり、書込み不足が発生する。このように、電圧保持用のトランジスタ 11b のオンオフタイミングと、駆動トランジスタ 11a に電流（電圧）を書き込むトランジスタ 11c のオンオフタイミングとを制御する駆動方法をタイム制御駆動方法と呼ぶ。

以上のタイム制御方法は、図 32 の画素構成に限定されるものではなく、図 38 などの画素構成でも適用される。図 32 では、トランジスタ 11d が電圧保持用のトランジスタである。トランジスタ 11c が駆動トランジスタ 11a に電流（電圧）を書き込むトランジスタである。トランジスタ 11d はゲート信号線 17a2 に印加するオンオフ電圧によりオンオフ制御を行なうことができる。トランジスタ 11c はゲート信号線 17a1 に印加するオンオフ電圧によりオンオフ制御を行なうことができる。画素 16 に電流（電圧）プログラムを行なった後（プログラム中はゲート信号線 17a1、17a2 にオン電圧が印加され、トランジスタ 11c、11d がオンしている。）、まず、ゲート信号線 17a2 にオフ電圧を印加し、一定の時間が経過した後、ゲート信号線 17a1 にオフ電圧が印加する。以上の動作により、良好な電流（電圧）プログラムを実現することができる。トランジスタ 11e の動作あるいは制御などは図 1 などと同様であるので説明を省略する。

なお、図 33 のリセット駆動、図 32 のタイム制御駆動方法は、本発明の N 倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図 22 の構成は、間欠 N/K 倍パルス駆動（1 画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線 17b を制御し、トランジスタ 11d をオンオフ動作させることにより容易に実現

できる。このことは以前に説明をした。)を容易に実現できる。したがって、フリッカの発生もなく、良好な画像表示を実現できる。これは、図22あるいはその変形構成のすぐれた特徴である。

また、他の駆動方法、たとえば、以降の説明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。以上の駆動方式の組み合わせに関する事項は、本発明の他の実施例においても同様に適用される。

図34はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路12aは、図32におけるゲート信号線17aおよびゲート信号線17bを制御する。ゲート信号線17aにオンオフ電圧を印加することによりトランジスタ11bがオンオフ制御される。また、ゲート信号線17bにオンオフ電圧を印加することによりトランジスタ11dがオンオフ制御される。ゲートドライバ回路12bは、図32におけるゲート信号線17cを制御する。ゲート信号線17cにオンオフ電圧を印加することによりトランジスタ11cがオンオフ制御される。

ゲート信号線17aはゲートドライバ回路12aで操作し、ゲート信号線17cはゲートドライバ回路12bで操作する。そのため、トランジスタ11bをオンさせて駆動用トランジスタ11aをリセットするタイミングと、トランジスタ11cをオンさせて駆動用トランジスタ11aに電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、図6などで説明したものと同一または類似する。

ため説明を省略する。なお、ゲートドライバ回路 1 2 はポリシリコン技術で形成する。また、ゲートドライバ回路 1 2 a と 1 2 b は一体化してもよいことは言うまでもない。

図 3 5 はリセット駆動のタイミングチャートである。ゲート信号線 1 7 a にオン電圧を印加し、トランジスタ 1 1 b をオンさせ、駆動用トランジスタ 1 1 a をリセットしている時には、ゲート信号線 1 7 b にはオフ電圧を印加し、トランジスタ 1 1 d をオフ状態にしている。したがって、図 3 2 の (a) の状態となっている。この期間に I b 電流が流れる。

たとえば、画素行 (1) に着目すれば、1 H 番目にはゲート信号線 1 7 c にオフ電圧が印加され、ゲート信号線 1 7 a にオン電圧が印加され、ゲート信号線 1 7 b にオフ電圧が印加されている。したがって、画素行 (1) の 1 H 番目は、リセット状態であり、トランジスタ 1 1 d はオフ状態であり、E L 素子 1 5 には電流が流れていない状態である。

2 H 番目にはゲート信号線 1 7 c にオン電圧が印加され、ゲート信号線 1 7 a にオン電圧が印加され、ゲート信号線 1 7 b にオフ電圧が印加されている。したがって、画素行 (1) の 2 H 番目は、電流プログラム状態であり、トランジスタ 1 1 d はオフ状態であり、E L 素子 1 5 には電流が流れていない状態である。

3 H 番目にはゲート信号線 1 7 c にオフ電圧が印加され、ゲート信号線 1 7 a にオフ電圧が印加され、ゲート信号線 1 7 b にオン電圧が印加されている。したがって、画素行 (1) の 3 H 番目は、画像表示状態であり、トランジスタ 1 1 d はオン状態であり、E L 素子 1 5 に電流が流れている状態である。

以上のことから、1 Hの期間（1 水平走査期間）、コンデンサ 1 9 はリセットされる。したがって、トランジスタ 1 1 a のゲート端子 G はアノード電圧 V_{dd} 近傍の電圧となる。そのため、トランジスタ 1 1 a はカットオフする（リセット状態）。1 度、リセットしてから電流プログラムを行うため、精度のよい電流プログラムを行うことができる。また、リセットしている状態は、画素は非表示状態となる（トランジスタ 1 1 d がオン状態でも）。つまり、黒画面を挿入している状態と近似している。したがって、リセット状態を一定期間以上持続させることにより、動画ボケの発生をなくすることができる。

図 3 5 のタイミングチャートでは、リセット時間は 2 H 期間（ゲート信号線 1 7 a にオン電圧が印加され、トランジスタ 1 1 b がオンしている状態。ただし、2 H 期間のうち、1 H 期間は電流プログラム期間である。）としているが、これに限定するものではない。2 H 以上でもよい。

リセットが極めて高速に行える場合は、リセット時間は 1 H 未満であってもよい。また、リセット期間を何 H 期間にするかはゲートドライバ回路 1 2 に入力する DATA (ST) パルス期間で容易に変更できる。たとえば、ST 端子に入力する DATA を 2 H 期間の間 H レベルとすれば、各ゲート信号線 1 7 a から出力されるリセット期間は 2 H 期間となる。同様に、ST 端子に入力する DATA を 5 H 期間の間 H レベルとすれば、各ゲート信号線 1 7 a から出力されるリセット期間は 5 H 期間となる。

1 H 期間のリセット後、画素行 (1) のゲート信号線 1 7 c (1) に、オン電圧が印加される。トランジスタ 1 1 c がオンすることにより、ソース信号線 1 8 に印加されたプログラム電流 I_w がトランジス

タ 1 1 c を介して駆動用トランジスタ 1 1 a に書き込まれる。

電流プログラム後、画素（１）のゲート信号線 1 7 c にオフ電圧が印加され、トランジスタ 1 1 c がオフし、画素がソース信号線と切り離される。同時に、ゲート信号線 1 7 a にもオフ電圧が印加され、駆動用トランジスタ 1 1 a のリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線 1 7 b にはオン電圧が印加され、トランジスタ 1 1 d がオンして、駆動用トランジスタ 1 1 a にプログラムされた電流が E L 素子 1 5 に流れる。なお、画素行（２）以降についても、画素行（１）と同様であり、また、図 3 5 からその動作は明らかであるから説明を省略する。

図 3 5 において、リセット期間は 1 H 期間であった。図 3 6 はリセット期間を 5 H とした実施例である。リセット期間を何 H 期間にするかはゲートドライバ回路 1 2 に入力する D A T A （S T）パルス期間で容易に変更できる。図 3 6 ではゲートドライバ回路 1 2 a の S T 1 端子に入力する D A T A を 5 H 期間の間 H レベルし、各ゲート信号線 1 7 a から出力されるリセット期間を 5 H 期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。また、動画ボケも抑制できる。図 3 6 において、他の動作などは図 3 5 と同様であるので説明を省略する。

リセット期間の割合分は表示輝度が低下することになる。しかし、N 倍パルス駆動のようにプログラム電流を所定値の N 倍とすることにより画面輝度の低下を防止することができる。したがって、リセット駆動は、N 倍パルス駆動の一実施形態である。

図 3 6 はリセット期間を 5 H とした実施例であった。また、このリ

セット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線 17 a から出力される信号を 1 H ごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ回路 12 に入力する DATA (ST) パルスを制御することで容易に実現できる。

図 3 4 の回路構成では、ゲートドライバ回路 12 a は少なくとも 2 つのシフトレジスタ回路（1 つはゲート信号線 17 a 制御用、他の 1 つはゲート信号線 17 b 制御用）が必要であった。そのため、ゲートドライバ回路 12 a の回路規模が大きくなるという課題があった。図 3 7 はゲートドライバ回路 12 a のシフトレジスタを 1 つにした実施例である。図 3 7 の回路を動作させた出力信号のタイミングチャートは図 3 5 のごとくなる。なお、図 3 5 と図 3 7 とはゲートドライバ回路 12 a、12 b から出力されているゲート信号線 17 の記号が異なっているので注意が必要である。

図 3 7 の OR 回路 371 が付加されていることから明らかであるが、各ゲート信号線 17 a の出力は、シフトレジスタ回路 61 a の前段出力との OR をとり、この結果により、ゲート信号線 17 a にオン電圧またはオフ電圧が出力される。なお、説明を容易にするために、画素構成は図 3 2 の画素構成を想定しており、OR の出力が H レベル（正論理）の時に、ゲート信号線 17 a にオン電圧が出力されるものとして説明をする。

図 3 7 の実施例では、2 H 期間、ゲート信号線 17 a からはオン電圧が出力される。一方、ゲート信号線 17 c はシフトレジスタ回路 6

1 a の出力がそのまま出力される。したがって、1 H 期間の間、オン電圧が印加される。

たとえば、シフトレジスタ回路 6 1 a の 2 番目に H レベル信号が出力されている時、画素 1 6 (1) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (1) が電流 (電圧) プログラムの状態である。同時に、画素 1 6 (2) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (2) のトランジスタ 1 1 b がオン状態となり、画素 1 6 (2) の駆動用トランジスタ 1 1 a がリセットされる。

同様に、シフトレジスタ回路 6 1 a の 3 番目に H レベル信号が出力されている時、画素 1 6 (2) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (2) が電流 (電圧) プログラムの状態である。同時に、画素 1 6 (3) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (3) トランジスタ 1 1 b がオン状態となり、画素 1 6 (3) 駆動用トランジスタ 1 1 a がリセットされる。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力され、ゲート信号線 1 7 c に 1 H 期間、オン電圧が出力される。

プログラム状態の時は、トランジスタ 1 1 b とトランジスタ 1 1 c が同時にオン状態となる (図 3 3 の (b)) ら、非プログラム状態 (図 3 3 の (c)) に移行する際、トランジスタ 1 1 c がトランジスタ 1 1 b よりも先にオフ状態となると、図 3 3 の (b) のリセット状態となってしまう。これと防止するためには、トランジスタ 1 1 c がトランジスタ 1 1 b よりもあとからオフ状態にする必要がある。そのため、ゲート信号線 1 7 a がゲート信号線 1 7 c よりも先にオン電圧が印加されるように制御する必要がある。

以上の実施例は、図 3 2 (基本的には図 1) の画素構成に関する実

施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図 38 に示すようなカレントミラーの画素構成であっても実施することができる。なお、図 38 ではトランジスタ 11 e をオンオフ制御することにより、図 13、図 15 など図示する N 倍パルス駆動を実現できる。図 39 は図 38 のカレントミラーの画素構成での実施例の説明図である。以下、図 39 を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

図 39 の (a) に図示するように、トランジスタ 11 c、トランジスタ 11 e をオフ状態にし、トランジスタ 11 d をオン状態にする。すると、電流プログラム用トランジスタ 11 b のドレイン (D) 端子とゲート (G) 端子はショート状態となり、図に示すように I_b 電流が流れる。一般的に、トランジスタ 11 b は 1 つ前のフィールド (フレーム) で電流プログラムされ、電流を流す能力がある (ゲート電位はコンデンサ 19 に 1 F 期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない)。この状態でトランジスタ 11 e がオフ状態とし、トランジスタ 11 d がオン状態にすれば、駆動電流 I_b がトランジスタ 11 a のゲート (G) 端子の方向に流れる (ゲート (G) 端子とドレイン (D) 端子がショートされる)。そのため、トランジスタ 11 a のゲート (G) 端子とドレイン (D) 端子とが同一電位となり、トランジスタ 11 a はリセット (電流を流さない状態) になる。また、駆動用トランジスタ 11 b のゲート (G) 端子は電流プログラム用トランジスタ 11 a のゲート (G) 端子と共通であるから、駆動用トランジスタ 11 b もリセット状態となる。

このトランジスタ 11 a、トランジスタ 11 b のリセット状態 (電

流を流さない状態)は、図51などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図39の(a)の状態では、コンデンサ19の端子間には、オフセット電圧(電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ11に電流が流れる)が保持されていることになる。このオフセット電圧はトランジスタ11a、トランジスタ11bの特性に応じて異なる電圧値である。したがって、図39の(a)の動作を実施することにより、各画素のコンデンサ19にはトランジスタ11a、トランジスタ11bが電流を流さない(つまり、黒表示電流(ほとんど0に等しい))状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされた)。

なお、図39の(a)においても図33の(a)と同様に、リセットの実施時間を長くするほど、I_b電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図39の(a)の実施時間は固定値にする必要がある。実験および検討によれば、図39の(a)の実施時間は、1H以上10H(10水平走査期間)以下とすることが好ましい。さらには1H以上5H以下とすることが好ましい。あるいは、20 μ sec以上2msec以下とすることが好ましい。このことは図33、図34の駆動方式でも同様である。

図33の(a)も同様であるが、図39の(a)のリセット状態と、図39の(b)の電流プログラム状態とを同期をとって行う場合は、図39の(a)のリセット状態から、図39の(b)の電流プログラム状態までの期間が固定値(一定値)となるから問題はない(固定値にされている)。つまり、図33の(a)あるいは図39の(a)のリセット状態から、図33の(b)あるいは図39の(b)の電流

プログラム状態までの期間が、1 H以上10 H（10 水平走査期間）以下とすることが好ましい。さらには1 H以上5 H以下にすることが好ましいのである。あるいは、20 μ sec以上2 msec以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ11が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ11が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面50の輝度も低下する。ただし、図13のように黒挿入（非点灯領域52を発生させる）を実施する場合はこの限りでない。黒挿入（非点灯領域52を発生させる）により、N倍パルス駆動など実施することを目的とするからである。

図39の（a）を実施後、図39の（b）の状態にする。図39の（b）はトランジスタ11c、トランジスタ11dをオンさせ、トランジスタ11eをオフさせた状態である。図39の（b）の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電流 I_w を出力（あるいは吸収）し、このプログラム電流 I_w を電流プログラム用トランジスタ11aに流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ11bのゲート（G）端子の電位をコンデンサ19に設定するのである。

もし、プログラム電流 I_w が0（A）（黒表示）であれば、トランジスタ11bは電流を図33の（a）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図39の（b）で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを行う。したがって、目標の電流

値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 11 a あるいはトランジスタ 11 b の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図 39 の (b) の電流プログラミング後、図 39 の (c) に図示するように、トランジスタ 11 c、トランジスタ 11 d とオフし、トランジスタ 11 e をオンさせて、駆動用トランジスタ 11 b からのプログラム電流 $I_w (= I_e)$ を EL 素子 15 に流し、EL 素子 15 を発光させる。図 39 の (c) に関しても、以前に説明をしたので詳細は省略する。

図 33、図 39 で説明した駆動方式（リセット駆動）は、駆動用トランジスタ 11 a あるいはトランジスタ 11 b と EL 素子 15 間を切断（電流が流れない状態。トランジスタ 11 e あるいはトランジスタ 11 d で行う）し、かつ、駆動用トランジスタのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む 2 端子）間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。

なお、第 1 の動作における駆動用トランジスタ 11 a あるいはトランジスタ 11 b と EL 素子 15 間を切断するという動作は、必ずしも必須の条件ではない。もし、第 1 の動作における駆動用トランジスタ 11 a あるいはトランジスタ 11 b と EL 素子 15 間を切断せずに、駆動用トランジスタのドレイン（D）端子とゲート（G）端子間をショートする第 1 の動作を行っても多少のリセット状態のバラツキが発

生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

図39のカレントミラーの画素構成は、電流プログラムトランジスタ11aをリセットすることにより、結果として駆動用トランジスタ11bをリセットする駆動方法であった。

図39のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ11bとEL素子15間を切断する必要はない。したがって、電流プログラム用トランジスタaのドレイン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート(G)端子を含む2端子、あるいは駆動用トランジスタのゲート(G)端子を含む2端子)間をショートする第1の動作と、前記動作の後、電流プログラム用トランジスタに電流(電圧)プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。

画像表示状態は(もし、瞬時的な変化が観察できるのであれば)、まず、電流プログラムが行われる画素行は、リセット状態(黒表示状態)になり、所定H後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図43は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成(パネル構成)の説明図である。

図43の画素構成では、駆動用トランジスタ11aをリセット動作させるためのトランジスタ11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、トランジスタ11eがオンし、駆動用トランジスタ11aのゲート（G）端子とドレイン（D）端子間をショートさせる。また、EL素子15と駆動用トランジスタ11aとの電流経路を切断するトランジスタ11dが形成されている。以下、図44を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする（図43は電圧プログラム方式の画素構成である）。

図44の（a）に図示するように、トランジスタ11b、トランジスタ11dをオフ状態にし、トランジスタ11eをオン状態にする。駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子はショート状態となり、図に示すようにI_b電流が流れる。そのため、トランジスタ11aのゲート（G）端子とドレイン（D）端子とが同一電位となり、駆動用トランジスタ11aはリセット（電流を流さない状態）になる。なお、トランジスタ11aをリセットする前に、図33あるいは図39で説明したように、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流しておく。その後、図44の（a）の動作を実施する。なお、リセットはHD信号に同期させることに限定するものではない。

このトランジスタ11a、トランジスタ11bのリセット状態（電流を流さない状態）は、図41などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図44の（a）の状態では、コンデンサ19の端子間には、オフセット

電圧（リセット電圧）が保持されていることになる。このリセット電圧は駆動用トランジスタ 11 a の特性に応じて異なる電圧値である。つまり、図 44 の（a）の動作を実施することにより、各画素のコンデンサ 19 には駆動用トランジスタ 11 a が電流を流さない（つまり、黒表示電流（ほとんど 0 に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図 44 の（a）のリセットの実施時間を長くするほど、I b 電流が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、図 44 の（a）の実施時間は固定値にする必要がある。実施時間は、0.2 H 以上 5 H（5 水平走査期間）以下とすることが好ましい。さらには 0.5 H 以上 4 H 以下とすることが好ましい。あるいは、2 μ s e c 以上 400 μ s e c 以下とすることが好ましい。

また、ゲート信号線 17 e は前段の画素行のゲート信号線 17 a と共通にしておくことが好ましい。つまり、ゲート信号線 17 e と前段の画素行のゲート信号線 17 a とをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも 1 H 前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1 画素行前に限定されるものではない。たとえば、2 画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ 11 a のリセットを実施してもよい。

前段ゲート制御方式をさらに具体的に記載すれば以下ようになる。着目する画素行が（N）画素行とし、そのゲート信号線がゲート信号線 17 e（N）、ゲート信号線 17 a（N）とする。1 H 前に選択さ

れる前段の画素行は、画素行が $(N-1)$ 画素行とし、そのゲート信号線がゲート信号線 $17e(N-1)$ 、ゲート信号線 $17a(N-1)$ とする。また、着目画素行の次の $1H$ 後に選択される画素行が $(N+1)$ 画素行とし、そのゲート信号線がゲート信号線 $17e(N+1)$ 、ゲート信号線 $17a(N+1)$ とする。

第 $(N-1)$ H 期間では、第 $(N-1)$ 画素行のゲート信号線 $17a(N-1)$ にオン電圧が印加されると、第 (N) 画素行のゲート信号線 $17e(N)$ にもオン電圧が印加される。ゲート信号線 $17e(N)$ と前段の画素行のゲート信号線 $17a(N-1)$ とがショート状態で形成されているからである。したがって、第 $(N-1)$ 画素行の画素のトランジスタ $11b(N-1)$ がオンし、ソース信号線 18 の電圧が駆動用トランジスタ $11a(N-1)$ のゲート (G) 端子に書き込まれる。同時に、第 (N) 画素行の画素のトランジスタ $11e(N)$ がオンし、駆動用トランジスタ $11a(N)$ のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ $11a(N)$ がリセットされる。

第 $(N-1)$ H 期間の次の第 (N) 期間では、第 (N) 画素行のゲート信号線 $17a(N)$ にオン電圧が印加されると、第 $(N+1)$ 画素行のゲート信号線 $17e(N+1)$ にもオン電圧が印加される。したがって、第 (N) 画素行の画素のトランジスタ $11b(N)$ がオンし、ソース信号線 18 に印加されている電圧が駆動用トランジスタ $11a(N)$ のゲート (G) 端子に書き込まれる。同時に、第 $(N+1)$ 画素行の画素のトランジスタ $11e(N+1)$ がオンし、駆動用トランジスタ $11a(N+1)$ のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ $11a(N+1)$ がリセッ

トされる。

以下同様に、第 (N) H 期間の次の第 (N+1) 期間では、第 (N+1) 画素行のゲート信号線 17 a (N+1) にオン電圧が印加されると、第 (N+2) 画素行のゲート信号線 17 e (N+2) にもオン電圧が印加される。したがって、第 (N+1) 画素行の画素のトランジスタ 11 b (N+1) がオンし、ソース信号線 18 に印加されている電圧が駆動用トランジスタ 11 a (N+1) のゲート (G) 端子に書き込まれる。同時に、第 (N+2) 画素行の画素のトランジスタ 11 e (N+2) がオンし、駆動用トランジスタ 11 a (N+2) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11 a (N+2) がリセットされる。

以上の本発明の前段ゲート制御方式では、1 H 期間、駆動用トランジスタ 11 a はリセットされ、その後、電圧 (電流) プログラムが実施される。

図 33 の (a) も同様であるが、図 44 の (a) のリセット状態と、図 44 の (b) の電圧プログラム状態とを同期をとって行う場合は、図 44 の (a) のリセット状態から、図 44 の (b) の電流プログラム状態までの期間が固定値 (一定値) となるから問題はない (固定値にされている)。この期間が短いと駆動用トランジスタ 11 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 11 a が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 12 の輝度も低下する。

図 44 の (a) を実施後、図 44 の (b) の状態にする。図 44 の (b) はトランジスタ 11 b をオンさせ、トランジスタ 11 e、トランジスタ 11 d をオフさせた状態である。図 44 の (b) の状態は、

電圧プログラムを行っている状態である。つまり、ソースドライバ回路 14 からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ 11 a のゲート (G) 端子に書き込む (駆動用トランジスタ 11 a のゲート (G) 端子の電位をコンデンサ 19 に設定する)。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ 11 d を必ずしもオフさせる必要はない。また、図 13、図 15 などの N 倍パルス駆動などと組み合わせること、あるいは以上のような、間欠 N/K 倍パルス駆動 (1 画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ 11 e をオンオフ動作させることにより容易に実現できる) を実施する必要がなければ、トランジスタ 11 e が不要でない。このことは以前に説明をしたので、説明を省略する。

図 43 の構成あるいは図 44 の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧 (各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧) から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 11 a の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図 44 の (b) の電流プログラミング後、図 44 の (c) に図示するように、トランジスタ 11 b をオフし、トランジスタ 11 d をオンさせて、駆動用トランジスタ 11 a からのプログラム電流を EL 素子 15 に流し、EL 素子 15 を発光させる。

以上のように、図 43 の電圧プログラムにおける本発明のリセット駆動は、まず、HD 同期信号に同期して、最初にトランジスタ 11 d

をオンさせ、トランジスタ 11 e をオフさせて、トランジスタ 11 a に電流を流す第 1 の動作と、トランジスタ 11 a と EL 素子 15 間を切断し、かつ、駆動用トランジスタ 11 a のドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を含む 2 端子) 間をショートする第 2 の動作と、前記動作の後、駆動用トランジスタ 11 a に電圧プログラムを行う第 3 の動作を実施するものである。

以上の実施例では、駆動用トランジスタ 11 a (図 1 の画素構成の場合) から EL 素子 15 に流す電流を制御するのに、トランジスタ 11 d をオンオフさせて行う。トランジスタ 11 d をオンオフさせるためには、ゲート信号線 17 b を走査する必要がある、走査のためには、シフトレジスタ 61 (ゲート回路 12) が必要となる。しかし、シフトレジスタ 61 は規模が大きく、ゲート信号線 17 b の制御にシフトレジスタ 61 を用いたのでは狭額縁化できない。図 40 で説明する方式は、この課題を解決するものである。

なお、本発明は、主として図 1 などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図 38 などで説明した他の電流プログラム構成 (カレントミラーの画素構成) であっても適用できることはいうまでもない。

また、ブロックでオンオフする技術的概念は、図 41 などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、EL 素子 15 に流れる電流を間欠にする方式であるから、図 50 などで説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は

他の実施例と組み合わせて実施することができる。

図40はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路12は基板71に直接形成したか、もしくはシリコンチップのゲートドライバIC12を基板71に積載したとして説明をする。また、ソースドライバ14およびソース信号線18は図面が煩雑になるため省略する。

図40において、ゲート信号線17aはゲートドライバ回路12と接続されている。一方、各画素のゲート信号線17bは点灯制御線401と接続されている。図40では4本のゲート信号線17bが1つの点灯制御線401と接続されている。

なお、4本のゲート信号線17bでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域50は少なくとも5以上に分割することが好ましい。さらに好ましくは、10以上に分割することが好ましい。さらには、20以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線401の本数が多くなり、制御線401のレイアウトが困難になる。

したがって、QCIF表示パネルの場合は、垂直走査線の本数が220本であるから、少なくとも、 $220 / 5 = 44$ 本以上でブロック化する必要があり、好ましくは、 $220 / 10 = 22$ 以上でブロック化する必要がある。ただし、奇数行と偶数行で2つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2つのブロック化で十分の場合がある。

図40の実施例では、点灯制御線401a、401b、401c、401d……401nと順次、オン電圧（Vg1）を印加するか、も

しくはオフ電圧（ V_{gh} ）を印加し、ブロックごとにEL素子15に流れる電流をオンオフさせる。

なお、図40の実施例では、ゲート信号線17bと点灯制御線401とがクロスすることがない。したがって、ゲート信号線17bと点灯制御線401とのショート欠陥は発生しない。また、ゲート信号線17bと点灯制御線401とが容量結合することがないため、点灯制御線401からゲート信号線17b側を見た時の容量付加が極めて小さい。したがって、点灯制御線401を駆動しやすい。

ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ11b、11cはオンして、ソース信号線18に印加された電流（電圧）を各画素のコンデンサ19にプログラムする。一方、ゲート信号線17bは各画素のトランジスタ11dのゲート（G）端子と接続されている。したがって、点灯制御線401にオン電圧（ V_{gl} ）が印加されたとき、駆動用トランジスタ11aとEL素子15との電流経路を形成し、逆にオフ電圧（ V_{gh} ）が印加された時は、EL素子15のアノード端子をオープンにする。

なお、点灯制御線401に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路12がゲート信号線17aに出力する画素行選択電圧（ V_{gl} ）のタイミングは1水平走査クロック（1H）に同期していることが好ましい。しかし、これに限定するものではない。

点灯制御線401に印加する信号は単に、EL素子15への電流をオンオフさせるだけである。また、ソースドライバ14が出力する画像データと同期がとれている必要もない。点灯制御線401に印加す

る信号は、各画素 16 のコンデンサ 19 にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは 1 H 信号に限定されるものではなく、 $1/2$ H でも、 $1/4$ H であってもよい。

図 38 に図示したカレントミラーの画素構成の場合であっても、ゲート信号線 17 b を点灯制御線 401 に接続することにより、トランジスタ 11 e をオンオフ制御できる。したがって、ブロック駆動を実現できる。

なお、図 32 において、ゲート信号線 17 a を点灯制御線 401 に接続し、リセットを実施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、1 つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

以上の実施例は、1 画素行ごとに 1 本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で 1 本の選択ゲート信号線を配置（形成）してもよい。

図 41 はその実施例である。なお、説明を容易にするため、画素構成は図 1 の場合を主として例示して説明をする。図 41 では画素行の選択ゲート信号線 17 a は 3 つの画素（16 R、16 G、16 B）を同時に選択する。R の記号とは赤色の画素関連を意味し、G の記号とは緑色の画素関連を意味し、B の記号とは青色の画素関連を意味するものとする。

したがって、ゲート信号線 17 a の選択により、画素 16 R、画素 16 G および画素 16 B が同時に選択されデータ書き込み状態となる。画素 16 R はソース信号線 18 R からデータをコンデンサ 19 R に書

き込み、画素 1 6 G はソース信号線 1 8 G からデータをコンデンサ 1 9 G に書き込む。画素 1 6 B はソース信号線 1 8 B からデータをコンデンサ 1 9 B に書き込む。

画素 1 6 R のトランジスタ 1 1 d はゲート信号線 1 7 b R に接続されている。また、画素 1 6 G のトランジスタ 1 1 d はゲート信号線 1 7 b G に接続され、画素 1 6 B のトランジスタ 1 1 d はゲート信号線 1 7 b B に接続されている。したがって、画素 1 6 R の E L 素子 1 5 R、画素 1 6 G の E L 素子 1 5 G、画素 1 6 B の E L 素子 1 5 B は個別にオンオフ制御することができる。つまり、E L 素子 1 5 R、E L 素子 1 5 G、E L 素子 1 5 B はそれぞれのゲート信号線 1 7 b R、1 7 b G、1 7 b B を制御することにより、点灯時間、点灯周期を個別に制御可能である。

この動作を実現するためには、図 6 の構成において、ゲート信号線 1 7 a を走査するシフトレジスタ回路 6 1 と、ゲート信号線 1 7 b R を走査するシフトレジスタ回路 6 1 と、ゲート信号線 1 7 b G を走査するシフトレジスタ回路 6 1 と、ゲート信号線 1 7 b B を走査するシフトレジスタ回路 6 1 の 4 つを形成（配置）することが適切である。

なお、ソース信号線 1 8 に所定電流の N 倍の電流を流し、E L 素子 1 5 に所定電流の N 倍の電流を $1/N$ の期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線 1 7 に印加した信号パルスがコンデンサ 1 9 に突き抜け、コンデンサ 1 9 に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ 1 9 には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10 倍の電流値を設定するように駆動しても、5 倍程度の電流しかコンデンサ 1 9 には設定されない。たとえば、 $N=10$ としても

実際にEL素子15に流れる電流は $N=5$ の場合と同一となる。したがって、本発明は N 倍の電流値を設定し、 N 倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。

また、所望値より電流（そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ11a（図1を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。

なお、このコンデンサ19への突き抜けによる補償回路は、ソースドライバ回路14内に導入する。この事項については後ほど説明をする。

また、図1などのスイッチングトランジスタ11b、11cなどは N チャンネルで形成することが好ましい。コンデンサ19への突き抜け電圧が低減するからである。また、コンデンサ19のオフリークも減少するから、10Hz以下の低いフレームレートにも適用できるようになる。

また、画素構成によっては、突き抜け電圧がEL素子15に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

逆に、図1のスイッチングトランジスタ11b、11cを P チャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。 P チャンネルトランジスタ11bがオフすると

きには V_{gh} 電圧となる。そのため、コンデンサ 19 の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ 11 a のゲート (G) 端子電圧は上昇し、より黒表示となる。また、第 1 階調表示とする電流値を大きくすることができるから (階調 1 までに一定のベース電流を流すことができる)、電流プログラム方式で書き込み電流不足を軽減できる。

その他、ゲート信号線 17 a とトランジスタ 11 a のゲート (G) 端子間に積極的にコンデンサ 19 b を形成し、突き抜け電圧を増加させる構成も有効である (図 42 の (a) を参照)。このコンデンサ 19 b の容量は正規のコンデンサ 19 a の容量の $1/50$ 以上 $1/10$ 以下にすることが好ましい。さらには $1/40$ 以上 $1/15$ 以下とすることが好ましい。もしくはトランジスタ 11 b のソースゲート (ソースドレイン (SG) もしくはゲートドレイン (GD)) 容量の 1 倍以上 10 倍以下にする。さらに好ましくは、SG 容量の 2 倍以上 6 倍以下にすることが好ましい。なお、コンデンサ 19 b の形成位置は、コンデンサ 19 a の一方の端子 (トランジスタ 11 a のゲート (G) 端子) とトランジスタ 11 d のソース (S) 端子間に形成または配置してもよい。この場合も容量などは先に説明した値と同様である。

突き抜け電圧発生用のコンデンサ 19 b の容量 (容量を C_b (pF) とする) は、電荷保持用のコンデンサ 19 a の容量 (容量と C_a (pF) とする) と、トランジスタ 11 a の白ピーク電流時 (画像表示で表示最大輝度の白ラスタ時) のゲート (G) 端子電圧 V_w を黒表示での電流を流す (基本的には電流は 0 である。つまり、画像表示で黒表示としている時) 時のゲート (G) 端子電圧 V_b が関連する。こ

これらの関係は、

$$C_a / (200 C_b) \leq |V_w - V_b| \leq C_a / (8 C_b)$$

の条件を満足させることが好ましい。なお、 $|V_w - V_b|$ とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である（つまり、変化する電圧幅）。

さらに好ましくは、

$$C_a / (100 C_b) \leq |V_w - V_b| \leq C_a / (10 C_b)$$

の条件を満足させることが好ましい。

トランジスタ11bはPチャンネルにし、このPチャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、4ゲート以上にする。そして、トランジスタ11bのソースゲート（SGもしくはゲートドレイン（GD））容量（トランジスタがオンしているときの容量）の1倍以上10倍以下のコンデンサを並列に形成または配置することが好ましい。

なお、以上の事項は、図1の画素構成だけでなく、他の画素構成でも有効である。たとえば、図42の（b）に図示するようにカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線17aまたは17bとトランジスタ11aのゲート（G）端子間に配置または形成する。スイッチングトランジスタ11cのNチャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ11c、11dをPチャンネルとし、トリプルゲート以上とする。

41の電圧プログラムの構成にあつては、ゲート信号線17cと駆動用トランジスタ11aのゲート（G）端子間に突き抜け電圧発生用

のコンデンサ 19 c を形成または配置する。また、スイッチングトランジスタ 11 c はトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 c のドレイン (D) 端子 (コンデンサ 19 b 側) と、ゲート信号線 17 a 間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 a のゲート (G) 端子と、ゲート信号線 17 a 間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 c のドレイン (D) 端子 (コンデンサ 19 b 側) と、ゲート信号線 17 c 間に配置してもよい。

また、電荷保持用のコンデンサ 19 a の容量を C_a とし、スイッチング用のトランジスタ 11 c または 11 d) のソースゲート容量 C_c (突き抜け用のコンデンサがある場合には、その容量を加えた値) とし、ゲート信号線に印加される高電圧信号 (V_{gh}) とし、ゲート信号線に印加される低電圧信号 (V_{gl}) とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

$$0.05 (V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.8 (V)$$

さらに好ましくは、以下の条件を満足させることが好ましい。

$$0.1 (V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5 (V)$$

以上の事項は図 43 などの画素構成にも有効である。図 43 の電圧プログラムの画素構成では、トランジスタ 11 a のゲート (G) 端子とゲート信号線 17 a 間に突き抜け電圧発生用のコンデンサ 19 b を形成または配置する。

なお、突き抜け電圧を発生させるコンデンサ 19 b は、トランジス

タのソース配線とゲート配線で形成する。ただし、トランジスタ 11 のソース幅を広げて、ゲート信号線 17 と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成である場合がある。

また、スイッチングトランジスタ 11 b、11 c（図 1 の構成の場合）を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ 19 b を構成する方式も本発明の範疇である。スイッチングトランジスタ 11 b、11 c はチャンネル幅 W / チャンネル長 $L = 6 / 6 \mu\text{m}$ で形成することが多い。これを W と大きくすることも突き抜け電圧用のコンデンサ 19 b を構成することになる。例えば、 $W : L$ の比を $2 : 1$ 以上 $20 : 1$ 以下にする構成が例示される。好ましくは、 $W : L$ の比を $3 : 1$ 以上 $10 : 1$ 以下にすることがよい。

また、突き抜け電圧用のコンデンサ 19 b は、画素が変調する R、G、B で大きさ（容量）を変化させることが好ましい。R、G、B の各 EL 素子 15 の駆動電流が異なるためである。また、EL 素子 15 のカットオフ電圧が異なるためである。そのため、EL 素子 15 の駆動用トランジスタ 11 a のゲート（G）端子にプログラムする電圧（電流）が異なるからである。たとえば、R の画素のコンデンサ 11 b R を 0.02 pF とした場合、他の色（G、B の画素）のコンデンサ 11 b G、11 b B を 0.025 pF とする。また、R の画素のコンデンサ 11 b R を 0.02 pF とした場合、G の画素のコンデンサ 11 b G と 0.03 pF とし、B の画素のコンデンサ 11 b B を 0.025 pF とするなどである。このように、R、G、B の画素ごとにコンデンサ 11 b の容量を変化させることによりオフセットの駆動電流を RGB ごとに調整することができる。したがって、各 RGB の黒表

示レベルを最適値にすることができる。

以上は、突き抜け電圧発生用のコンデンサ 19 b の容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ 19 a と突き抜け電圧発生用のコンデンサ 19 b との容量の相対的なものである。したがって、コンデンサ 19 b を R、G、B の画素で変化することに限定するものではない。つまり、保持用コンデンサ 19 a の容量を変化させてもよい。たとえば、R の画素のコンデンサ 11 a R を 1.0 pF とした場合、G の画素のコンデンサ 11 a G と 1.2 pF とし、B の画素のコンデンサ 11 a B を 0.9 pF とするなどである。この時、突き抜け用コンデンサ 19 b の容量は、R、G、B で共通の値とする。したがって、本発明は、保持用のコンデンサ 19 a と突き抜け電圧発生用のコンデンサ 19 b との容量比を、R、G、B の画素のうち、少なくとも 1 つを他と異ならせたものである。なお、保持用のコンデンサ 19 a の容量と突き抜け電圧発生用のコンデンサ 19 b との容量との両方を R、G、B 画素で変化させてもよい。

また、画面 50 の左右で突き抜け電圧用のコンデンサ 19 b の容量を変化させてもよい。ゲートドライバ 12 に近い位置にある画素 16 は信号供給側に配置されているので、ゲート信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線 17 端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線 17 には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ 12 との接続側に近い画素 16 の突き抜け電圧用コンデンサ 19 b を小さくする。また、ゲート信号線 17 端はコンデンサ 19 b を大きくする。たとえば

、画面の左右でコンデンサの容量は10%程度変化させる。

発生する突き抜け電圧は、保持用コンデンサ19aと突き抜け電圧発生用のコンデンサ19bの容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ19bの大きさを変化させるとしたが、これに限定するものではない。突き抜け電圧発生用のコンデンサ19bは画面の左右で一定にし、電荷保持用のコンデンサ19aの容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ19bと、電荷保持用のコンデンサ19a容量の両方を画面の左右で変化させてもよいことは言うまでもない。

本発明のN倍パルス駆動の課題にEL素子15に印加する電流が瞬時的ではあるが、従来と比較してN倍大きいという問題がある。電流が大きいとEL素子の寿命を低下させる場合がある。この課題を解決するためには、EL素子15に逆バイアス電圧 V_m を印加することが有効である。

以上の実施例は、1フィールド（1フレーム）内でRGBの画像データを書き換える駆動方法であった。RGBデータの書き換えは、シーケンス的に行っても良い。シーケンス的とは、1フレームと3フィールドとし、第1フィールドでRの画像データを書き換え、第2フィールドでGの画像データを書き換え、第3フィールドでBの画像データを書き換える駆動方法である。この駆動をシーケンス駆動と呼ぶ。

なお、シーケンス駆動とN倍パルス駆動、リセット駆動などの本発明の他の駆動方法と組み合わせてもよいことは言うまでもない。また、各駆動方法を組み合わせた駆動方法を実施した表示パネル、前記表示パネルを用いた表示装置は本発明に包含される。

図75はシーケンス駆動を実施するための表示パネルの説明図であ

る。ソースドライバ回路 14 は接続端子 996 に R、G、B データを切り替えて出力する。したがって、ソースドライバ回路 14 の出力端子数は図 48 などの場合に比較して 1 / 3 の出力端子数ですむ。

ソースドライバ回路 14 から接続端子 996 に出力する信号は、出力切り替え回路 751 のよりソース信号線 18 R、18 G、18 B に振り分けられる。出力切り替え回路 751 はポリシリコン技術で基板 71 に直接形成する。また、出力切り替え回路 751 はシリコンチップで形成し、COG 技術で基板 71 に実装してもよい。また、出力切り替え回路 751 は切り替えスイッチ 751 をソースドライバ回路 14 の回路として、ソースドライバ回路 14 に内蔵させてもよい。

切り替えスイッチ 752 が R 端子に接続されている時は、ソースドライバ回路 14 からの出力信号は、ソース信号線 18 R に印加される。切り替えスイッチ 752 が G 端子に接続されている時は、ソースドライバ回路 14 からの出力信号は、ソース信号線 18 G に印加される。切り替えスイッチ 752 が B 端子に接続されている時は、ソースドライバ回路 14 からの出力信号は、ソース信号線 18 B に印加される。

なお、図 76 の構成では、切り替えスイッチ 752 が R 端子に接続されている時は、切り替えスイッチの G 端子および B 端子はオープンである。したがって、ソース信号線 18 G および 18 B に入力される電流は 0 A である。したがって、ソース信号線 18 G および 18 B に接続された画素 16 は黒表示となる。

切り替えスイッチ 752 が G 端子に接続されている時は、切り替えスイッチの R 端子および B 端子はオープンである。したがって、ソース信号線 18 R および 18 B に入力される電流は 0 A である。したがって、ソース信号線 18 R および 18 B に接続された画素 16 は黒表

示となる。

なお、図 7 6 の構成では、切り替えスイッチ 7 5 2 が B 端子に接続されている時は、切り替えスイッチの R 端子および G 端子はオープンである。したがって、ソース信号線 1 8 R および 1 8 G に入力される電流は 0 A である。したがって、ソース信号線 1 8 R および 1 8 G に接続された画素 1 6 は黒表示となる。

基本的には、1 フレームが 3 フィールドで構成される場合、第 1 フィールドで、表示領域 5 0 の画素 1 6 に順次 R 画像データが書き込まれる。第 2 フィールドでは、表示領域 5 0 の画素 1 6 に順次 G 画像データが書き込まれる。また、第 3 フィールドでは、表示領域 5 0 の画素 1 6 に順次 B 画像が書き込まれる。

以上のように、フィールドごとに R データ → G データ → B データ → R データ → が順次書き換えられシーケンス駆動が実現される。図 1 のようにスイッチングトランジスタ 1 1 d をオンオフさせて、N 倍パルス駆動を実現することなどは、図 5、図 1 3、図 1 6 などで説明をした。これらの駆動方法をシーケンス駆動と組み合わせることができることは言うまでもない。

また、先に説明した実施例では、R 画素 1 6 に画像データを書き込む時は、G 画素および B 画素には黒データを書き込むとした。G 画素 1 6 に画像データを書き込む時は、R 画素および B 画素には黒データを書き込むとした。B 画素 1 6 に画像データを書き込む時は、R 画素および G 画素には黒データを書き込むとした。本発明はこれに限定するものではない。

たとえば、R 画素 1 6 に画像データを書き込む時は、G 画素および B 画素の画像データは前フィールドで書き換えられた画像データを保

持するようにしてもよい。このように駆動すれば画面50輝度を明るくすることができる。G画素16に画像データを書き込む時は、R画素およびB画素の画像データは前フィールドで書き換えられた画像データを保持するようにしする。B画素16に画像データを書き込む時は、G画素およびR画素の画像データは前フィールドで書き換えられた画像データを保持する。

以上のように、書き換えている色画素以外の画素の画像データを保持するには、RGB画素でゲート信号線17aを独立に制御できるようにすればよい。たとえば、図75に図示するように、ゲート信号線17aRは、R画素のトランジスタ11b、トランジスタ11cのオンオフを制御する信号線とする。また、ゲート信号線17aGは、G画素のトランジスタ11b、トランジスタ11cのオンオフを制御する信号線とする。ゲート信号線17aBは、B画素のトランジスタ11b、トランジスタ11cのオンオフを制御する信号線とする。一方、ゲート信号線17bはR画素、G画素、B画素のトランジスタ11dを共通でオンオフさせる信号線とする。

以上のように構成すれば、ソースドライバ回路14がRの画像データを出し、スイッチ752がR接点に切り替わっているときは、ゲート信号線17aRにオン電圧を印加し、ゲート信号線aGとゲート信号線aBとにオフ電圧を印加することができる。したがって、Rの画像データをR画素16に書き込み、G画素16およびB画素16は前にフィールドの画像データを保持したままにできる。

第2フィールドでソースドライバ回路14がGの画像データを出し、スイッチ752がG接点に切り替わっているときは、ゲート信号線17aGにオン電圧を印加し、ゲート信号線aRとゲート信号線a

Bとにオフ電圧を印加することができる。したがって、Gの画像データをG画素16に書き込み、R画素16およびB画素16は前にフィールドの画像データを保持したままにできる。

第3フィールドでソースドライバ回路14がBの画像データを出力し、スイッチ752がB接点に切り替わっているときは、ゲート信号線17aBにオン電圧を印加し、ゲート信号線aRとゲート信号線aGとにオフ電圧を印加することができる。したがって、Bの画像データをB画素16に書き込み、R画素16およびG画素16は前にフィールドの画像データを保持したままにできる。

図75の実施例では、RGBごとに画素16のトランジスタ11bをオンオフさせるゲート信号線17aを形成あるいは配置するとした。しかし、本発明はこれに限定されるものではない。たとえば、図76に図示するように、RGBの画素16に共通のゲート信号線17aを形成または配置する構成であってもよい。

図75などの構成において、切り替えスイッチ752がRのソース信号線を選択しているときは、Gのソース信号線とBのソース信号線はオープンになるとして説明をした。しかし、オープン状態は電氣的にはフローティング状態であり、好ましいことではない。

図76では、このフローティング状態をなくすために対策を行った構成である。出力切り替え回路751のスイッチ752のa端子はV_{aa}電圧（黒表示となる電圧）に接続されている。b端子はソースドライバ回路14の出力端子と接続されている。スイッチ752はRGBそれぞれに設けられている。

図76の状態では、スイッチ752RはV_{aa}端子に接続されている。したがって、ソース信号線18Rには、V_{aa}電圧（黒電圧）が

印加されている。スイッチ 7 5 2 G は V a a 端子に接続されている。したがって、ソース信号線 1 8 G には、V a a 電圧（黒電圧）が印加されている。スイッチ 7 5 2 B はソースドライバ回路 1 4 の出力端子に接続されている。したがって、ソース信号線 1 8 B には、B の映像信号が印加されている。

以上の状態では、B 画素の書き換え状態であり、R 画素と G 画素には黒表示電圧が印加される。以上のようにスイッチ 7 5 2 を制御することにより、画素 1 6 の画像は書き換えられる。なお、ゲート信号線 1 7 b の制御などに関しては以前説明した実施例と同様であるので説明を省略する。

以上の実施例では、第 1 フィールドで R 画素 1 6 を書き換え、第 2 フィールドで G 画素 1 6 を書き換え、第 3 フィールドで B 画素 1 6 を書き換えるとした。つまり、1 フィールドごとに書き換えられる画素の色が変化する。本発明はこれに限定されるものではない。1 水平走査期間（1 H）ごとに書き換える画素の色を変化させてもよい。たとえば、1 H 目に R 画素を書き換え、2 H 番目に G 画素を書き換え、3 H 番目に B 画素を書き換え、4 H 番目に R 画素を書き換え、・・・と駆動する方法である。もちろん、2 H 以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、1 / 3 フィールドごとに書き換える画素の色を変化させてもよい。

図 7 7 は 1 H ごとに書き換える画素の色を変化させた実施例である。なお、図 7 7 から図 7 9 において、斜線でしめした画素 1 6 は、画素を書き換えずに前フィールドの画像データを保持していること、もしくは、黒表示にされていることを示している。もちろん、画素を黒表示したり、前フィールドのデータを保持したりと繰り返し実施しても

よい。

なお、図 7 5 から図 7 9 の駆動方式において、図 1 3 などの N 倍パルス駆動や M 行同時駆動を実施してもよいことは言うまでもない。図 7 5 から図 7 9 などは画素 1 6 の書き込み状態を説明している。EL 素子 1 5 の点灯制御は説明しないが、以前あるいは以降に説明する実施例を組み合わせることができることは言うまでもない。

また、1 フレームは 3 フィールドで構成されることに限定されるものではない。2 フィールドでもよいし、4 フィールド以上でもよい。1 フレームが 2 フィールドで、RGB の 3 原色の場合は、第 1 フィールドで、R と G 画素を書き換え、第 2 フィールドで B 画素を書き換えるという実施例が例示される。また、1 フレームが 4 フィールドで、RGB の 3 原色の場合は、第 1 フィールドで、R 画素を書き換え、第 2 フィールドで G 画素を書き換え、第 3 フィールドと第 4 フィールドで B 画素を書き換えるという実施例が例示される。これらのシーケンスは、RGB の EL 素子 1 5 の発光効率を考慮して検討することのより効率よくホワイトバランスをとることができる。

以上の実施例では、第 1 フィールドで R 画素 1 6 を書き換え、第 2 フィールドで G 画素 1 6 を書き換え、第 3 フィールドで B 画素 1 6 を書き換えるとした。つまり、1 フィールドごとに書き換えられる画素の色が変化する。

図 7 7 の実施例では、第 1 フィールドの 1 H 目に R 画素を書き換え、2 H 番目に G 画素を書き換え、3 H 番目に B 画素を書き換え、4 H 番目に R 画素を書き換え、・・・・・・と駆動する方法である。もちろん、2 H 以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、1 / 3 フィールドごとに書き換える画素の色を変化

させてもよい。

図 7 7 の実施例では、第 1 フィールドの 1 H 目に R 画素を書き換え、2 H 番目に G 画素を書き換え、3 H 番目に B 画素を書き換え、4 H 番目に R 画素を書き換える。第 2 フィールドの 1 H 目に G 画素を書き換え、2 H 番目に B 画素を書き換え、3 H 番目に R 画素を書き換え、4 H 番目に G 画素を書き換える。第 3 フィールドの 1 H 目に B 画素を書き換え、2 H 番目に R 画素を書き換え、3 H 番目に G 画素を書き換え、4 H 番目に B 画素を書き換える。

以上のように、各フィールドで R、G、B 画素を任意にあるいは所定の規則性を持って書き換えることにより、R、G、B のカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

図 7 8 では、1 H ごとに書き換えられる画素 1 6 の色数は複数となっている。図 7 7 では、第 1 フィールドにおいて、1 H 番目は書き換えられる画素 1 6 は R 画素であり、2 H 番目は書き換えられる画素 1 6 は G 画素である。また、3 H 番目は書き換えられる画素 1 6 は B 画素であり、4 H 番目は書き換えられる画素 1 6 は R 画素である。

図 7 8 では、1 H ごとに、書き換える画素の色位置を異ならせている。各フィールドで R、G、B 画素を異ならせ（所定の規則性を持っていてもよいことは言うまでもない）、順次書き換えることにより、R、G、B のカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

なお、図 7 8 の実施例においても、各絵素（R G B 画素の組）では、R G B の点灯時間あるいは発光強度を一致させる。このことは、図 7 6、図 7 7 などの実施例においても同然、実施することは言うまで

もない。色ムラになるからである。

図 7 8 のように、1 H ごとに書き換える画素の色数（図 7 8 の第 1 フィールドの 1 H 番目は、R、G、B の 3 色書き換えられている）を複数にするのは、図 7 5 において、ソースドライバ回路 1 4 が各出力端子に任意（一定の規則性があってもよい）の色の映像信号を出力できるように構成し、スイッチ 7 5 2 が接点 R、G、B を任意（一定の規則性があってもよい）に接続できるように構成すればよい。

図 7 9 の実施例の表示パネルでは、R G B の 3 原色に加えて、W（白）の画素 1 6 W を有している。画素 1 6 W を形成または配置することにより、色ピーク輝度を良好に実現できる。また、高輝度表示を実現できる。図 7 9 の（a）は 1 画素行に、R、G、B、W 画素 1 6 を形成した実施例である。図 7 9 の（b）は、1 画素行ごとに、R G B、W の画素 1 6 を配置した構成である。

図 7 9 の駆動方法においても、図 7 7、図 7 8 などの駆動方式を実施できることは言うまでもない。また、N 倍パルス駆動や、M 画素行同時駆動などを実施できることは言うまでもない。これらの事項は、当業者であれば本明細書により容易に具現化できるので説明を省略する。

なお、本発明は説明を容易にするため、本発明の表示パネルは R G B の 3 原色を有するとして説明しているが、これに限定するものではない。R G B に加えて、シアン、イエロー、マゼンダを加えても良いし、R、G、B のいずれかの単色、R、G、B のいずれかの 2 色を用いた表示パネルであってもよい。

また、以上のシーケンス駆動方式では、フィールドごとに R G B を操作するとしてが、本発明はこれに限定されるものではないことは言

うまでもない。また、図75から図79の実施例は、画素16に画像データを書き込む方法について説明したものである。図1などのトランジスタ11dを操作し、EL素子15に電流を流して画像を表示する方式を説明したものではない（もちろん、関連している）。EL素子15に流れる電流は、図1の画素構成では、トランジスタ11dを制御することにより行う。

また、図77、図78などの駆動方法では、トランジスタ11d（図1の場合）を制御することにより、RGB画像を順次表示することができる。たとえば、図80の（a）は1フレーム（1フィールド）期間にR表示領域53R、G表示領域53G、B表示領域53Bを画面の上から下方向（下方向から上方向でもよい）に走査する。RGBの表示領域以外の領域は非表示領域52とする。つまり、間欠駆動を実施する。

図80の（b）は1フィールド（1フレーム）期間にRGB表示領域53を複数発生するように実施した実施例である。この駆動方法は、図16の駆動方法と類似である。したがって、説明を必要としないであろう。図80の（b）に表示領域53を複数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。

図81の（a）は、RGBの表示領域53で表示領域53の面積を異ならせたものである（表示領域53の面積は点灯期間に比例することはない）。図81の（a）では、R表示領域53RとG表示領域53Gと面積を同一にしている。G表示領域53GよりB表示領域53Bの面積を大きくしている。有機EL表示パネルでは、Bの発光効率が悪い場合が多い、図81の（a）のようにB表示領域53Bを他の色の表示領域53よりも大きくすることにより、効率よく

ホワイトバランスをとることができるようになる。

図 8 1 の (b) は、1 フィールド (フレーム) 期間で、B 表示期間 5 3 B が複数 (5 3 B 1、5 3 B 2) となるようにした実施例である。図 8 1 の (a) は 1 つの B 表示領域 5 3 B を変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図 8 1 の (b) は、同一面積の B 表示領域 5 3 B を複数表示させることにより、ホワイトバランスを良好にする。

本発明の駆動方式は図 8 1 の (a) と図 8 1 の (b) のいずれに限定するものではない。R、G、B の表示領域 5 3 を発生し、また、間欠表示することにより、結果として動画ボケを対策し、画素 1 6 への書き込み不足を改善することを目的としている。なお、図 1 6 の駆動方法では、R、G、B が独立の表示領域 5 3 は発生しない。R G B が同時に表示される (W 表示領域 5 3 が表示されると表現すべきである)。なお、図 8 1 の (a) と図 8 1 の (b) とは組み合わせてもよいことはいうまでもない。たとえば、図 8 1 の (a) の R G B の表示面積 5 3 を変化し、かつ図 8 1 の (b) の R G B の表示領域 5 3 を複数発生させる駆動方法の実施である。

なお、図 8 0 から図 8 1 の駆動方式は、図 7 5 から図 7 9 の本発明の駆動方式に限定されるものではない。図 4 1 のように、R G B ごとに E L 素子 1 5 (E L 素子 1 5 R、E L 素子 1 5 G、E L 素子 1 5 B) に流れる電流を制御できる構成あれば、図 8 0、図 8 1 の駆動方式を容易に実施できることは言うまでもないであろう。ゲート信号線 1 7 b R にオンオフ電圧を印加することにより、R 画素 1 6 R をオンオフ制御することができる。ゲート信号線 1 7 b G にオンオフ電圧を印加することにより、G 画素 1 6 G をオンオフ制御することができる。

ゲート信号線 1 7 b B にオンオフ電圧を印加することにより、B 画素 1 6 B をオンオフ制御することができる。

また、以上の駆動を実現するためには、図 8 2 に図示するように、ゲート信号線 1 7 b R を制御するゲートドライバ回路 1 2 b R、ゲート信号線 1 7 b G を制御するゲートドライバ回路 1 2 b G、ゲート信号線 1 7 b B を制御するゲートドライバ回路 1 2 b B を形成または配置すればよい。図 8 2 のゲートドライバ 1 2 b R、1 2 b G、1 2 b B を図 6 など で説明した方法で駆動することにより、図 8 0、図 8 1 の駆動方法を実現できる。もちろん、図 8 2 の表示パネルの構成で、図 1 6 の駆動方法なども実現できることは言うまでもない。

また、図 7 5 から図 7 8 の構成で、画像データを書き換える画素 1 6 以外の画素 1 6 に、黒画像データを書き換える方式であれば、E L 素子 1 5 R を制御するゲート信号線 1 7 b R、E L 素子 1 5 G を制御するゲート信号線 1 7 b G、E L 素子 1 5 B を制御するゲート信号線 1 7 b B が分離されておらず、R G B 画素に共通のゲート信号線 1 7 b であっても、図 8 0、図 8 1 の駆動方式を実現できることは言うまでもない。

E L 素子 1 5 において、電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりのようにキャリアが蓄積されたりする。

有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時

の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

図45は、逆バイアス電圧 V_m とEL素子15の端子電圧の変化を示している。この端子電圧とは、EL素子15に定格電流を印加した時である。図45はEL素子15に流す電流が電流密度 100 A/平方メートル の場合であるが、図45の傾向は、電流密度 $50\sim 100\text{ A/平方メートル}$ の場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

縦軸は初期のEL素子15の端子電圧に対して、2500時間後の端子電圧との比である。たとえば、経過時間0時間において、電流密度 100 A/平方メートル の電流の印加した時の端子電圧が8 (V)とし、経過時間2500時間において、電流密度 100 A/平方メートル の電流の印加した時の端子電圧が10 (V)とすれば、端子電圧比は、 $10/8 = 1.25$ である。

横軸は、逆バイアス電圧 V_m と1周期に逆バイアス電圧を印加した時間 t_1 の積に対する定格端子電圧 V_0 の比である。たとえば、60 Hz (とくに60 Hzに意味はないが) で、逆バイアス電圧 V_m を印加した時間が $1/2$ (半分) であれば、 $t_1 = 0.5$ である。また、経過時間0時間において、電流密度 100 A/平方メートル の電流の印加した時の端子電圧 (定格端子電圧) が8 (V) とし、逆バイアス電圧 V_m を8 (V) とすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端$

子電圧 $\times t_2$) = $| -8 \text{ (V)} \times 0.5 | / (8 \text{ (V)} \times 0.5) = 1.0$ となる。

図45によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上で端子電圧比の変化はなくなる(初期の定格端子電圧から変化しない)。逆バイアス電圧 V_m の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.75以上で端子電圧比は増加する傾向にある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.0以上にするように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 (もしくは t_2 、あるいは t_1 と t_2 との比率)を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.75以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

ただし、バイアス駆動を行う場合は、逆バイアス V_m と定格電流とを交互に印加する必要がある。図46のようにサンプルAとBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧 V_m を印加する場合(図46のサンプルA)のEL素子15の端子電圧も高くなる。

しかし、図45では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧 V_0 とは、平均輝度を満足する端子電圧(つまり、EL素子15を点灯する端子電圧)とする(本明細書の具体例によれば、電流密度 200 A/平方メートル の電流の印加した時の端子電圧である。ただし、 $1/2$ デューティであるので、1周期の平均輝度は電流密度 200 A/平方メートル での輝度となる)。

以上の事項は、EL素子15を、白ラスタ表示（画面全体のEL素子に最大電流を印加している場合）を想定している。しかし、EL表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、EL素子15の白ピーク電流（最大白表示で流れる電流。本明細書の具体例では、平均電流密度100A/平方メートルの電流）が流れているのではない。

一般的に、映像表示を行う場合は、各EL素子15に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度100A/平方メートルの電流）の約0.2倍である。

したがって、図45の実施例では、映像表示を行う場合は横軸の値に0.2をかけるものとする必要がある。したがって、 $\frac{|\text{逆バイアス電圧} \times t_1|}{(\text{定格端子電圧} \times t_2)}$ は0.2以上にするように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率など）を決定するとよい。また、好ましくは、 $\frac{|\text{逆バイアス電圧} \times t_1|}{(\text{定格端子電圧} \times t_2)}$ は $1.75 \times 0.2 = 0.35$ 以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

つまり、図45の横軸（ $\frac{|\text{逆バイアス電圧} \times t_1|}{(\text{定格端子電圧} \times t_2)}$ ）において、1.0の値を0.2とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスタを常時表示することはないであろう）時は、 $\frac{|\text{逆バイアス電圧} \times t_1|}{(\text{定格端子電圧} \times t_2)}$ が0.2よりも大きくなるように、逆バイアス電圧 V_m を所定時間 t_1 印加するようにする。また、 $\frac{|\text{逆バイアス電圧} \times t_1|}{(\text{定格端子電圧} \times t_2)}$ の値が大きく

なっても、図 4 5 で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスタ表示を実施することとも考慮して、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が 1.75 以下を満足するようにすればよい。

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明は EL 素子 1 5 に電流が流れていない期間に逆バイアス電圧 V_m (電流) を印加することを基本とする。しかし、これに限定するものではない。たとえば、EL 素子 1 5 に電流が流れている状態で、強制的に逆バイアス電圧 V_m を印加してもよい。なお、この場合は、結果として EL 素子 1 5 には電流が流れず、非点灯状態 (黒表示状態) となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧 V_m を印加することを中心として説明するがこれに限定するものではない。

逆バイアス駆動の画素構成では、図 4 7 に図示するように、トランジスタ 1 1 g を N チャンネルとする。もちろん、P チャンネルでもよい。

図 4 7 では、ゲート電位制御線 4 7 3 に印加する電圧を逆バイアス線 4 7 1 に印加している電圧よりも高くすることにより、トランジスタ 1 1 g (N) がオンし、EL 素子 1 5 のアノード電極に逆バイアス電圧 V_m が印加される。

また、図 4 7 の画素構成などにおいて、ゲート電位制御線 4 7 3 を常時、電位固定して動作させてもよい。たとえば、図 4 7 において V_k 電圧が 0 (V) とする時、ゲート電位制御線 4 7 3 の電位を 0 (V) 以上 (好ましくは 2 (V) 以上) にする。なお、この電位を V_{sg} とする。この状態で、逆バイアス線 4 7 1 の電位を逆バイアス電圧 V

m (0 (V) 以下、好ましくは V_k より -5 (V) 以上小さい電圧) にすると、トランジスタ $11g$ (N) がオンし、EL素子 15 のアノードに、逆バイアス電圧 V_m が印加される。逆バイアス線 471 の電圧をゲート電位制御線 473 の電圧 (つまり、トランジスタ $11g$ のゲート (G) 端子電圧) よりも高くすると、トランジスタ $11g$ はオフ状態であるため、EL素子 15 には逆バイアス電圧 V_m は印加されない。もちろん、この状態の時に、逆バイアス線 471 をハイインピーダンス状態 (オープン状態など) としてもよいことは言うまでもない。

また、図 48 に図示するように、逆バイアス線 471 を制御するゲートドライバ回路 $12c$ を別途形成または配置してもよい。ゲートドライバ回路 $12c$ は、ゲートドライバ回路 $12a$ と同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

以上の駆動方法では、トランジスタ $11g$ のゲート (G) 端子は電位固定し、逆バイアス線 471 の電位を変化させるだけで、EL素子 15 に逆バイアス電圧 V_m を印加することができる。したがって、逆バイアス電圧 V_m の印加制御が容易である。また、トランジスタ $11g$ のゲート (G) 端子とソース (S) 端子間に印加される電圧を低減できる。このことは、トランジスタ $11g$ が P チャンネルの場合も同様である。

また、逆バイアス電圧 V_m の印加は、EL素子 15 に電流を流していない時に行うものである。したがって、トランジスタ $11d$ がオンしていない時に、トランジスタ $11g$ をオンさせることにより行えばよい。つまり、トランジスタ $11d$ のオンオフロジックの逆をゲート

電位制御線 4 7 3 に印加すればよい。たとえば、図 4 7 では、ゲート信号線 1 7 b にトランジスタ 1 1 d およびトランジスタ 1 1 g のゲート (G) 端子を接続すればよい。トランジスタ 1 1 d は P チャンネルであり、トランジスタ 1 1 g は N チャンネルであるため、オンオフ動作は反対となる。

図 4 9 は逆バイアス駆動のタイミングチャートである。なお、チャート図において (1) (2) などの添え字は、画素行を示している。説明を容易にするため、(1) とは、第 1 画素行目と示し、(2) とは第 2 画素行目を示すとして説明をするが、これに限定するものではない。(1) が N 画素行目を示し、(2) が N+1 画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、図 4 9 などの実施例では、図 1 などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、図 4 1、図 3 8 などの画素構成においても適用できるものである。

第 1 画素行目のゲート信号線 1 7 a (1) にオン電圧 (V_{g1}) が印加されている時には、第 1 画素行目のゲート信号線 1 7 b (1) にはオフ電圧 (V_{gh}) が印加される。つまり、トランジスタ 1 1 d はオフであり、EL 素子 1 5 には電流が流れていない。

逆バイアス線 4 7 1 (1) には、 V_{s1} 電圧 (トランジスタ 1 1 g がオンする電圧) が印加される。したがって、トランジスタ 1 1 g がオンし、EL 素子 1 5 には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線 1 7 b にオフ電圧 (V_{gh}) が印加された後、所定期間 ($1H$ の $1/200$ 以上の期間、または、 $0.5\mu sec$) 後に、逆バイアス電圧が印加される。また、ゲート信号線 1 7 b にオン電圧 (V_{g1}) が印加される所定期間 ($1H$ の $1/200$ 以上

の期間、または、 $0.5 \mu\text{s}$ 前に、逆バイアス電圧がオフされる。これは、トランジスタ 11 d とトランジスタ 11 g が同時にオンとなることを回避するためである。

次の水平走査期間 (1 H) には、ゲート信号線 17 a にはオフ電圧 (V_{gh}) が印加され、第 2 画素行が選択される。つまり、ゲート信号線 17 b (2) にオン電圧が印加される。一方、ゲート信号線 17 b にはオン電圧 (V_{gl}) が印加され、トランジスタ 11 d がオンして、EL 素子 15 にトランジスタ 11 a から電流が流れ EL 素子 15 が発光する。また、逆バイアス線 471 (1) にはオフ電圧 (V_{sh}) が印加されて、第 1 画素行 (1) の EL 素子 15 には逆バイアス電圧が印加されないようになる。第 2 画素行の逆バイアス線 471 (2) には V_{s1} 電圧 (逆バイアス電圧) が印加される。

以上の動作を順次くりかえすことにより、1 画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、図 48 の回路構成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動 (図 40 参照) や、N 倍パルス駆動、リセット駆動、ダミー画素駆動とも組み合わせることができることは明らかである。

また、逆バイアス電圧の印加は、画像表示の途中に実施することによって限定するものではない。EL 表示装置の電源オフ後、一定の期間の間、逆バイアス電圧が印加されるように構成してもよい。

以上の実施例は、図 1 の画素構成の場合であったが、他の構成においても、図 38、図 41 などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、図 50 は電流プログラム方

式の画素構成である。

図50は、カレントミラーの画素構成である。トランジスタ11cは画素選択素子である。ゲート信号線17a1にオン電圧を印加することにより、トランジスタ11cがオンする。トランジスタ11dはリセット機能と、駆動用トランジスタ11aのドレイン(D)ーゲート(G)端子間をショート(GDショート)する機能を有するスイッチ素子である。トランジスタ11dはゲート信号線17a2にオン電圧を印加することによりオンする。

トランジスタ11dは、該当画素が選択する1H(1水平走査期間、つまり1画素行)以上前にオンする。好ましくは3H前にはオンさせる。3H前とすれば、3H前にトランジスタ11dがオンし、トランジスタ11aのゲート(G)端子とドレイン(D)端子がショートされる。そのため、トランジスタ11aはオフする。したがって、トランジスタ11bには電流が流れなくなり、EL素子15は非点灯となる。

EL素子15が非点灯状態の時、トランジスタ11gがオンし、EL素子15に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ11dがオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ11dとトランジスタ11gとは同時にオンすることになる。

トランジスタ11gのゲート(G)端子は V_{sg} 電圧が印加されて固定されている。逆バイアス線471を V_{sg} 電圧より十分に小さな逆バイアス電圧を逆バイアス線471に印加することによりトランジスタ11gがオンする。

その後、前記該当画素に映像信号が印加(書き込まれる)される水

平走査期間がくると、ゲート信号線 17 a 1 にオン電圧が印加され、トランジスタ 11 c がオンする。したがって、ソースドライバ回路 14 からソース信号線 18 に出力された映像信号電圧がコンデンサ 19 に印加される（トランジスタ 11 d はオン状態が維持されている）。

トランジスタ 11 d をオンさせると黒表示となる。1 フィールド（1 フレーム）期間に占めるトランジスタ 11 d のオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても 1 フィールド（1 フレーム）の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間に EL 素子 15 に流す電流と大きくする必要がある。この動作は、本発明の N 倍パルス駆動である。したがって、N 倍パルス駆動と、トランジスタ 11 d をオンさせて黒表示とする駆動とを組み合わせることが本発明の 1 つの特徴ある動作である。また、EL 素子 15 が非点灯状態で、逆バイアス電圧を EL 素子 15 に印加することが本発明の特徴ある構成（方式）である。

以上の実施例では、画像表示時において、画素が非点灯時に逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用のトランジスタ 11 g を各画素に形成する必要はない。非点灯時とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加する構成である。

例えば、図 1 の画素構成において、画素 16 を選択し（トランジスタ 11 b、トランジスタ 11 c をオンさせる）、ソースドライバ IC（回路）14 から、ソースドライバ IC が出力できる低い電圧 V_0 （例えば、GND 電圧）を出力して駆動用トランジスタ 11 a のドレイ

ン端子 (D) に印加する。この状態でトランジスタ 11 d もオンさせれば EL のアノード端子に V_0 電圧が印加される。同時に、EL 素子 15 のカソード V_k に V_0 電圧に対し、 $-5 \sim -15$ (V) 低い電圧 V_m 電圧を印加すれば EL 素子 15 に逆バイアス電圧が印加される。また、 V_{dd} 電圧も V_0 電圧より $0 \sim -5$ (V) 低い電圧を印加することにより、トランジスタ 11 a もオフ状態となる。以上のようにソースドライバ回路 14 から電圧を出力し、ゲート信号線 17 を制御することにより、逆バイアス電圧を EL 素子 15 に印加することができる。

N 倍パルス駆動は、1 フィールド (1 フレーム) 期間内において、1 度、黒表示をしても再度、EL 素子 15 に所定の電流 (プログラムされた電流 (コンデンサ 19 に保持されている電圧による)) を流すことができる。しかし、図 50 の構成では、一度、トランジスタ 11 d がオンすると、コンデンサ 19 の電荷は放電 (減少を含む) されるため、EL 素子 15 に所定の電流 (プログラムされた電流を流すことができない。しかし、回路動作が容易であるという特徴がある。

なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定するものではなく、図 38、図 50 のような他の電流方式の画素構成にも適用することができる。また、図 51、図 54、図 62 に図示するような電圧プログラムの画素構成でも適用することができる。

図 51 は電圧プログラム方式の画素構成である。トランジスタ 11 b が選択スイッチング素子であり、トランジスタ 11 a が EL 素子 15 に電流を印加する駆動用トランジスタである。この構成で、EL 素子 15 のアノードに逆バイアス電圧印加用のトランジスタ (スイッチ

ング素子) 11gを配置(形成)している。

図51の画素構成では、EL素子15に流す電流は、ソース信号線18に印加され、トランジスタ11bが選択されることにより、トランジスタ11aのゲート(G)端子に印加される。

まず、図51の構成を説明するために、基本動作について図52を用いて説明をする。図51の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の4段階で動作する。

水平同期信号(HD)後、初期化動作が実施される。ゲート信号線17bにオン電圧が印加され、トランジスタ11gがオンする。また、ゲート信号線17aにもオン電圧が印加され、トランジスタ11cがオンする。この時、ソース信号線18にはV_{dd}電圧が印加される。したがって、コンデンサ19bのa端子にはV_{dd}電圧が印加されることになる。この状態で、駆動用トランジスタ11aはオンし、EL素子15に僅かな電流が流れる。この電流により駆動用トランジスタ11aのドレイン(D)端子は少なくともトランジスタ11aの動作点よりも大きな絶対値の電圧値となる。

次にリセット動作が実施される。ゲート信号線17bにオフ電圧が印加され、トランジスタ11eがオフする。一方、ゲート信号線17cにT₁の期間、オン電圧が印加され、トランジスタ11bがオンする。このT₁の期間がリセット期間である。また、ゲート信号線17aには1Hの期間、継続してオン電圧が印加される。なお、T₁は1H期間の20%以上90%以下の期間とすることが好ましい。もしくは、20μsec以上160μsec以下の時間とすることが好ましい。また、コンデンサ19b(C_b)とコンデンサ19a(C_a)の

容量の比率は、 $C_b : C_a = 6 : 1$ 以上 $1 : 2$ 以下とすることが好ましい。

リセット期間では、トランジスタ 11b のオンにより、駆動用トランジスタ 11a のゲート (G) 端子とドレイン (D) 端子間がショートされる。したがって、トランジスタ 11a のゲート (G) 端子電圧とドレイン (D) 端子電圧が等しくなり、トランジスタ 11a はオフセット状態 (リセット状態：電流が流れない状態) となる。このリセット状態とはトランジスタ 11a のゲート (G) 端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ 19b の b 端子に保持される。したがって、コンデンサ 19 には、オフセット電圧 (リセット電圧) が保持されていることになる。

次のプログラム状態では、ゲート信号線 17c にオフ電圧が印加されトランジスタ 11b がオフする。一方、ソース信号線 18 には、T_d の期間、DATA 電圧が印加される。したがって、駆動用トランジスタ 11a のゲート (G) 端子には、DATA 電圧 + オフセット電圧 (リセット電圧) が加えられたものが印加される。そのため、駆動用トランジスタ 11a はプログラムされた電流を流せるようになる。

プログラム期間後、ゲート信号線 17a にはオフ電圧が印加され、トランジスタ 11c はオフ状態となり、駆動用トランジスタ 11a はソース信号線 18 から切り離される。また、ゲート信号線 17c にもオフ電圧が印加され、トランジスタ 11b がオフし、このオフ状態は 1F の期間保持される。一方、ゲート信号線 17b には、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図 13、図 15 などの N 倍パルス駆動などと組み合わせること、インターレース

駆動と組み合わせることによりさらに良好な画像表示を実現できる。また、逆バイアス駆動と組み合わせることができる。以上のように本発明の駆動方式は、図 1 などの電流駆動方式の画素構成に限定されるものではなく、電圧プログラム方式の画素構成にも適用できる。

図 5 2 の駆動方式では、リセット状態でコンデンサ 1 9 には、トランジスタ 1 1 a の開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧がトランジスタ 1 1 a のゲート（G）端子に印加されている時が、最も暗い黒表示状態である。しかし、ソース信号線 1 8 と画素 1 6 とのカップリング、コンデンサ 1 9 への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、図 5 3 で説明した駆動方法では、表示コントラストを高くすることができない。

逆バイアス電圧 V_m を EL 素子 1 5 に印加するためには、トランジスタ 1 1 a がオフさせる必要がある。トランジスタ 1 1 a をオフさせるためには、トランジスタ 1 1 a の V_{dd} 端子とゲート（G）端子間をショートすればよい。この構成については、後に図 5 3 を用いて説明をする。

また、ソース信号線 1 8 に V_{dd} 電圧またはトランジスタ 1 1 a をオフさせる電圧を印加し、トランジスタ 1 1 b をオンさせてトランジスタ 1 1 a のゲート（G）端子に印加させてもよい。この電圧によりトランジスタ 1 1 a がオフする（もしくは、ほとんど、電流が流れないような状態にする（略オフ状態：トランジスタ 1 1 a が高インピーダンス状態））。その後、トランジスタ 1 1 g をオンさせて、EL 素子 1 5 に逆バイアス電圧を印加する。この逆バイアス電圧 V_m の印加は、全画素同時に行ってもよい。つまり、ソース信号線 1 8 にラン

ジスタ 11 a を略オフする電圧を印加し、すべての（複数の）画素行のトランジスタ 11 b をオンさせる。したがって、トランジスタ 11 a がオフする。その後、トランジスタ 11 g をオンさせて、逆バイアス電圧を EL 素子 15 に印加する。その後、順次、各画素行に映像信号を印加し、表示装置に画像を表示する。

次に、図 5 1 の画素構成におけるリセット駆動について説明をする。図 5 3 はその実施例である。図 5 3 に示すように画素 16 a のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 17 a は次段画素 16 b のリセット用トランジスタ 11 b のゲート（G）端子にも接続されている。同様に、画素 16 b のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 17 a は次段画素 16 c のリセット用トランジスタ 11 b のゲート（G）端子に接続されている。

したがって、画素 16 a のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 a が電圧プログラム状態となるとともに、次段画素 16 b のリセット用トランジスタ 11 b がオンし、画素 16 b の駆動用トランジスタ 11 a がリセット状態となる。同様に、画素 16 b のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 b が電流プログラム状態となるとともに、次段画素 16 c のリセット用トランジスタ 11 b がオンし、画素 16 c の駆動用トランジスタ 11 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

さらに詳しく説明する。図 5 3 の（a）のようにゲート信号線 17 に電圧が印加されているとする。つまり、画素 16 a のゲート信号線

17aにオン電圧が印加され、他の画素16のゲート信号線17aにオフ電圧が印加されているとする。また、ゲート信号線17bは画素16a、16bにはオフ電圧が印加され、画素16c、16dにはオン電圧が印加されているとする。

この状態では、画素16aは電圧プログラム状態で非点灯、画素16bはリセット状態で非点灯、画素16cはプログラム電流の保持状態で点灯、画素16dはプログラム電流の保持状態で点灯状態である。

1H後、制御用ゲートドライバ回路12のシフトレジスタ回路61内のデータが1ビットシフトし、図53の(b)の状態となる。図53の(b)の状態は、画素16aはプログラム電流保持状態で点灯、画素16bは電流プログラム状態で非点灯、画素16cはリセット状態で非点灯、画素16dはプログラム保持状態で点灯状態である。

以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用トランジスタ11aがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

図43に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。図54は図43の画素構成を前段ゲート制御方式の接続とした実施例である。

図54に示すように画素16aのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aは次段画素16bのリセット用トランジスタ11eのゲート(G)端子に接続されている。同様に、画素16bのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aは次段画素16cのリセット用トランジスタ11eのゲート(G)端子に接続されている。

したがって、画素16aのトランジスタ11bのゲート(G)端子

に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 a が電圧プログラム状態となるとともに、次段画素 16 b のリセット用トランジスタ 11 e がオンし、画素 16 b の駆動用トランジスタ 11 a がリセット状態となる。同様に、画素 16 b のトランジスタ 11 b のゲート (G) 端子に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 b が電流プログラム状態となるとともに、次段画素 16 c のリセット用トランジスタ 11 e がオンし、画素 16 c の駆動用トランジスタ 11 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

さらに詳しく説明する。図 55 の (a) のようにゲート信号線 17 に電圧が印加されているとする。つまり、画素 16 a のゲート信号線 17 a にオン電圧が印加され、他の画素 16 のゲート信号線 17 a にオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ 11 g はオフ状態であるとする。

この状態では、画素 16 a は電圧プログラム状態、画素 16 b はリセット状態、画素 16 c はプログラム電流の保持状態、画素 16 d はプログラム電流の保持状態である。

1 H 後、制御用ゲートドライバ回路 12 のシフトレジスタ回路 61 内のデータが 1 ビットシフトし、図 55 の (b) の状態となる。図 55 の (b) の状態は、画素 16 a はプログラム電流保持状態、画素 16 b は電流プログラム状態、画素 16 c はリセット状態、画素 16 d はプログラム保持状態である。

以上のことから、各画素は前段に印加されたゲート信号線 17 a の電圧により、次段の画素の駆動用トランジスタ 11 a がリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

電流駆動方式では、完全黒表示では、画素の駆動用トランジスタ 11 にプログラムされる電流は 0 である。つまり、ソースドライバ回路 14 からは電流が流れない。電流が流れなければ、ソース信号線 18 に発生した寄生容量を充放電することができず、ソース信号線 18 の電位を変化させることができない。したがって、駆動用トランジスタのゲート電位も変化しないことになり、1 フレーム（フフィールド）（1 F）前の電位がコンデンサ 19 に蓄積されたままとなる。たとえば、1 フレーム前が白表示で、次のフレームが完全黒表示であっても白表示が維持されることになる。こ

の課題を解決するため、本発明では、1 水平走査期間（1 H）の最初に黒レベルの電圧をソース信号線 18 に書き込んでから、ソース信号線 18 にプログラムする電流を出力する。たとえば、映像データが黒レベルに近い 0 階調目～7 階調目の場合、1 水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を 0 階調目とし、完全白表示を 63 階調目とする（64 階調表示の場合）。

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

好ましくは、階調データの階調 0 から 1/8 の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 階調目から 7 階調目までの画像データの時、プリチャージを行ってから、画像データ

を書き込む)。さらに、好ましくは、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う(たとえば、64階調の時は、0階調目から3階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む)。

特に黒表示で、コントラストを高くするためには、階調0のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。問題は、画面全体が階調1、2の場合に画面が黒浮きして見えることである。したがって、階調データの階調0から1/8の領域の階調と、一定の範囲で選択プリチャージを行う。

なお、プリチャージの電圧、階調範囲は、R、G、Bで異ならせることも有効である。EL表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う(たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む)。他の色(G、B)は、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う(たとえば、64階調の時は、0階調目から3階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む)などの制御を行う。また、プリチャージ電圧も、Rは7(V)であれば、他の色(G、B)は、7.5(V)の電圧をソース信号線18に書き込むようにする。最適なプリチャージ電圧は、EL表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

画素 16 には電荷保持用のコンデンサ 19 が形成されている。このコンデンサ 19 に保持された電荷が 1 フィールド（1 フレーム）期間に 10% 以上放電すると、黒表示状態を維持できなくなる。画像表示状態は、トランジスタ 11 のオフ特性が悪い画素が輝点（オフリーク輝点と呼ぶ）となる。したがって、特に図 1 などのトランジスタ 11 b のオフ特性は良好にする必要がある。

本発明はこの課題を解決するために、ゲート信号線 17 b を操作し、オン状態のトランジスタ 11 d を短期間オフさせる。この駆動方法により、保持用のトランジスタ 11 b のオフ特性が悪くともオフリーク輝点の発生を抑制できる。また、保持用のトランジスタ 11 b のオフ期間を変化させることによりオフリーク輝点の抑制効果を調整することができる。

図 115 の（a）に図示するように、オフリーク輝点はコンデンサ 19 に保持された電荷が、トランジスタ 11 b を介してリークすることにより発生すると考えられる。トランジスタ 11 d がオン状態のとき、基本的には、A 点の電位は低くなるからである。したがって、トランジスタ 11 d のオン状態が長時間継続すると、コンデンサ 19 の電荷はどんどんと放電され、オフリーク輝点が発生する。図 16 のように表示領域 53 と非表示領域 52 が短期間で繰り返されるとき、図 13 のように非表示領域 52 の割合が高いときは、オフリーク輝点は発生しない。しかし、図 5 のように表示領域 53 が長時間継続するとオフリーク輝点が発生してしまう。

また、本発明の表示パネルの駆動方法は、画像データの内容によって、図 5 の状態、図 13 の状態、図 16 の状態を切り替えて画像表示する。したがって、画像表示の内容によっては、図 5 の表示状態が継

続する場合があります。この図5の状態が発生した場合に以下に説明する駆動方法を実施すると効果がある。つまり、以下に説明する実施例は、常時行う必要はない。トランジスタ11dのオン状態が一定期間、継続する場合に実施すればよい。

トランジスタ11dがオフすると、A点の電位が少なくとも一度、高くなる。そのため、図115の(b)に図示するように、A点からB点に向かって電流が流れ、コンデンサ19が再充電される。したがって、オフリーク輝点は発生しない。つまり、トランジスタ11dをオンオフさせることにより、コンデンサ19の電荷が充電される。

なお、以上の説明は、現象に対して理論的に推定される考察である。したがって、理解が間違っている可能性はある。しかし、実際のパネルにおいて、本発明の駆動方法を実施することのよりオフリーク輝点の抑制に効果があることは事実である。

図1（図115）の画素構成は、駆動用トランジスタ11aとスイッチトランジスタ11dがPチャンネルトランジスタである。したがって、トランジスタ11dがオン状態のとき、トランジスタ11bがリークする。一方、トランジスタ11dがオフするとA点の電位が高くなり、電荷のリークを抑制し、または、再充電される。したがって、トランジスタ11dがNチャンネルの時は、トランジスタ11dがオフ状態で、コンデンサ19の電荷がリークし、トランジスタ11dがオン状態で再充電される。なお、駆動用トランジスタがNチャンネルの場合は、オフリーク輝点とならず、白表示でさらに輝度が高くなるという現象になる。この場合も、本発明の実施により対策できることは言うまでもない。

ここで説明を容易にするため、*d u t y*という概念を導入する。S

TN液晶表示パネルで *duty* という言葉があるが、本発明ではこの *duty* と異なる。本発明の *duty* 1/1 とは、たえず、1フィールド（1フレーム）の期間、EL素子15に電流が流れている駆動状態を意味する。つまり、表示画面50で非表示領域52が0%の状態をいう。ただし、実際の駆動状態では、電流（電圧）プログラムを行っている画素行は、非表示状態にされるから、厳密には図1の構成では、*duty* 1/1の状態は発生しない。ただし、画素行数は表示パネルにおいて200画素行以上形成されるため、非表示領域が1画素行程度は誤差の範疇である。一方、*duty* 0/1とは、1フィールド（1フレーム）の期間、全くEL素子15に電流が流れない状態をいう。つまり、表示画面50で非表示領域52が100%の状態をいう。EL表示パネルの画素行が220本形成されている場合について説明をする。

duty に関し、例をあげれば、*duty* 220/220は約分して *duty* 1/1 とする。*duty* 55/220 = 1/4 であるから、*duty* 1/4 と呼ぶ。*duty* 1/4 は3/4の領域が非表示領域52である。したがって、N倍パルス駆動では、N=4とすることにより、目標（所定）の表示輝度を得ることができる。*duty* 110/220 = 1/2 であるから、*duty* 1/2 と呼ぶ。*duty* 1/2 は、50%が非表示領域52である。したがって、N倍パルス駆動ではN=2とすることにより、所定の表示輝度を得ることができる。

本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線17a（図1の場合）であるとして説明をする。また、ゲート信号線17aを制御するゲートドライバ回路12aの出力をWR側選択信号線と呼ぶ。EL素子15を選択するゲート信号線17b

(図 1 の場合) であるとして説明をする。また、ゲート信号線 1 7 b を制御するゲートドライバ回路 1 2 b の出力をゲート信号線 1 7 B (E L 側選択信号線) と呼ぶ。

ゲートドライバ回路 1 2 は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路 1 2 a のシフトレジスタ内の保持データにより、WR 側選択信号線に出力される電圧がオン電圧 (V_{g1}) かオフ電圧 (V_{gh}) かが決定される。さらに、ゲートドライバ回路 1 2 a の出力段には、強制的に出力をオフにする OEV1 回路 (図示せず) が形成または配置されている。OEV1 回路が L レベルの時には、ゲートドライバ回路 1 2 a の出力である WR 側選択信号をそのままゲート信号線 1 7 a に出力する。以上の関係をロジック的に図示すれば、図 1 1 6 の (a) の関係となる。なお、オン電圧をロジックレベルの L (0) とし、オフ電圧をロジック電圧の H (1) としている。

つまり、ゲートドライバ回路 1 2 a がオフ電圧を出力している場合は、ゲート信号線 1 7 a にオフ電圧が印加される。ゲートドライバ回路 1 2 a がオン電圧 (ロジックでは L レベル) を出力している場合は、OR 回路で OEV1 回路の出力と OR が取られてゲート信号線 1 7 a に出力される。つまり、OEV1 回路は、H レベルの時、ゲートドライバ信号線 1 7 a に出力する電圧をオフ電圧 (V_{gh}) にする。

ゲートドライバ回路 1 2 b のシフトレジスタ内の保持データにより、ゲート信号線 1 7 B (E L 側選択信号線) に出力される電圧がオン電圧 (V_{g1}) かオフ電圧 (V_{gh}) かが決定される。さらに、ゲートドライバ回路 1 2 b の出力段には、強制的に出力をオフにする OEV2 回路 (図示せず) が形成または配置されている。OEV2 回路が

Lレベルの時には、ゲートドライバ回路12bの出力をそのままゲート信号線17bに出力する。以上の関係をロジック的に図示すれば、図116の(a)の関係となる。なお、オン電圧をロジックレベルのL(0)とし、オフ電圧をロジック電圧のH(1)としている。

つまり、ゲートドライバ回路12bがオフ電圧を出力している場合(E L側選択信号はオフ電圧)は、ゲート信号線17bにオフ電圧が印加される。ゲートドライバ回路12bがオン電圧(ロジックではLレベル)を出力している場合は、OR回路でOE V2回路の出力とORが取られてゲート信号線17bに出力される。つまり、OE V2回路は、入力信号がHレベルの時、ゲートドライバ信号線17bに出力する電圧をオフ電圧(V_{gh})にする。したがって、OE V2回路のよりE L側選択信号がオン電圧出力状態であっても、強制的にゲート信号線17bに出力される信号はオフ電圧(V_{gh})になる。なお、OE V2回路の入力がLであれば、E L側選択信号がスルーでゲート信号線17bに出力される。

以下の実施例では、OE V2回路を操作することにより、図115の状態を実施し、オフリーク輝点対策を行う。つまり、ゲート信号線17B(E L側選択信号線)の出力において、オン電圧が継続する場合であっても、周期的にOE V2回路にHレベルロジックを入力し、トランジスタ11dをオフさせる。この強制的なトランジスタ11dのオフ動作によりオフリーク輝点の発生を解決できる。

図116は本発明の駆動方法の実施例である。OE V1回路はLレベルであるから、ゲートドライバ回路12aの出力に基づいて、1画素行ずつ画素行が選択され、電流(電圧)プログラムが実施される。したがって、画素行を選択する信号は画素側選択信号と同一である。

ゲートドライバ回路 12b (EL側選択信号線)の方は、図116に図示するように、OE V 2回路を操作し、1水平走査期間(1H)ごとにOE V 2回路にHロジックを印加し、ゲート信号線 17B (EL側選択信号線)に強制的にオフ電圧を印加する。したがって、ゲートドライバ回路 12bが出力する信号が常時オン電圧(V_{g1})であっても、OE V 2回路の信号のより、1Hごとに一定の期間オフ電圧がゲート信号線 17bに出力される。OE V 2回路によるオフ電圧の印加によりコンデンサ 19の放電が抑制され(図115を参照のこと)、オフリーク輝点を抑制できる。

図116はOE V 1によるゲート信号線 17aに出力される電圧変化と、OE V 2によるゲート信号線 17bに出力される電圧変化とを図示している。ゲート信号線 17aはOE V 1が常時Lレベルであるので、WR側選択信号線の波形がそのままゲート信号線 17aの印加波形となる。ゲート信号線 17bはOE V 2がHレベルとLレベルを変化するので、ゲート信号線 17B (EL側選択信号線)の出力とOE V 2回路の出力とがORされてゲート信号線 17bの印加波形となる。したがって、図116では、OE V 2回路にH電圧印加された部分(Aで示す)と、EL選択信号線のオフ部分(Bで示す)が加えた期間(A+B)の間、ゲート信号線 17bには、オフ電圧が印加される。また、OE V 2回路にH電圧印加された期間もゲート信号線 17bにオフ電圧が印加される。

なお、OE V 2回路の操作により、EL素子 15が点灯する期間を制御することができる。したがって、OE V 2回路の制御により表示パネルの画面 50の輝度を変更できる。つまり、OE V 2回路により、オフリーク輝点を抑制できるとともに、画面輝度を制御できる効果

がある。

図 1 1 7 は、従来の駆動方法では $duty\ 1/1$ 駆動が該当する（ゲート信号線 1 7 B（E L 側選択信号線）はたえず、オン電圧が印加されている状態である。ただし、図 1 の画素構成では、W R 側選択信号線にオン電圧が印加されている時は、ゲート信号線 1 7 B（E L 側選択信号線）にもオフ電圧を印加する必要がある。そのため、ゲート信号線 1 7 a にオン電圧が印加されている時は、ゲート信号線 1 7 b にはオフ電圧が印加される。

$duty\ 1/1$ 駆動状態では、オフリーク輝点が発生する。トランジスタ 1 1 b のチャンネル間（S D 間）電圧が大きく、トランジスタ 1 1 b がリークするからである。図 1 1 7 の図示するように、O E V 2 を 1 H に所定期間の間 H レベルにすることにより、ゲート信号線 1 7 b に印加される電圧はオフ電圧印加状態となる。そのため、トランジスタ 1 1 d がオンオフし、図 1 1 5 の状態が発生する。トランジスタ 1 1 d がオフするとトランジスタ 1 1 b のチャンネル間（S D 間）電圧が小さくなる。また、図 1 1 5 の（b）の状態となる。したがって、トランジスタ 1 1 b のリークが減少し、オフリーク輝点の発生はなくなるか、もしくは大幅に改善する。

なお、図 1 1 7 は、1 H ごとに O E V 2 回路を操作するとしたが、これに限定するものではない。たとえば、図 1 1 8 に図示するように、2 H 以上ごとにオンオフさせてもよいことは言うまでもない。もちろん、3 H 以上に、1 回かつ所定期間の間、O E V 2 回路を制御してトランジスタ 1 1 d をオンオフ動作させてもよい。2 画素行に対応するゲート信号線 1 7 b にオン電圧を印加にし、2 画素行ずつ選択する場合（図 2 4 などを参照のこと）も同様に、本発明の駆動方法を適用

することができることはいうまでもない。

図 1 1 9 はゲート信号線 1 7 b に印加される電圧がオン電圧またはオフ電圧が周期的に印加される場合である。ゲート信号線 1 7 b に印加される電圧はオン電圧印加状態が継続せずに、オフ電圧とオン電圧が周期的に印加される。オン電圧とオフ電圧とをゲート信号線 1 7 b に印加する場合であっても、一定の期間以上、オン電圧印加状態が継続すると、オフリーク輝点が発生する場合がある。この場合も O E V 2 回路の操作により、所定期間ごとにゲート信号線 1 7 b にオフ電圧が印加するように制御する。この制御により、トランジスタ 1 1 d は周期的にオフ状態になる。そのため、トランジスタ 1 1 b のリークが減少し、オフリーク輝点の発生はなくなるか、もしくは大幅に改善する

図 1 1 7、図 1 1 8 などは、1 H の始まり期間あるいは 1 H の終わり期間に O E V 2 を H レベルにしてゲート信号線 1 7 b に周期的にオフ電圧を印加するとした。しかし、本発明はこれに限定するものではない。たとえば、図 1 2 0 に図示するように、1 H の中央部でゲート信号線 1 7 b にオフ電圧を印加するように制御してもよい。

以上のようにゲート信号線 1 7 b にオフ電圧を印加することにより、オフリーク輝点を抑制することができる。しかし、ゲート信号線 1 7 b に印加するオフ電圧時間が短すぎると、オフリーク輝点を抑制する効果はない。図 1 2 1 は、ゲート信号線 1 7 b にオフ電圧を印加する時間とオン電圧を印加する時間が、オフリーク輝点の抑制にどのような状態で効果あるかを説明したものである。

黒表示でオフリーク輝点が発生する。オフリーク輝点が発生すると、黒照度（表示パネルの表示画面を照度計で測定した照度）が上昇す

る（黒浮き）。図121の（a）は、あるゲート信号線17bに印加される電圧波形である。オフ電圧に印加時間をCとし、印加されるオフ電圧の周期をCとする。なお、周期Cは、1H期間を想定しているがこれに限定されるものではない。

図121において、 C/S が0.02以下では黒照度が高い（オフリーク輝点が多発している）が、 C/S が0.02に近づくにつれ黒照度が0になる（オフリーク輝点が発生していない）。 $1H = S = 100\mu\text{sec}$ とすると、 $C/S = 0.02$ は $2\mu\text{sec}$ である。しがたって、 $1H = 100\mu\text{sec}$ では、 $\text{duty} = 1/1$ であっても、約2%の期間、ゲート信号線17bにオフ電圧を印加することにより、オフリーク輝点の発生を完全に対策することができる。

図122において、ゲート信号線17b（A）は、本発明の駆動方法を実施していない場合の信号波形である。ゲート信号線17b（B）はOEV2回路の操作により、オンオフ動作させた本発明の駆動方法による信号波形である。

以上の実施例では、OEV2回路の制御は duty によらず、1フィールド（1フレーム）期間全般に操作するとしている。しかし、本発明はこれに限定するものではない。画像データにより、 duty が $1/1$ の時にのみ、OEV2回路制御を実施してもよい。また、 $\text{duty} = 1/1$ などの状態が一定期間の間、継続する場合にOEV2回路制御を実施してもよい。

検討結果によれば、OEV2回路の操作は、 duty は $1/1$ 以下 $1/2$ 以上に行うことが好ましく、さらに好ましくは、 duty は $1/1$ 以下 $3/4$ 以上に行うことが好ましい。また、 duty は $1/1$ 以下 $1/2$ 以上が10フレーム（フィールド）の期間継

続する場合に、OE V 2回路制御を実施することが好ましい。

また、OE V 2の操作により、画面輝度を調整することができる。OE V 2をHレベルにする期間を長くすると、画面輝度が低下する。OE V 2をHレベルにする期間を短くすれば、画面輝度が高くなる。このようにOE V 2の操作により画面輝度を調整（変更）する駆動方法も本発明の駆動方法の大きな特徴である。

なお、以上の実施例では、ゲート信号線17bにオフ電圧を印加することにより、オフリーク輝点の発生を抑制するとした。しかし、これは、画素構成が図1のようにPチャンネルトランジスタで構成されている場合である。画素がNチャンネルトランジスタで構成されている場合は、ゲート信号線17bにオン電圧を印加する。以上のように、本発明は、ゲート信号線17bにオンオフ電圧を印加することによりオフリーク輝点を抑制するものではなく、図115に図示するように、コンデンサ19の印加電圧（B点）よりもA点の印加電圧が高くなる期間を設けることにより、オフリーク輝点を抑制するものである。また、保持用のトランジスタ11bのチャンネル間電圧（SD電圧）が小さくなる期間を設けることにより、オフリークを軽減するものである。

図116から図122は、OE V 2の操作し、周期的にゲート信号線17bにオフ電圧を印加することにより、オフリーク輝点の発生を抑制するものであった。しかし、本発明の駆動方法はこれに限定するものではない。OE V 2回路を操作することなく、ゲートドライバ回路12bの動作により、ゲート信号線17bに所定周期でオフ電圧を印加してもよい。図123はその実施例である。

図123では、所定周期で1画素行の非表示領域52を発生させ、

前記非表示領域 5 2 を走査している。非表示領域 5 2 を発生させることは、図 1 の画素構成において、ゲート信号線 1 7 もちろん、非表示領域 5 2 が 1 画素行に限定されるものではなく、複数画素行であってもよい。

図 1 2 3 では、非表示領域 5 2 は、図 1 2 3 の (a) → 図 1 2 3 の (b) → 図 1 2 3 の (c) と移動する。1 フィールド (1 フレーム) での、非表示領域 5 2 の繰り返し回数は、図 1 2 4 に図示するように、4 回以上とすることが好ましい。

なお、図 1 2 3、図 1 2 4 の実施例において、ゲート信号線 1 7 b に印加するオフ電圧印加期間は、1 H に限定されるものではない。たとえば、図 1 2 5 の E 期間と図示するように、1 H 以下の期間であってもよい。

以上の実施例は、OEV 2 回路の操作などにより、ゲート信号線 1 7 b (図 1 ではゲート信号線 1 7 b) に少なくとも所定期間オン電圧印加状態が継続するときに、所定期間の間オフ電圧を印加してオフリーク輝点の発生を防止するものであった。

画素 1 6 の設計でオフリーク輝点の発生を対策する場合には、トランジスタ 1 1 b のオフ特性を良好にすればよい。たとえば、図 1 5 0 に図示するように、トランジスタ 1 1 b を複数のトランジスタを直列に配置することにより対応する。検討結果によれば、トランジスタ 1 1 b は、3 個以上のトランジスタを直列に形成あるいは配置することが好ましい。さらに好ましくは、図 1 5 0 に図示するように 5 個以上のトランジスタを直列に形成または配置することが好ましい。

なお、図 1 1 5 から図 1 2 6 の実施例は、図 1 の画素構成を例示して説明したがこれに限定するものではない。図 1 1 5 などで説明する

駆動方法は、コンデンサ 19 が保持する電荷のリークを防止することになる。したがって、図 1 のようにコンデンサ 19 と保持用のトランジスタ 11 b を有する画素構成であれば適用できる。

たとえば、図 38 の画素構成であっても、コンデンサ 19 と保持用のトランジスタ 11 d を有している。したがって、図 38 の画素構成にあっても、トランジスタ 11 e を制御することにより本発明の駆動方法による効果を得ることができる。同様に、図 43 の画素構成でも、コンデンサ 19 と保持用のトランジスタ 11 e を有している。したがって、トランジスタ 11 d を操作することにより、本発明の効果を得ることができる。

図 51 の画素構成でも、コンデンサ 19 a と保持用のトランジスタ 11 b を有している。したがって、トランジスタ 11 e を操作することにより、本発明の効果を得ることができる。図 50 などについても同様である。さらには、図 63 の画素構成でも同様である。図 63 の画素構成でも、コンデンサ 19 と保持用のトランジスタ 11 b を有している。したがって、スイッチ 631 を切り替え、EL 素子 15 を解して、トランジスタ素子 11 b に影響を与えることにより、結果として保持効果を高めることができる。したがって、本発明の効果を得ることができる。

図 1、図 38 などの画素構成では、ゲート信号線 12 a の振幅により、コンデンサ 19 の電荷が変化し、所定の階調を実現できないという課題がある。理解を容易にするため、図 1 の画素構成を例示して説明をする。図 138 は図 1 の画素構成で従来の電流プログラム方式を実施した場合の画素 16 の電位の変化を図示している。

図 138 において、ゲート信号線 17 a (1) は画素 (1) のゲー

ト信号線 17 a の電圧波形を示している。ゲート信号線 17 a (2) は画素 (1) の次の画素 (2) のゲート信号線 17 a の電圧波形を示している。ゲート信号線 17 a (3) は画素 (2) の次の画素 (3) のゲート信号線 17 a の電圧波形を示している。ソース信号線 18 の欄はソース信号線に印加されている電圧 (電流) 波形を示している。画素電位は、画素 (2) のコンデンサ電位 (駆動トランジスタ 11 a のゲート端子 G の電圧波形を図示している。ゲート信号線 17 a は (1) → (2) → (3) → (4) → (5) → (1) → (2) → と順次走査される。

図 1 の画素構成 (図 1 の画素構成に特定されるものではない) では、トランジスタ 11 b のゲート G - ソース S 端子間に寄生容量 1381 が発生する。ゲート信号線 17 a が V_{gh} (オフ電圧) から V_{gl} (オン電圧) に変化、あるいはゲート信号線 17 a が V_{gl} から V_{gh} に変化すると、この電圧変化は寄生容量 1381 を介して駆動トランジスタ 11 a のゲート G 端子 (コンデンサ 19 端子) に伝達される。駆動トランジスタ 11 a のゲート端子の電位変化は、駆動トランジスタ 11 a にプログラムされた電流値 (電圧値) を所定値からずらせることになる。所定値からのずれ量は、寄生容量 1381 の容量をコンデンサ 19 の容量比で決定される。所定値からのずれ量は、寄生容量 1381 の容量が小さいほど小さく、また、コンデンサ 19 の容量が大きいほど小さい。

着目すべき点は、変化点 A と B における画素電位の変化である。A では、ゲート信号線 17 a (2) が V_{gh} から V_{gl} に変化する。B では、ゲート信号線 17 a (2) が V_{gl} から V_{gh} に変化する (図 138 の画素電位を参照のこと)。

A点ではゲート信号線17aの電位変化(V_{gh} (オフ電圧))から V_{gl} (オン電圧)に変化し、駆動用トランジスタ11aのゲート端子G電位が低下する。しかし、トランジスタ11b、11cがオン状態であるから、ソース信号線18の電位(電流)を画素16に書きこみ、コンデンサ19が充電(放電)される。コンデンサ19の充電(放電)により、駆動トランジスタ11aが所定電流を流すようにプログラムされる(画素電位は V_b 電圧となる)。プログラムは1H期間以内で完了するように画素設計がされているため、C点では駆動トランジスタ11aが所定電流を流すようになる。

B点ではゲート信号線17aの電位変化(V_{gl} (オン電圧))から V_{gh} (オフ電圧)に変化する。この電圧変化により、駆動用トランジスタ11aのゲート端子G電位が上昇する(画素電位は V_c 電圧となる)。ゲート信号線17aの電位が V_{gh} (オフ電圧)に変化するとトランジスタ11bおよびトランジスタ11cがオフするため、コンデンサ19端子はソース信号線18と切り離され V_c 電圧が保持される。

したがって、プログラムしたい電流を流す画素電位は V_b 電圧であるが、実際に保持される画素電位は V_c 電圧である。そのため、プログラム電流は目的の電流と異なった値がEL素子15に流れることになる。

この課題を解決する駆動方法を図139で説明をする。しかし、図138の駆動方法はかならずしも課題ではない。まず、その理由を記載する。

駆動用トランジスタ11aは、ゲート信号線17aの電位変化(V_{gl} (オン電圧))から V_{gh} (オフ電圧)に変化し、この状態が1フ

レーム（フィールド）期間保持される。ゲート信号線 17 a が V_{g1} （オン電圧）から V_{gh} （オフ電圧）に変化は、駆動用トランジスタ 11 a の電位をアノード電圧 V_{dd} 側にシフトすることになる。

アノード電圧 V_{dd} のシフトは、駆動トランジスタ 11 a は P チャンネルであるから、電流を流さない方向である。電流プログラム方式では、本明細書でも記載したように黒表示時でのプログラム電流が小さいという課題がある。この課題に対処するため、本発明では N 倍パルス駆動などを実施する。しかし、図 138 では、最終的に画素電位は黒電位側にシフトして保持されるため、良好な黒表示を実現できる。

このような効果を発揮できるのは、本発明は、画素の駆動トランジスタ 11 a を P チャンネルで構成している点、アノード電圧がカソード電圧よりも高い電圧構成である点、WR 側選択信号線（ゲート信号線 17 a）が低電圧（ V_{g1} ）でソース信号線 18 に印加された電流を画素 16 の駆動用トランジスタ 11 a に流すように構成されており、かつ WR 側選択信号線（ゲート信号線 17 a）が高電圧（ V_{gh} ）でソース信号線 18 から画素 16 を切り離すように構成されている点の相乗効果である。つまり、トランジスタ 11 b、トランジスタ 11 c（図 1 を参照）を P チャンネルで構成されることが重要である。また、図 111 などでも説明したように、ゲートドライバ回路 12 を P チャンネルで構成することにより、さらに相乗効果を発揮できる。

また、プログラム電流が良好に行われるように EL 素子 15 への経路を切断するトランジスタ 11 d が P チャンネルで構成されている点も重要である。さらに、N 倍パルス駆動などの実施により、スイッチトランジスタ 11 d のゲート端子 G が高電圧（ V_{gh} ）に保持される期間があり、またその期間が一定の期間（少なくとも 2 H 以上）ある

ことにより、駆動用トランジスタ 11 a のドレイン D 端子が、比較的高電圧に保持される点も相乗効果がある。トランジスタ 11 b のリークの発生を抑制できるからである。以上のように、図 1 などの構成と図 138 の方式などの組み合わせは本発明の特徴ある構成である。

次に、図 139 の駆動方法について説明をする。なお、明細書中で説明したが、ゲートドライバ回路 12 a の出力段には OEV1 回路が構成されており（図 116 などを参照のこと）、OEV1 回路に Hレベル信号を印加することにより、ゲート信号線 17 a には V_{gh} 電圧が印加される。V_{gh} 電圧の印加によりトランジスタ 11 b、11 c（図 1 などの画素構成の場合）はオフ状態となる。

OEV1 は、1 H 期間に 1 回、Hレベル電圧が印加され、ゲート信号線 17 a に V_{gh}（オフ電圧）を出力する。ただし、選択されていないゲート信号線 17 a は当初からオフ電圧（V_{gh}）が出力されていないから、出力の変化はない。選択されているゲート信号線 17 a はオン電圧（V_{gl}）が印加されているから、OEV1 回路の Hレベル電圧印加によりオン電圧出力期間内に V_{gh}（オフ電圧）期間が発生する。

OEV1 回路に Hレベルが印加されると、すべてのゲート信号線 17 a にはオフ電圧（V_{gh}）が印加される。ソースドライバ回路 14 はソース信号線からプログラム電流を吸収し（図 1 の画素構成の場合）、ソース信号線 18 へは選択された画素 16 のアノード端子 V_{dd} から駆動用トランジスタ 11 a、スイッチ用トランジスタ 11 c を介してプログラム電流が供給される。したがって、ソースドライバ回路 14 がプログラム電流を吸収している状態で、すべてのゲート信号線 17 a がオフ状態になると、プログラム電流の供給経路がなくなる。

そのため、ソースドライバ回路 14 はソース信号線 18 の寄生容量の電荷を吸収し、ソース信号線 18 の電位は時間とともに低下する。

図 138 の駆動方法の課題は、ゲート信号線 17a がオン状態からオフ状態に変化する電圧が寄生容量 1381 によりコンデンサ 19 に突き抜け（突き抜け電圧）、所定電圧よりも高い電圧で保持されてしまう点である。

OEV1 回路の制御により、ソース信号線 18 の電位を低下させ、寄生容量 1381 の突き抜け電圧を補償すれば、ほぼ所定の電圧がコンデンサ 19 に保持されることになる。図 139 の駆動方法はこの原理を用いたものである。

図 139 でも明らかなように、OEV1 回路の制御により、ゲート信号線 17a に選択電圧（オン電圧： V_{g1} ）が印加された期間（1H）にオフ電圧になる期間が t_1 発生する（ t_1 が OEV1 回路に H レベル電圧を印加した期間である）。この t_1 の期間をゲートオープン期間と呼ぶ。ゲートオープン期間は、1H が終わる時刻よりも t_2 期間前に終了するように発生させる。また、ゲートオープン期間は、1H の始まりから t_3 期間後に発生させる。したがって、1H 期間 = $t_3 + t_1 + t_2$ である。

図 139 において、ゲート信号線 17a (1) は画素 (1) のゲート信号線 17a の電圧波形を示している。ゲート信号線 17a (2) は画素 (1) の次の画素 (2) のゲート信号線 17a の電圧波形を示している。ゲート信号線 17a (3) は画素 (2) の次の画素 (3) のゲート信号線 17a の電圧波形を示している。ソース信号線 18 の欄はソース信号線に印加されている電圧（電流）波形を示している。画素電位は、画素 (3) のコンデンサ電位（駆動トランジスタ 11a

のゲート端子Gの電圧波形を図示している。ゲート信号線17aは
(1) → (2) → (3) → (4) → (5) → (1) → (2)
→ と順次走査される。

画素電位は画素(3)であるとし、また、画素構成は図1の画素構成を例示して説明をする。画素電位(3)は第1H番目、第2H番目では前フィールド(フレーム)電位を保持している。第3H番目に、ゲート信号線17a(3)にオン電圧(V_{g1})が印加され、画素行(3)のトランジスタ11b、11cがオンする。

図139のA点ではゲート信号線17aの電位変化(V_{gh} (オフ電圧)から V_{g1} (オン電圧))に変化し、駆動用トランジスタ11aのゲート端子電位が低下する。しかし、トランジスタ11b、11cがオン状態であるから、ソース信号線18の電位(電流)を画素16に書きこみ、コンデンサ19が充電(放電)される。コンデンサ19の充電(放電)により、駆動トランジスタ11aが所定電流を流すようにプログラムされる(画素電位は V_b 電圧となる)。プログラムは1H期間以内で完了するように画素設計がされているため、C点では駆動トランジスタ11aが所定電流を流すようになる。

B点では、画素へのプログラム電流の書込みは完了し、 V_a 電圧となる(V_a 電圧が目標電圧とする。図142の(a)を参照のこと)。C点ではゲート信号線17aの電位変化(V_{g1} (オン電圧)から V_{gh} (オフ電圧))に変化する。この電圧変化により、駆動用トランジスタ11aのゲート端子電位が上昇する(画素電位(3)は突き抜け電圧により V_d 電圧となる)。ゲート信号線17aの電位が V_{gh} (オフ電圧)に変化するとトランジスタ11bおよびトランジスタ11cがオフするため、コンデンサ19端子はソース信号線18と切り離

されて、ゲートオープン期間 t_1 の期間、画素電位は V_d 電圧に保持される。

ゲートオープン期間 t_1 では、ソース信号線 18 の電位は、ソースドライバ回路 14 がプログラム電流を吸収しつつけるため、電位が低下し、 t_1 期間の経過後ではソース信号線電位欄に示すように V_c 電圧となる（図 142 の（b）を参照のこと）。次に、 t_2 期間では、再び、ゲート信号線 17a（3）にオン電圧が印加され、トランジスタ 11b、11c がオンする。トランジスタ 11b、11c のオンにより、ソース信号線 18 の電位が画素のコンデンサ 19 に書き込まれる。したがって、画素電位（3）は V_c 電圧となる。 t_2 期間は、再び電流プログラム状態となり、画素電位（3）は V_b に変化する。しかし、 t_2 期間は電圧書込みができるくらいの短時間であるので、 V_c 電圧から V_b 電圧への変化量はわずかである（わずかになるように、 t_2 期間を設定する。検討によれば、 t_2 期間は、 $0.5 \mu\text{sec}$ 以上 $5 \mu\text{sec}$ 以下に設定する。）。また、 t_1 期間は、 $0.5 \mu\text{sec}$ 以上 $10 \mu\text{sec}$ 以下が適切である。

E 点ではゲート信号線 17a（3）の電位変化（ V_{g1} （オン電圧）から V_{gh} （オフ電圧）に変化する。この電圧変化により、駆動用トランジスタ 11a のゲート端子電位が上昇する（画素電位は V_a 電圧となる）。ゲート信号線 17a の電位が V_{gh} （オフ電圧）に変化するとトランジスタ 11b およびトランジスタ 11c がオフするため、コンデンサ 19 端子はソース信号線 18 と切り離され V_a 電圧が保持される。したがって、プログラムしたい電流を流す画素電位は V_a 電圧が画素電位（3）として保持される（突き抜け電圧が補償されたことになる）。

図 1 3 9 の駆動方法は、映像信号データ（プログラム電流）に対応して突き抜け電圧の補償量を調整できるという特徴がある。突き抜け電圧の大きさは、基本的に V_{gh} と V_{gl} の電位差と寄生容量 1 3 8 1、コンデンサ 1 9 の容量で決定される（ただし、駆動トランジスタ 1 1 a のゲート端子電圧で多少の差異は生じる）。したがって、突き抜け電圧の大きさは固定値である。OE V 1 回路に H 電圧を印加する期間も一定とすると、プログラム電流が黒表示の電流であれば、ソースドライバ回路 1 4 が吸収する電流量は小さい。したがって、画素に書き込む画像データが黒表示では、ソース信号線 1 8 の電位低下も小さい。プログラム電流が白表示の電流であれば、ソースドライバ回路 1 4 が吸収する電流量は大きい。したがって、画素に書き込む画像データが白表示では、ソース信号線 1 8 の電位低下が大きい。

一方、ゲート信号線 1 7 a により発生する突き抜け電圧は固定値である。そのため、画素に書き込むプログラム電流が黒表示データであれば、OE V 1 回路の制御による突き抜け電圧の補償量は小さい。ゲート信号線 1 7 a による突き抜け電圧が支配的になる。そのため、黒表示がより完全な黒表示となる。黒表示では視感度が低いため、突き抜け電圧による所定値からのずれが大きくとも問題ない。

画素に書き込むプログラム電流が白表示データであれば、OE V 1 回路の制御による突き抜け電圧の補償量は大きい。ソース信号線 1 8 の電位は OE V 1 回路が H レベル入力の時、短時間で電位低下を起こすからである。したがって、OE V 1 回路の制御により、降下した電圧の大きさと、ゲート信号線 1 7 a による突き抜け電圧の大きさとが一致するように OE V 1 回路の H レベル期間を制御すると、突き抜け電圧の影響を完全に無くすることができる。そのため、白表示では、完

全に突き抜け電圧を補償することができる。白表示では視感度が高いため、突き抜け電圧をキャンセルする駆動方法の効果は高い。

以上のことから、本発明の駆動方法では、画像表示データにより、突き抜け電圧の補償量を調整することができる。

なお、表示画像データにより、OE V 1 回路をHレベルにする期間を可変してもよい。たとえば、表示画像データを総和し、総和により画面輝度を求め、求められた結果によりOE V 1 のHレベル期間を制御する方式が例示される。

なお、ゲートオープン期間 t_1 および t_2 期間を調整できるように構成しておくことにより、突き抜け電圧の補償量を変更することができる。したがって、パネル特性に合わせて、突き抜け電圧の補償量が最適になるように調整できる。ただし、 t_2 期間はラフでも良い。

図139の実施例では、OE V 1 回路の制御により、ゲート信号線 17 a が選択されている時に、ゲートオープン期間 t_1 を設けるとした。しかし、本発明はこれに限定するものではない。1 水平走査期間あるいは選択する画素行ごとに、ゲートオープン期間 t_1 を設けるか否かを判断し、駆動してもよい。

たとえば、1 画素行の画像データが、ほぼ黒表示データの時はゲートオープン期間を設けず、1 画素行の画像データが、ほぼ白表示データの時はゲートオープン期間を設け、完全に白表示データの時はゲートオープン期間を通常よりも長くするなどという駆動方法である。

図140は本発明の駆動方法の説明図である。第1 H 番目と第5 H 番目にはゲートオープン期間を設けていない。第2 H 番目から第4 H 番目にはゲートオープン期間を設けているため、ソース信号線 18 の電位低下が発生している。

ゲートオープン期間 t_1 (図 1 4 1 の (a) では B) と電流プログラム期間 (図 1 4 1 の (a)) とは相関がある。図 1 4 1 の (b) のグラフは縦軸を所定輝度との差 (%) である。ただし、数値は絶対値にしている。所定輝度との差とは、電流プログラムを行ったときの目標輝度と突き抜け電圧の発生などによりに実際に表示された輝度との差を % で示したものである。図 1 4 1 の (b) でも明らかなように、誤差は B/A が 0.02 以上でほぼ最低となる ($B = t_1$ 、 $A = 1H$ 、 $C = 2\mu sec$ としている)。したがって、 B/A は 0.02 以上となるようにすることが好ましい。ただし、B があまりにも大きくなると、電流プログラム時間が短くなり書込み不足が発生する。したがって、 B/A は 0.3 以下となるようにすることが好ましい。

B/A (B は OEV 1 回路に H レベル状態の時間 = 選択されたゲート信号線 17a がオフになる時間。A は 1H (1 水平走査期間)) をモードできりかえることにより、パネルへの突き抜け電圧の影響を調整できる。 B/A は階調に応じて変化させることが好ましい (図 1 4 5 を参照のこと)。一般的に B/A は、低階調 (黒表示 = 階調 1、2、3...) で短く、高階調 (白表示 = 階調... 62、63、64) で長くすることが好ましい。 B/A は、モード (MODE) を 4 段階程度きり返れるように構成しておき、画像のシーン、内容などに応じて変更できるようにしておくことが好ましい。

図 1 4 5 では、MODE 1、MODE 2、MODE 3、MODE 4 がある。MODE 1 は $B = 0$ (つまり、OEV 1 回路は常に L レベルで選択されたゲート信号線 17a はオン電圧に維持される) の場合である。MODE 2 は低階調側で $B = 0$ (つまり、OEV 1 回路は常に L レベルで選択されたゲート信号線 17a はオン電圧に維持される)

、高階調側で $B/A = 0.05H$ の場合である。MODE 3 は全階調で $B/A = 0.05$ の場合である。MODE 4 は階調に応じて B/A の値を変化させるモードである。

また、1画素行の画像データの平均階調レベルにより、Bの値を選定し、MODEを切り替えても良い。また、一定階調以上でOE V1の制御を変更してもよい。一定階調レベル以下でOE V1を使用しないように制御してもよい。

以上の実施例は、ゲートドライバ回路12のOE V1回路を制御することによりソース信号線18の電位を変化させ、突き抜け電圧などによる影響を対策するものであった。図143は、ソース信号線18に外部から矩形波を印加することにより突き抜け電圧などによる影響を対策するものである。

図143において、コンデンサドライバ1431は矩形波（ソース結合信号と呼ぶ。図144を参照のこと）を発生し、この矩形波は結合コンデンサ1434でソース信号線18に印加される。結合コンデンサ1433の一端はコンデンサ信号線1433に接続されている。矩形波はこのコンデンサ信号線1433に印加される。ソース結合信号は水平同期信号と同期をとって、ソース信号線に印加される。

理解を容易にするため、画素電位は(2)に着目して説明をする。第3H番目ではゲート信号線17a(2)にオン電圧が印加される。オン電圧の印加により、画素(2)のトランジスタ11b、11cがオンし、ソース信号線18に印加された電流が駆動用トランジスタ11aに印加される(A点)。B点では、コンデンサ信号線1433に印加されたソース結合信号が V_{s1} から V_{sh} に変化する。したがって、ソース結合信号がソース信号線18にカップリング（突き抜ける

) ために、画素電位 (2) は、 V_a 電圧まで跳ね上がる。しかし、この跳ね上がりはプログラム電流のより短時間で解消し、画素電位 (2) は C 点までには目標電位 V_b に到達する。

C 点では、コンデンサ信号線 1433 に印加されたソース結合信号が V_{sh} から V_{sl} に変化する。したがって、ソース結合信号がソース信号線 18 にカップリング (突き抜ける) ために、画素電位 (2) は、 V_c 電圧まで低下する。C 点では、ゲート信号線 17a (2) にオン電圧が印加されているため、 V_c 電圧はプログラム電流により変化する。しかし、C 点から D 点までの時間が短時間であればほとんど変化しない。

D 点では、ゲート信号線 17a (2) がオン電圧からオフ電圧に変化するため、突き抜け電圧により画素電位 (2) の電位は V_b 電圧にシフトする。したがって、目標の V_b 電圧が画素 16 に保持される。以上のようにソース結合信号をソース信号線 18 にカップリングさせることにより、突き抜け電圧を補償することができる。なお、ソース結合信号の振幅を変化させることにより、突き抜け電圧の補償割合を調整することができることは言うまでもない。

図 139 は $OE V_1$ を制御することにより、ソース信号線 18 の電位を変化させるものであった。しかし、ソース信号線 18 の電位変化させるのは、ソースドライバ回路 14 側でも実現できる。ソースドライバ回路 14 には、図 147 に図示するように、ソース信号線 18 と接続する端子 1471 と電流出力回路 1461 間にアナログスイッチ 752 が形成または配置されている (図 146 を参照のこと)。また、ソースドライバ回路 14 内にも寄生容量 1472 が発生している。

スイッチ 752 が閉じた状態では、図 147 の (a) に図示するよ

うに、プログラム電流 I_w が電流出力回路 1 4 6 1 に流れ込む。スイッチ 7 5 2 がオープン（図 1 4 7 の（b）を参照のこと）すると、電流出力回路 1 4 6 1 は定電流回路であるから、継続して電流 I_w を吸収する。そのため、寄生容量 1 4 7 2 の電荷を吸収し、内部配線 1 4 7 3 の電位が低下する。この状態で、スイッチ 7 5 2 をオンする（図 1 4 7 の（c）を参照のこと）と、プログラム電流 I_w は、寄生容量 1 4 7 2 の充電と電流出力回路に分流される。したがって、ソース信号線 1 8 の電位が低下する。以上のソース信号線 1 8 の電位低下状態を図 1 3 9 の C 点から D 点の状態に当てはめれば、図 1 3 9 と同様に、電圧が低下したソース信号線 1 8 電位を画素 1 6 に書き込むことができる。

図 1 4 3 はコンデンサ信号線 1 4 3 3 により、ソース信号線 1 8 に突き抜け電圧を補償する信号を印加する構成であった。図 1 5 1 は画素行ごとに、突き抜け電圧を補償する構成である。

図 1 5 1 はコンデンサ 1 9 の一端は駆動用トランジスタ 1 1 a に接続されており、他端は共通信号線 1 5 1 1 に接続されている。共通信号線 1 5 1 1 は 1 画素行に共通に形成されている信号線である。共通信号線 1 5 1 1 は共通ドライバ回路 1 5 1 2 に接続されている。共通ドライバ回路 1 5 1 2 は図 1 5 2 に図示するように矩形波の信号を出力し、各共通信号線 1 5 1 1 に印加する。他の構成は、図 1 と同様であるので説明を省略する。

図 1 5 2 において、ゲート信号線 1 7 a（1）は画素（1）のゲート信号線 1 7 a の電圧波形を示している。ゲート信号線 1 7 a（2）は画素（1）の次の画素（2）のゲート信号線 1 7 a の電圧波形を示している。ゲート信号線 1 7 a（3）は画素（2）の次の画素（3）

のゲート信号線 17 a の電圧波形を示している。

共通信号線 (1) は画素 (1) の共通信号線 15 1 1 の電圧波形を示している。また、共通信号線 (2) は画素 (2) の共通信号線 15 1 1 の電圧波形を示し、共通信号線 (3) は画素 (3) の共通信号線 15 1 1 の電圧波形を示している。

ソース信号線 18 の欄はソース信号線に印加されている電圧 (電流) 波形を示している。画素電位 (2) は、画素 (2) のコンデンサ電位 (駆動トランジスタ 11 a のゲート端子 G の電圧波形を図示している。ゲート信号線 17 a は (1) → (2) → (3) → (4) → (5) → (1) → (2) → と順次走査される。また、共通信号線 15 1 1 も (1) → (2) → (3) → (4) → (5) → (1) → (2) → と順次走査される。以降、説明を容易にするため、画素 (2) の画素電位 (駆動トランジスタ 11 a のゲート G 端子電位) に着目して説明をする。なお、最初は画素 16 には、全フィールドの画像データが保持されている。

A 点ではゲート信号線 17 a の電位変化 (V_{gh} (オフ電圧) から V_{gl} (オン電圧) に変化し、駆動用トランジスタ 11 a のゲート端子 G 電位が低下する ($V_a \rightarrow V_c$)。また、トランジスタ 11 b、11 c がオン状態であるから、ソース信号線 18 の電位 (電流) を画素 16 に書きこまれ、コンデンサ 19 の充電 (放電) が開始される。なお、1H 開始時は、共通信号線 15 1 1 の電位は、 V_{cl} であるとする ($V_{cl} < V_{ch}$)。

1H の開始から T_a 期間後、共通信号線 15 1 1 の電位が、 V_{cl} から V_{ch} に変化する (図 152 の B 点を参照のこと)。ただし、前記動作は、1H の開始と同時に進んでも良いことは言うまでもない。

共通信号線 1 5 1 1 の電位変化により、コンデンサ 1 9 の電位（画素電位（2））もシフトし、 V_e 電圧となる。トランジスタ 1 1 b、1 1 c がオン状態であるから、ソース信号線 1 8 の電位（電流）を画素 1 6 に書きこまれ、コンデンサ 1 9 が充電（放電）され、1 H の終わりの C 点では、目標の V_b 電圧が画素 1 6 に書き込まれる。なお、 T_a 時間は、0（1 H 期間の開始と同時に）s e c であってもよい。好ましくは、 T_a 時間は、0 以上 1 H の $1/5$ 時間に設定することが好ましい。 T_a 時間が長いと本来の電流プログラム期間が短くなるからである。

C 点では、ゲート信号線 1 7 a の電位変化（ V_{g1} （オン電圧）から V_{gh} （オフ電圧）に変化し、この電圧変化が、突き抜け電圧として、寄生容量 1 3 8 1 を介して画素電位（2）を変動させる。この電位変化により、画素電位（2）は V_d 電圧となる。C 点では、ゲート信号線 1 7 a の電位が V_{gh} （オフ電圧）に変化し、トランジスタ 1 1 b およびトランジスタ 1 1 c がオフするため、コンデンサ 1 9 端子はソース信号線 1 8 と切り離され V_d 電圧が保持される。

1 H 期間（画素（2）に選択期間）が完了してから T_b の経過後、共通信号線 1 5 1 1 の電位が、 V_{ch} から V_{cl} に変化する（図 1 5 2 の D 点を参照のこと）。共通信号線 1 5 1 1 の電位変化により、コンデンサ 1 9 の電位（画素電位（2））もシフトし、目標電圧の V_b 電圧となる。以上の動作により、コンデンサ 1 9 には、画像データに基づいた所定電流が駆動用トランジスタ 1 1 a に流れるように、電圧 V_b が保持される。

以上の動作でも明らかであるが、寄生容量 1 3 8 1 などにより発生する突き抜け電圧を、共通信号線 1 5 1 1 に信号を印加することによ

り補償している。この補償により画素 16 には精度のより電流プログラムを実施することができる。なお、1 H 後が完了して T a 時間後に、共通信号線 1511 の電位を V c h から V c l に変化させるとした。しかし、T b は 0 s e c (1 H の終了と同時に) でもよく、1 H 以上であってよい。

以上のことから、本発明の駆動方法は、画素選択期間内に、共通信号線の電位を V c l から V c h に変化させる(ただし、選択期間より前に変化させても選択期間中に電流プログラムが実施されるから問題は発生しない。したがって、該当画素が電流プログラム終了前に共通信号線の電位を V c l から V c h に変化させればよい)。また、画素選択期間後(選択期間終了と同時にでもよい)、共通信号線の電位を V c h から V c l に変化させる駆動方法である。

なお、共通信号線 1511 の振幅 (V c h、V c l) は、電圧発生回路(図示せず)のボリウムにより変更できるように構成しておく。また、共通ドライバ回路 1512 の構成、動作は、ゲートドライバ回路 12 と同様あるいは類似であるので説明を省略する。また、他の動作は、図 139 と同様であるので説明を省略する。

図 151、図 152 は共通信号線の動作により、突き抜け電圧を補償する方式であった。図 153 は、共通ドライバ回路 1512 を設けず、画素の前段のゲート信号線 17 a の動作により突き抜け電圧を補償する構成である。

図 153 はコンデンサ 19 の一端は駆動用トランジスタ 11 a に接続されており、他端は前段(1 つ前に選択される画素)のゲート信号線 17 a に接続されている。コンデンサ 19 の一端の電極はゲート信号線 17 a である。他の構成は、図 1、図 151 などと同様である。

図 1 5 4 において、ゲート信号線 1 7 a (1) は画素 (1) のゲート信号線 1 7 a の電圧波形を示している。ゲート信号線 1 7 a (2) は画素 (1) の次の画素 (2) のゲート信号線 1 7 a の電圧波形を示している。ゲート信号線 1 7 a (3) は画素 (2) の次の画素 (3) のゲート信号線 1 7 a の電圧波形を示している。

ソース信号線 1 8 の欄はソース信号線に印加されている電圧（電流）波形を示している。画素電位 (2) は、画素 (2) のコンデンサ電位（駆動トランジスタ 1 1 a のゲート端子 G の電圧波形を図示している。ゲート信号線 1 7 a は (1) → (2) → (3) → (4) → (5) → (1) → (2) → と順次走査される。

以降、説明を容易にするため、画素 (2) の画素電位（駆動トランジスタ 1 1 a のゲート G 端子電位）に着目して説明をする。なお、最初は画素 1 6 には、全フィールドの画像データが保持されている。また、図 1 5 3 の実施例では、ゲートドライブ回路 1 2 a は、1 つのオン電圧 (V_{g1}) と 2 つのオフ電圧 (V_{gh2} 、 V_{gh1}) をゲート信号線 1 7 a に印加する。ただし、オフ電圧 $V_{gh2} > \text{オフ電圧 } V_{gh1}$ とし、 $0.02 \text{ (V)} < V_{gh2} - V_{gh1} < 0.4 \text{ (V)}$ の条件を満足させる。

A 点では前段のゲート信号線 1 7 a (1) の電位変化 (V_{gh1} (オフ電圧) から V_{g1} (オン電圧) に変化することにより、画素 (2) のコンデンサ 1 9 の電位が変動する（画素電位は V_e から V_d に変化する）。したがって、駆動用トランジスタ 1 1 a のゲート端子 G 電位が低下する。

B 点では、画素 (2) のゲート信号線 1 7 a (2) の電位変化 (V_{gh1} (オフ電圧) から V_{g1} (オン電圧) に変化することにより、

画素電位が変化するが、トランジスタ 11b、11c がオン状態であるから、ソース信号線 18 の電位（電流）を画素 16 に書きこまれ、コンデンサ 19 の充電（放電）が開始される。1H の選択期間内に、目標電圧の V_b 電圧となる。以上の動作により、コンデンサ 19 には、画像データに基づいた所定電流が駆動用トランジスタ 11a に流れるように設定される。

C 点では、ゲート信号線 17a (2) の電位変化 (V_{g1} (オン電圧) から V_{gh2} (オフ電圧) に変化し、この電圧変化が、突き抜け電圧として、寄生容量 1381 を介して画素電位 (2) を変動させる。この電位変化により、画素電位 (2) は V_c 電圧となる。C 点では、ゲート信号線 17a の電位が V_{gh} (オフ電圧) に変化し、トランジスタ 11b およびトランジスタ 11c がオフするため、コンデンサ 19 端子はソース信号線 18 と切り離され V_c 電圧が保持される。

1H 期間（画素 (2) に選択期間）が完了してから 1H 期間の経過後（図 154 の D 点）、ゲート信号線 17a (2) の電位が、 V_{gh2} から V_{gh1} に変化する（図 152 の D 点を参照のこと）。ゲート信号線 17a (2) の電位変化により、コンデンサ 19 の電位（画素電位 (2)）もシフトし、目標電圧の V_b 電圧となる。以上の動作により、コンデンサ 19 には、画像データに基づいた所定電流が駆動用トランジスタ 11a に流れるように、電圧 V_b が保持される。

以上の動作でも明らかであるが、寄生容量 1381 などにより発生する突き抜け電圧を、ゲート信号線 17a に 3 つの電圧 (V_{gh1} 、 V_{gh2} 、 V_{g1}) を印加することにより補償している。この補償により画素 16 には精度のより電流プログラムを実施することができる。なお、選択期間から 1H 期間が経過後（図 154 の D 点）に、ゲート

信号線 17 a (2) の電位を V_{gh2} から V_{gh1} に変化させるとしたが、これに限定するものではない。たとえば、図 155 に図示するように、1 H 以内の T_a 時間後（図 155 の D 点を参照のこと）に変化させてもよい。また、1 H 以上経過後に変化させてもよい。

また、図 153 は前段のゲート信号線 17 a を後段のコンデンサ 19 の端子電極とする構成であったが、本発明はこれに限定するものではない。図 156 に図示するように、前段よりも前の画素のゲート信号線 17 a をコンデンサ 19 の電極としてもよい。このタイミングチャートを図 157 に示す。

A 点では前前段のゲート信号線 17 a (1) の電位変化 (V_{gh1} (オフ電圧) から V_{g1} (オン電圧) に変化することにより、画素 (3) のコンデンサ 19 の電位が変動する (画素電位は V_a から V_e に変化する)。したがって、駆動用トランジスタ 11 a のゲート端子 G 電位が低下する。

B 点では、前前段のゲート信号線 17 a (1) の電位変化 (V_{g1} (オン電圧) から V_{gh2} (オフ電圧) に変化することにより、画素 (3) のコンデンサ 19 の電位が変動する (画素電位は V_e から V_a に変化する)。したがって、駆動用トランジスタ 11 a のゲート端子 G 電位が上昇する。

C 点ではゲート信号線 17 a (3) の電位変化 (V_{gh1} (オフ電圧) から V_{g1} (オン電圧) に変化することにより、画素 (3) のコンデンサ 19 の電位が変動するが、トランジスタ 11 b、11 c がオン状態であるから、ソース信号線 18 の電位 (電流) を画素 16 に書きこまれ、コンデンサ 19 の充電 (放電) が開始される。1 H の選択期間内に、目標電圧の V_c 電圧となる。以上の動作により、コンデン

サ 1 9 には、画像データに基づいた所定電流が駆動用トランジスタ 1 1 a に流れるように設定される。

D 点では、ゲート信号線 1 7 a (3) の電位変化 (V_{g1} (オン電圧) から V_{gh2} (オフ電圧) に変化し、この電圧変化が、突き抜け電圧として、寄生容量 1 3 8 1 を介して画素電位 (3) を変動させる。この電位変化により、画素電位 (3) は V_b 電圧となる。C 点では、ゲート信号線 1 7 a の電位が V_{gh} (オフ電圧) に変化し、トランジスタ 1 1 b およびトランジスタ 1 1 c がオフするため、コンデンサ 1 9 端子はソース信号線 1 8 と切り離され V_b 電圧が保持される。

1 H 期間 (画素 (3) に選択期間) が完了してから 1 H 期間の経過後 (図 1 5 7 の D 点)、ゲート信号線 1 7 a (3) の電位が、 V_{gh2} から V_{gh1} に変化する (図 1 5 7 の D 点を参照のこと)。ゲート信号線 1 7 a (3) の電位変化により、コンデンサ 1 9 の電位 (画素電位 (3)) もシフトし、目標電圧の V_c 電圧となる。以上の動作により、コンデンサ 1 9 には、画像データに基づいた所定電流が駆動用トランジスタ 1 1 a に流れるように、電圧 V_c が保持される。

以上の動作でも明らかであるが、寄生容量 1 3 8 1 などにより発生する突き抜け電圧を、ゲート信号線 1 7 a に 3 つの電圧 (V_{gh1} 、 V_{gh2} 、 V_{g1}) を印加することにより補償している。この補償により画素 1 6 には精度のより電流プログラムを実施することができる。

以上の実施例は、駆動方式の改良あるいは発明により、突き抜け電圧の影響を補償するものであった。画素 1 6 の構成によっても突き抜け電圧の発生を抑制することができる。図 1 4 6 は図 1 の P チャンネルのスイッチングトランジスタ 1 1 b を、P チャンネルトランジスタ 1 1 b n と N チャンネルトランジスタ 1 1 b n で構成したものである。

つまりアナログスイッチである。Pチャンネルトランジスタ11b_nとNチャンネルトランジスタ11b_nを同時にオンさせるため、インバータ1481を配置している。

図148に図示するように、トランジスタ11bをPチャンネルとNチャンネルのトランジスタで構成することにより両トランジスタに印加されるゲート信号線17aからの電圧が打ち消しあう。したがって、突き抜け電圧による電位シフトを大幅に改善することが可能である。なお、図149に図示するように、トランジスタ11b_nなどをダイオード構成にしてもその効果は発揮されることは言うまでもない。

以上のように、画素構成を図148、149などのように構成することにより突き抜け電圧の影響を補償することができる。また、図139などで説明した本発明と組み合わせることにより相乗効果で突き抜け電圧を補償でき、均一な画像表示を実現できる。

以上の実施例は、ゲート信号線17a（WR側選択信号線）の動作を中心に説明した。ゲート信号線17b（EL側選択信号線）の駆動方法について補足しておく。ゲート信号線17b（EL側選択信号線）は、EL素子15に流す電流を制御する信号線である。ただし、図63では、スイッチ631のオンオフ制御により、EL素子15に流す電流を制御する。したがって、以下に補足するゲート信号線17b（EL側選択信号線）の制御方法は、EL素子15に電流を流すタイミングあるいは時間として言い換えることができる。ここで説明を容易にするため、ゲート信号線17b（EL側選択信号線）を例示して説明をする。以降に説明する事項は、本発明の駆動方式のすべてに適用できることは言うまでもない。

図15、図18、図21などでは、ゲート信号線17b（EL側選

択信号線) は1 水平走査期間 (1 H) を単位として、オン電圧 (V_{gl})、オフ電圧 (V_{gh}) を印加するとして説明をした。しかし、EL素子15の発光量は、流す電流が定電流の時、流す時間に比例する。したがって、流す時間は1 H単位に限定する必要はない。

図158は、1/4 duty 駆動である。4 H期間に1 H期間の間、ゲート信号線17b (EL側選択信号線) にオン電圧が印加され、水平同期信号 (HD) に同期してオン電圧が印加されている位置が走査される。したがって、オン時間は1 H単位である。

しかし、本発明はこれに限定するものではなく、図161に図示するように1 H未満 (図161は1/2 H) としてもよく、また、1 H以下としてもよい。つまり、1 H単位に限定されるものではなく、1 H単位以外の発生も容易である。ゲートドライバ回路12b (ゲート信号線17bを制御する回路である) の出力段に形成または配置されたOE V2回路を用いればよい。OE V2回路は先に説明したOE V1回路と同様であるので説明を省略する。

図159は、ゲート信号線17b (EL側選択信号線) のオン時間は1 Hを単位としていない。奇数画素行のゲート信号線17b (EL側選択信号線) は1 H弱の期間オン電圧が印加される。偶数画素行のゲート信号線17b (EL側選択信号線) は、極短い期間オン電圧が印加される。また、奇数画素行のゲート信号線17b (EL側選択信号線) に印加されるオン電圧時間T1と偶数画素行のゲート信号線17b (EL側選択信号線) に印加されるオン電圧時間T2を加えた時間を1 H期間となるようにしている。図159を第1フィールドの状態とする。

第1フィールドの次の第2フィールドでは、偶数画素行のゲート信

号線 17b (EL側選択信号線) は 1H 弱の期間オン電圧が印加される。奇数画素行のゲート信号線 17b (EL側選択信号線) は、極短い期間オン電圧が印加される。また、偶数画素行のゲート信号線 17b (EL側選択信号線) に印加されるオン電圧時間 T_1 と奇数画素行のゲート信号線 17b (EL側選択信号線) に印加されるオン電圧時間 T_2 を加えた時間を 1H 期間となるようにしている。

以上のように、複数画素行でのゲート信号線 17b (EL側選択信号線) に印加するオン時間の和を一定となるようにし、また、複数フィールドで各画素行の EL 素子 15 の点灯時間を一定となるようにしてもよい。

図 160 は、ゲート信号線 17b (EL側選択信号線) のオン時間を 1.5H をしている。また、A 点におけるゲート信号線 17b (EL側選択信号線) の立ち上りと立下りが重なるようにしている。ゲート信号線 17b (EL側選択信号線) とソース信号線 18 とはカップリングしている。そのため、ゲート信号線 17b (EL側選択信号線) の波形が変化すると波形の変化がソース信号線 18 に突き抜ける。この突き抜けによりソース信号線 18 に電位変動が発生すると電流 (電圧) プログラムの精度が低下し、駆動用トランジスタ 11a の特性ムラが表示されるようになる。

図 160 において、A 点において、ゲート信号線 17B (EL側選択信号線) (1) はオン電圧 (V_{g1}) 印加状態からオフ電圧 (V_{gh}) 印加状態に変化する。ゲート信号線 17B (EL側選択信号線) (2) はオフ電圧 (V_{gh}) 印加状態からオン電圧 (V_{g1}) 印加状態に変化する。したがって、A 点では、ゲート信号線 17B (EL側選択信号線) (1) の信号波形とゲート信号線 17B (EL側選択信

号線) (2) の信号波形が打ち消しあう。したがって、ソース信号線 18 とゲート信号線 17B (EL側選択信号線) とがカップリングしていても、ゲート信号線 17B (EL側選択信号線) の波形変化がソース信号線 18 に突き抜けることはない。そのため、良好な電流 (電圧) プログラム精度を得ることができ、均一な画像表示を実現できる。

なお、図 160 は、オン時間が 1.5H の実施例であった。しかし、本発明はこれに限定するものではなく、図 162 に図示するように、オン電圧の印加時間を 1H 以下としてもよいことは言うまでもない。

ゲート信号線 17B (EL側選択信号線) にオン電圧を印加する期間を調整することにより、表示画面 50 の輝度をリニアに調整することができる。これは OEV2 回路を制御することにより容易に実現できる。たとえば、図 163 では、図 163 の (a) よりも図 163 の (b) の方が表示輝度は低くなる。また、図 163 の (b) よりも図 163 の (c) の方が表示輝度は低くなる。

また、図 164 に図示するように、1H 期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもよい。図 164 の (a) は 6 回設けた実施例である。図 164 の (b) は 3 回設けた実施例である。図 164 の (c) は 1 回設けた実施例である。図 164 では、図 164 の (a) よりも図 164 の (b) の方が表示輝度は低くなる。また、図 164 の (b) よりも図 164 の (c) の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整 (制御) できる。

また、図 98 の (a) に図示するように、非表示領域 52 と表示領域 53 とを規則正しく制御する駆動モードと、図 98 の (c) に図示するように、非表示領域 52 と表示領域 53 とをランダムに制御する

駆動モードと、図 98 の (b) に図示するようにフレーム (フィールド) ごとに非表示領域 52 と表示領域 53 とを繰り返す駆動モードとを選択できるようにしてもよい。また、ユーザーの制御により、また、画像データの内容により、図 98 の (a)、(b)、(c) を切り替えるように構成してもよい。

図 184 に、本発明の電流駆動方式のソースドライバ IC (回路) 14 の 1 実施例における構成図を示す。図 184 は、一例として電流源を 3 段構成 (1841、1842、1843) とした場合の多段式カレントミラー回路を示している。

図 184 において、第 1 段の電流源 1841 の電流値は、 N 個 (ただし、 N は任意の整数) の第 2 段電流源 1842 にカレントミラー回路によりコピーされる。更に、第 2 段電流源 1842 の電流値は、 M 個 (ただし、 M は任意の整数) の第 3 段電流源 1843 にカレントミラー回路によりコピーされる。この構成により、結果として第 1 段電流源 1841 の電流値は、 $N \times M$ 個の第 3 段電流源 1843 にコピーされることになる。

例えば、QCIF 形式の表示パネルのソース信号線 18 に 1 個のドライバ IC 14 で駆動する場合は、176 出力 (ソース信号線が各 RGB で 176 出力必要なため) となる。この場合は、 N を 16 個とし、 $M = 11$ 個とする。したがって、 $16 \times 11 = 176$ となり、176 出力に対応できる。このように、 N または M のうち、一方を 8 または 16 もしくはその倍数とすることにより、ドライバ IC の電流源のレイアウト設計が容易になる。

本発明の多段式カレントミラー回路による電流駆動方式のソースドライバ IC (回路) 14 では、前記したように、第 1 段電流源 184

1の電流値を直接 $N \times M$ 個の第3段電流源1843にカレントミラー回路でコピーするのではなく、中間に第2段電流源1842を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

特に、本発明は、第1段のカレントミラー回路（電流源1841）と第2段にカレントミラー回路（電流源1842）を密接して配置するところに特徴がある。第1段の電流源1841から第3段の電流源1843（つまり、カレントミラー回路の2段構成）であれば、第1段の電流源と接続される第2段の電流源1843の個数が多く、第1段の電流源1841と第3段の電流源1843を密接して配置することができない。

本発明のソースドライバ回路14のように、第1段のカレントミラー回路（電流源1841）の電流を第2段のカレントミラー回路（電流源1842）にコピーし、第2段のカレントミラー回路（電流源1842）の電流を第3段にカレントミラー回路（電流源1842）にコピーする構成である。この構成では、第1段のカレントミラー回路（電流源1841）に接続される第2段のカレントミラー回路（電流源1842）の個数は少ない。したがって、第1段のカレントミラー回路（電流源1841）と第2段のカレントミラー回路（電流源1842）とを密接して配置することができる。

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第2段のカレントミラー回路（電流源1842）に接続される第3段のカレントミラー回路（電流源1843）の個数も少なくなる。したがって、第2段

のカレントミラー回路（電流源 1 8 4 2）と第 3 段のカレントミラー回路（電流源 1 8 4 3）とを密接して配置することができる。

つまり、全体として、第 1 段のカレントミラー回路（電流源 1 8 4 1）、第 2 段のカレントミラー回路（電流源 1 8 4 2）、第 3 段のカレントミラー回路（電流源 1 8 4 3）の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。

本発明において、電流源 1 8 4 1、1 8 4 2、1 8 4 3 と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。

図 1 8 5 はさらに具体的なソースドライバ I C（回路）1 4 の構造図である。図 1 8 5 は第 3 の電流源 1 8 4 3 の部分を図示している。つまり、1 つのソース信号線 1 8 に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（単位トランジスタ 1 8 5 4（1 単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

なお、本発明のソースドライバ I C（回路）1 4 を構成するトランジスタは、MOS タイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリウム砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。

図185で明らかであるが、本発明の1実施例として、6ビットのデジタル入力の場合を図示している。つまり、2の6乗であるから、64階調表示である。このソースドライバIC14をアレイ基板に積載することにより、赤(R)、緑(G)、青(B)が各64階調であるから、 $64 \times 64 \times 64 = \text{約} 26 \text{万色}$ を表示できることになる。

64階調の場合は、D0ビットの単位トランジスタ1854は1個、D1ビットの単位トランジスタ1854は2個、D2ビットの単位トランジスタ1854は4個、D3ビットの単位トランジスタ1854は8個、D4ビットの単位トランジスタ1854は16個、D5ビットの単位トランジスタ1854は32個であるから、計単位トランジスタ1854は63個である。つまり、本発明は階調の表現数（この実施例の場合は、64階調）－1個の単位トランジスタ1854を1出力と構成（形成）する。なお、単位トランジスタ1個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが単にサブ単位トランジスタに分割されているだけである。したがって、本発明が、階調の表現数－1個の単位トランジスタで構成されていることには差異はない（同義である）。

図185において、D0はLSB入力を示しており、D5はMSB入力を示している。D0入力端子にHレベル（正論理時）の時、スイッチ1851a（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、PチャンネルトランジスタとNチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（1単位）1854に向かって電流が流れる。この電流はIC14内の内部配線1853に流れる。この内部配線1853はIC14の端子電極を介してソース

信号線 18 に接続されているから、この内部配線 1853 に流れる電流が画素 16 のプログラム電流となる。

たとえば、D1 入力端子に H レベル（正論理時）の時、スイッチ 1851b がオンする。すると、カレントミラーを構成する 2 つの電流源（1 単位）1854 に向かって電流が流れる。この電流は IC14 内の内部配線 1853 に流れる。この内部配線 1853 は IC14 の端子電極を介してソース信号線 18 に接続されているから、この内部配線 1853 に流れる電流が画素 16 のプログラム電流となる。

他のスイッチ 1851 でも同様である。D2 入力端子に H レベル（正論理時）の時は、スイッチ 1851c がオンする。すると、カレントミラーを構成する 4 つの電流源（1 単位）1854 に向かって電流が流れる。D5 入力端子に H レベル（正論理時）の時は、スイッチ 1851f がオンする。すると、カレントミラーを構成する 32 つの電流源（1 単位）1854 に向かって電流が流れる。

以上のように、外部からのデータ（D0～D5）に応じて、それに対応する電流源（1 単位）に向かって電流が流れる。したがって、データに応じて、0 個から 63 個に電流源（1 単位）に電流が流れるように構成されている。

なお、本発明は説明を容易にするため、電流源は 6 ビットの 63 個としているが、これに限定するものではない。8 ビットの場合は、255 個の単位トランジスタ 1854 を形成（配置）すればよい。また、4 ビットの場合は、15 個の単位トランジスタ 1854 を形成（配置）すればよい。単位電流源を構成するトランジスタ 1854 は同一のチャンネル幅 W 、チャンネル幅 L とする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成すること

ができる。

また、単位トランジスタ1854はすべてが、同一の電流を流すことに限定するものではない。たとえば、各単位トランジスタ1854を重み付けしてもよい。たとえば、1単位の単位トランジスタ1854と、2倍の単位トランジスタ1854と、4倍の単位トランジスタ1854などを混在させて電流出力回路を構成してもよい。しかし、単位トランジスタ1854を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、1単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

単位トランジスタ1854を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。トランジスタ1854の大きさとは、チャンネル長 L とチャンネル幅 W をかけたサイズをいう。たとえば、 $W = 3 \mu\text{m}$ 、 $L = 4 \mu\text{m}$ であれば、1つの単位電流源を構成するトランジスタ1854のサイズは、 $W \times L = 12$ 平方 μm である。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、1つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

単位トランジスタ1854はNチャンネルで構成することが好ましい。Pチャンネルトランジスタで構成した単位トランジスタは、Nチャンネルトランジスタで構成した単位トランジスタに比較して、出力バラツキが1.5倍になる。

ソースドライバ IC 14 の単位トランジスタ 1854 は、N チャンネルトランジスタで構成することが好ましいことから、ソースドライバ IC 14 のプログラム電流は、画素 16 からソースドライバ IC への引き込み電流となる。したがって、画素 16 の駆動用トランジスタ 11a は P チャンネルで構成される。また、図 1 のスイッチング用トランジスタ 11d も P チャンネルトランジスタで構成される。

以上のことから、ソースドライバ IC (回路) 14 の出力段の単位トランジスタ 1854 を N チャンネルトランジスタで構成し、画素 16 の駆動用トランジスタ 11a を P チャンネルトランジスタで構成するという構成は、本発明の特徴ある構成である。なお、画素 16 を構成するトランジスタ 11 のすべて (トランジスタ 11a、11b、11c、11d) を P チャンネルと形成するとよい。N チャンネルトランジスタを形成するプロセスとなくすことができるから、低コスト化と高歩留まり化を実現できる。

なお、単位トランジスタ 1854 は IC 14 に形成するとしたが、これに限定するものではない。低温ポリシリコン技術でソースドライバ回路 14 を形成してもよい。この場合も、ソースドライバ回路 14 内の単位トランジスタ 1854 は N チャンネルトランジスタで構成することが好ましい。

画素 16 のトランジスタ 11 を P チャンネルトランジスタで形成し、ゲートドライバ回路 12 を P チャンネルトランジスタで形成する。このように画素 16 のトランジスタ 11 とゲートドライバ回路 12 の両方を P チャンネルトランジスタで形成することにより基板 71 を低コスト化できる。しかし、ソースドライバ 14 は、単位トランジスタ 1854 を N チャンネルトランジスタで形成することが必要になる。

したがって、ソースドライバ回路14は基板71に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路14を作製し、基板71に積載する。つまり、本発明は、ソースドライバIC14（映像信号としてのプログラム電流を出力する手段）を外付けする構成である。

また、ゲートドライバ12をPチャンネルで形成すると、オフ電圧（ V_{gh} ）を保持（維持）しやすい。したがって、画素16の駆動用トランジスタ11a、11b、11cをオフ電位に保持しやういため、本発明のPチャンネルトランジスタから構成された画素構成とマッチングがよく、相乗効果を発揮する。

なお、ソースドライバ回路14はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板71に積載してもよい。なお、基板71にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路14の出力端子を基板71のソース信号線18に接続するのであればいずれの形態でもよい。たとえば、TAB技術でソースドライバ回路14をソース信号線18に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路14を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

また、画素16の選択トランジスタをPチャンネルで構成し、ゲートドライバ回路をPチャンネルトランジスタで構成するという構成は、有機ELなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、FED（

フィールドエミッションディスプレイ)にも適用することができる。

画素16のスイッチング用トランジスタ11b、11cがPチャンネルトランジスタで形成されていると、V_{gh}で画素16が選択状態となる。V_{gl}で画素16が非選択状態となる。以前にも説明したが、ゲート信号線17aがオン(V_{gl})からオフ(V_{gh})になる時に電圧が突き抜ける(突き抜け電圧)。画素16の駆動用トランジスタ11aがPチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ11aがより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。

本発明では、ゲートドライバ回路12をPチャンネルトランジスタで構成することにより、オン電圧はV_{gh}となる。したがって、Pチャンネルトランジスタで形成された画素16とマッチングがよい。また、黒表示を良好にする効果を発揮させるためには、図1、図2の画素16の構成のように、アノード電圧V_{dd}から駆動用トランジスタ11a、ソース信号線18を介してソースドライバ回路14の単位トランジスタ1854にプログラム電流I_wが流入するように構成することが重要である。したがって、ゲートドライバ回路12および画素16をPチャンネルトランジスタで構成し、ソースドライバ回路14を基板に積載し、かつソースドライバ回路14の単位トランジスタ1854をNチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。また、Nチャンネルで形成した単位トランジスタ1854はPチャンネルで形成した単位トランジスタ1854に比較して出力電流のバラツキが小さい。同一面積(W・L)のトランジスタ1854で比較した場合、Nチャンネルの単位トランジスタ1854

はPチャンネルの単位トランジスタ1854に比較して、出力電流のばらつきは、 $1/1.5$ から $1/2$ になる。この理由からもソースドライバIC14の単位トランジスタ1854はNチャンネルで形成することが好ましい。

図186に、3段式カレントミラー回路による176出力($N \times M = 176$)の回路図の一例を示す。図186では、第1段カレントミラー回路による電流源1841を親電流源、第2段カレントミラー回路による電流源1842を子電流源、第3段カレントミラー回路による電流源1843を孫電流源と記している。最終段カレントミラー回路である第3段カレントミラー回路による電流源の整数倍の構成により、176出力のばらつきを極力抑え、高精度な電流出力が可能である。

なお、密集して配置するとは、第1の電流源1841と第2の電流源1842とを少なくとも8mm以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、5mm以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性(V_t 、モビリティ(μ))差がほとんど発生しないからである。また、同様に、第2の電流源1842と第3の電流源1843（電流の出力側と電流の入力側）も少なくとも8mm以内の距離に配置する。さらに好ましくは、5mm以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図187の電圧受け渡しの場合は、第(I)段の電流源のトランジスタ1841（出力側）と第(I+1)の電流

源のトランジスタ 1842a（入力側）とを密集して配置する関係である。図188の電流受け渡しの場合は、第（I）段の電流源のトランジスタ 1841a（出力側）と第（I+1）の電流源のトランジスタ 1842b（入力側）とを密集して配置する関係である。

なお、図186、図187などにおいて、トランジスタ 1841は1個としたが、これに限定するものではない。たとえば、小さなサブトランジスタ 1841を複数個形成し、この複数個のサブトランジスタのソースまたはドレイン端子を抵抗 491と接続して単位トランジスタ 1854を構成してもよい。小さなサブトランジスタを複数個並列に接続することのより、単位トランジスタ 1854のばらつきを低減することができる。

同様に、トランジスタ 1842aは1個としたが、これに限定するものではない。たとえば、小さなトランジスタ 1842aを複数個形成し、このトランジスタ 1842aの複数個のゲート端子を、トランジスタ 1841のゲート端子と接続してもよい。小さなトランジスタ 1842aを複数個並列に接続することのより、トランジスタ 1842aのばらつきを低減することができる。

したがって、本発明の構成としては、1つのトランジスタ 1841と複数個のトランジスタ 1842aとを接続する構成、複数個のトランジスタ 1841と1個のトランジスタ 1842aとを接続する構成、複数個のトランジスタ 1841と複数個のトランジスタ 1842aとを接続する構成が例示される。以上の実施例は後に詳細に説明する。

以上の事項は、図189のトランジスタ 1843aとトランジスタ 1843bとの構成にも適用される。1つのトランジスタ 1843aと複数個のトランジスタ 1843baとを接続する構成、複数個のト

ランジスタ 1843a と 1 個のランジスタ 1843b とを接続する構成、複数個のランジスタ 1843a と複数個のランジスタ 1843b とを接続する構成が例示される。小さなランジスタ 1843 を複数個並列に接続することのより、ランジスタ 1843 のばらつきを低減することができるからである。

以上の事項は、図 189 のランジスタ 1842a、1842b との関係にも適用することができる。また、図 185 のランジスタ 1843b も複数個のランジスタで構成することが好ましい。

ここで、ソースドライバ IC14 はシリコンチップで形成するとして説明するが、これに限定するものではない。ソースドライバ IC14 は、ガリウム基板、ゲルマニウム基板など形成された他の半導体チップでもよい。また、単位ランジスタ 1854 は、バイポーラランジスタ、CMOS トランジスタ、FET、バイCMOS トランジスタ、DMOS トランジスタのいずれでもよい。しかし、単位ランジスタ 1854 の出力バラツキを小さくする観点から、単位ランジスタ 1854 は CMOS トランジスタで構成することが好ましい。

単位ランジスタ 1854 は N チャンネルで構成することが好ましい。P チャンネルトランジスタで構成した単位ランジスタは、N チャンネルトランジスタで構成した単位ランジスタに比較して、出力バラツキが 1.5 倍になる。

ソースドライバ IC14 の単位ランジスタ 1854 は、N チャンネルトランジスタで構成することが好ましいことから、ソースドライバ IC14 のプログラム電流は、画素 16 からソースドライバ IC への引き込み電流となる。したがって、画素 16 の駆動用トランジスタ 11a は P チャンネルで構成される。また、図 1 のスイッチング用トラ

ンジスタ 11d も P チャンネルトランジスタで構成される。

以上のことから、ソースドライバ IC (回路) 14 の出力段の単位トランジスタ 1854 を N チャンネルトランジスタで構成し、画素 16 の駆動用トランジスタ 11a を P チャンネルトランジスタで構成するという構成は、本発明の特徴ある構成である。なお、画素 16 を構成するトランジスタ 11 のすべて (トランジスタ 11a、11b、11c、11d) を P チャンネルと形成するとよい。N チャンネルトランジスタを形成するプロセスとなくすことができるから、低コスト化と高歩留まり化を実現できる。

なお、単位トランジスタ 1854 は IC 14 に形成するとしたが、これに限定するものではない。低温ポリシリコン技術でソースドライバ回路 14 を形成してもよい。この場合も、ソースドライバ回路 14 内の単位トランジスタ 1854 は N チャンネルトランジスタで構成することが好ましい。

図 188 は電流受け渡し構成の実施例である。なお、図 187 は電圧受け渡し構成の実施例である。図 187、図 188 とともに回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図 187 において、1841 は第 1 段電流源用 N チャンネルトランジスタ、1842a は第 2 段電流源用 N チャンネルトランジスタ、1842b は第 2 段電流源用 P チャンネルトランジスタである。

図 188 において、1841a は第 1 段電流源用 N チャンネルトランジスタ、1842a は第 2 段電流源用 N チャンネルトランジスタ、1842b は第 2 段電流源用 P チャンネルトランジスタである。

図 187 では、可変抵抗 491 (電流を変化するために用いるものである) と N チャンネルトランジスタ 1841 で構成される第 1 段電

流源のゲート電圧が、第２段電流源のＮチャンネルトランジスタ１８４２ａのゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

一方、図１８８では、可変抵抗４９１とＮチャンネルトランジスタ１８４１ａで構成される第１段電流源のゲート電圧が、隣接する第２段電流源のＮチャンネルトランジスタ１８４２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰチャンネルトランジスタ１８４２ｂに受け渡されているので、電流受け渡し方式のレイアウト構成となる。

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第１の電流源と第２の電流源との関係を中心に説明しているが、これに限定されるものではなく、第２の電流源と第３の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

図１８７に示した電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段の電流源のＮチャンネルトランジスタ１８４１と第２段の電流源のＮチャンネルトランジスタ１８４２ａが離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第１段電流源の電流値が第２段電流源に正確に伝達されず、ばらつきが生じやすい。

それに対して、図１８８に示した電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段電流源のＮチャンネルトランジスタ１８４１ａと第２段電流源のＮチャンネルトランジスタ１８４２ａが隣接している（隣接して配置しや

すい) ので、両者のトランジスタ特性に相違は生じにくく、第 1 段電流源の電流値が第 2 段電流源に正確に伝達され、ばらつきが生じにくい。

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ回路（IC）14として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきの小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

なお、説明の都合上、第 1 段電流源から第 2 段電流源の場合を示したが、第 2 段電流源から第 3 段電流源、第 3 段電流源から第 4 段電流源、・・・などの多段の場合も同様であることは言うまでもない。また、本発明は 1 段の電流源構成を採用してもよいことは言うまでもない。

図 189 は、図 186 の 3 段構成のカレントミラー回路（3 段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図 186 は電圧受け渡し方式の回路構成である）。

図 189 では、まず、可変抵抗 491 と N チャンネルトランジスタ 1841 で基準電流が作成される。なお、可変抵抗 491 で基準電流を調整するように説明しているが、実際は、ソースドライバ IC（回路）14 内に形成（もしくは配置）された電子ボリウム回路によりトランジスタ 1841 のソース電圧が設定され、調整されるように構成される。もしくは、図 185 に図示するような多数の電流源（1 単位）1854 から構成される電流方式の電子ボリウムから出力される電流を直接にトランジスタ 1841 のソース端子に供給することにより基準電流は調整される。

トランジスタ 1841 による第 1 段電流源のゲート電圧が、隣接する第 2 段電流源の N チャンネルトランジスタ 1842a のゲートに印加され、その結果トランジスタに流れる電流値が、第 2 段電流源の P チャンネルトランジスタ 1842b に受け渡される。また、第 2 の電流源のトランジスタ 1842b によるゲート電圧が、隣接する第 3 段電流源の N チャンネルトランジスタ 1843a のゲートに印加され、その結果トランジスタに流れる電流値が、第 3 段電流源の N チャンネルトランジスタ 1843b に受け渡される。第 3 段電流源の N チャンネルトランジスタ 1843b のゲートには図 185 に図示する多数の N チャンネルの単位トランジスタ 1854 が必要なビット数に応じて形成（配置）される。

以下、本発明の表示パネルについて説明をする。本発明の表示パネルは、画素およびゲートドライバ回路 12 をポリシリコン技術で形成している。ソースドライバ回路 14 はシリコンウエハを加工した IC チップから構成されている。したがって、ソースドライバ回路 14 はソースドライバ IC である。ソースドライバ IC 14 は、COG 技術でアレイ基板 71 に積載する。そのため、ソースドライバ IC 14 下には空間がある。この空間（アレイ基板面）にアノード線を形成する。

図 83 に図示するようにアノード接続端子からアノード線 832 が配線され、ソースドライバ IC の両側に形成されたアノード線 832 は、IC 14 下に形成されたアノード結合線 835 で電氣的に接続されている。

IC 14 の出力側には共通アノード線 833 が形成または配置されている。共通アノード線 833 からアノード配線 834 が分岐されている。アノード配線 834 は QCIF パネルの場合は、 $176 \times RG$

B = 528本である。アノード配線834を介して、図1などで図示するV_{dd}電圧（アノード電圧）が供給される。1本のアノード配線834には、EL素子15が低分子材料の場合は、最大で200 μ A程度の電流が流れる。したがって、共通アノード配線833には、200 μ A \times 528で約100 mAの電流が流れる。

したがって、共通アノード配線833での電圧降下を0.2 (V) 以内にするには、電流が流れる最大経路の抵抗値が2 Ω (100 mA流れるとして) 以下にする必要がある。

アノード結合線835はICチップ14の下に形成（配置）する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことはいふまでもない。その他、アノード結合線835は遮光の機能を持たせることが好ましい。EL素子15が発生する光のよって、ソースドライバIC14にホトコンダクタ現象が発生し、誤動作を防止するためである。なお、アノード結合線835を金属材料で所定膜厚形成すれば、遮光の効果があることはいふまでもない。

アノード結合線835が太くできない時、あるいは、ITOなどの透明材料で形成するときは、アノード結合線835に積層して、あるいは多層に、光吸収膜あるいは光反射膜をICチップ14下（基本的にはアレイ71の表面）に形成する。また、アノード結合線835は、完全な遮光膜であることを必要としない。部分に開口部があってもよく。また、回折効果、散乱効果を発揮するものでもよい。また、アノード結合線835に積層させて、光学的干涉多層膜からなる遮光膜を形成または配置してもよい。

もちろん、アレイ基板71とICチップ14との空間に、金属箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シー

ト)を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板(シート)、光吸収板(シート)を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板71とICチップ14との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、アノード結合線835を遮光膜(反射膜)にするとして説明をする。

アノード結合線835はアレイ基板71の表面(なお、表面に限定するものではない。遮光膜/反射膜とするという思想を満足させるためには、ICチップ14の裏面に光が入射しなければよいのである。したがって、基板71の内面あるいは内層にアノード結合線835などを形成してもよいことは言うまでもない。また、基板71の裏面にアノード結合線835(反射膜、光吸収膜として機能する構成または構造)を形成することにより、IC14に光が入射することを防止または抑制できるのであれば、アレイ基板71の裏面でもよい。

また、図83などでは、遮光膜などはアレイ基板71に形成するとしたがこれに限定するものではなく、ICチップ14の裏面に直接に遮光膜などを形成してもよい。この場合は、ICチップ14の裏面に絶縁膜(図示せず)を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。

また、ソースドライバ回路14がアレイ基板71に直接に形成する構成(低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術

、アモルファスシリコン技術によるドライバ構成)の場合は、遮光膜、光吸収膜あるいは反射膜を基板71に形成し、その上にドライバ回路14を形成(配置)すればよい。

ICチップ14には電流出力回路1461など、微少電流を流すトランジスタ素子が多く形成されている(図146)。微少電流を流すトランジスタ素子に光が入射すると、ホトコンダクタ現象が発生し、出力電流(プログラム電流 I_w)などが異常な値(バラツキが発生するなど)となる。特に、有機ELなどの自発光素子は、基板71内でEL素子15から発生した光が乱反射するため、表示領域50以外の箇所から強い光が放射される。この放射された光が、ICチップ14の回路形成部1461に入射するとホトコンダクタ現象を発生する。したがって、ホトコンダクタ現象の対策は、EL表示デバイスに特有の対策である。

この課題に対して、本発明では、アノード結合線835を基板71上に構成し、遮光膜する。アノード結合線835の形成領域は図83に図示するように、回路形成部1461を被覆するようにする。以上のように、遮光膜(アノード結合線835)を形成することにより、ホトコンダクタ現象を完全に防止できる。特にアノード結合線835などのEL電源線は、画面書き換えに伴い、電流がながれて多少の電位が変化する。しかし、電位の変化量は、1Hタイミングで少しずつ変化するため、ほど、グランド電位(電位変化しないという意味)として見なせる。したがって、アノード結合線835は遮光の機能だけでなく、シールドの効果も発揮する。

共通アノード線832の電圧降下、アノード配線834の電圧降下を抑制するため、図84に図示するように、表示画面50の上側に共

通アノード線 8 3 2 a を形成し、表示画面 5 0 の下側に共通アノード線 8 3 2 b を形成して、アノード配線 8 3 4 の上下でショート状態にするとよい。

また、図 8 5 に図示するように、画面 5 0 の上下にソースドライバ回路 1 4 を配置することも好ましい。また、図 8 6 に図示するように、表示画面 5 0 を表示画面 5 0 a と表示画面 5 0 b に分割し、表示画面 5 0 a をソースドライバ回路 1 4 a で駆動し、表示画面 5 0 b をソースドライバ回路 1 4 b で駆動するようにしてもよい。

有機 E L などの自発光素子は、基板 7 1 内で E L 素子 1 5 から発生した光が乱反射するため、表示領域 5 0 以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、画像表示に有効な光が通過しない箇所（無効領域）に光吸収膜を形成するとよい。光吸収膜を形成する箇所は、封止フタ 8 5 の外面、封止フタ 8 5 の内面、基板 7 0 の側面、基板の画像表示領域以外（光吸収膜 1 0 1 1 b）などである。なお、光吸収膜に限定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光を散乱させることのより、光を発散させる方式あるいは構造も含まれる、また、広義には反射により光を封じこめる方式あるいは構成も含まれる。

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含むさせたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルタの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパ

ッタにより形成された PrMnO_3 膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

図 9 4 は本発明の電源回路の構成図である。9 4 2 は制御回路である。抵抗 9 4 5 a と 9 5 4 b の中点電位を制御し、トランジスタ 9 4 6 のゲート信号を出力する。トランス 9 4 1 の 1 次側には電源 V_{pc} が印加され、1 次側の電流がトランジスタ 9 4 6 のオンオフ制御により 2 次側に伝達される。9 4 3 は整流ダイオードであり、9 4 4 は平滑化コンデンサである。

アノード電圧 V_{dd} は抵抗 9 4 5 b に出力電圧が調整される。 V_{ss} はカソード電圧である。カソード電圧 V_{ss} は図 9 5 に図示するように 2 つの電圧を選択して出力できるように構成されている。選択はスイッチ 9 5 1 で行う。図 9 5 では、スイッチ 9 5 1 により -9 (V) が選択されている。

スイッチ 9 5 1 の選択は温度センサ 9 5 2 からの出力結果による。パネル温度が低いときは、 V_{ss} 電圧として、 -9 (V) を選択する。一定以上のパネル温度の時は、 -6 (V) を選択する。これは、EL 素子 1 5 に温特があり、低温側で EL 素子 1 5 の端子電圧が高くなるためである。なお、図 9 5 では、2 つの電圧から 1 つの電圧を選択し、 V_{ss} (カソード電圧) とするとしたが、これに限定するものではなく、3 つ以上の電圧から V_{ss} 電圧を選択できるように構成してもよい。以上の事項は、 V_{dd} についても同様に適用される。

図 9 5 のように、複数の電圧をパネル温度により選択できるように構成することで、パネルの消費電力を低減することができる。一定温度以下の時に、 V_{ss} 電圧を低下させればよいからである。通常は、電圧が低い $V_{ss} = -6$ (V) を使用することができる。なお、スイ

タッチ 951 は図 96 に図示するように構成してもよい。なお、複数のカソード電圧 V_{ss} を発生させるのは、図 96 のトランス 941 から中間タップをとりだすことにより容易に実現できる。アノード電圧 V_{dd} の場合も同様である。

図 97 は電位設定の説明図である。ソースドライバ IC14 は GND を基準にする。ソースドライバ IC14 の電源は V_{cc} である。 V_{cc} はアノード電圧 (V_{dd}) と一致させてもよい。本発明では消費電力の観点から、 $V_{cc} < V_{dd}$ にしている。

ゲートドライバ回路 12 のオフ電圧 V_{gh} は、 V_{dd} 電圧以上にする。好ましくは、 $V_{dd} + 0.5 \text{ (V)} < V_{gh} < V_{dd} + 2.5 \text{ (V)}$ の関係を満足させる。オン電圧 V_{gl} は V_{ss} と一致させてもよいが、好ましくは、 $V_{ss} \text{ (V)} < V_{gl} < -0.5 \text{ (V)}$ の関係を満足させる。以上の電圧設定は、画素構成が図 1 の場合に重要である。

本発明は有機 EL 表示装置について説明をしているが、有機 EL 表示装置に用いる表示パネルは有機 EL 表示パネルのみに限定されるものではない。たとえば、図 99 に図示するように有機 EL 表示パネルをメイン表示パネルとして用い、液晶表示パネル 991 をサブ表示パネルとして用いる表示装置を構成してもよい。

図 100 は、メイン表示用のアレイ基板 71a とサブ表示用のアレイ基板 71b をもちいた EL 表示パネルの構成図である。アレイ基板 71a とアレイ基板 71b 間に乾燥剤 107 が配置されている（封入されている）（図 101 を参照のこと）。

1001 は ACF などの接続樹脂である。ソースドライバ回路 14 からの信号は、アレイ基板 71a のソース信号線 18、接続樹脂 10

01を介してアレイ基板71bのソース信号線18に伝達される。

1004は偏光板あるいは円偏光板である。偏光板1004とアレイ基板71間には拡散剤1003が配置または形成されている。拡散剤1003は偏光板1004とアレイ基板71とをはり合わせる接着剤としても機能する。拡散剤1004は、アクリル系接着剤内に酸化チタンの微粉末が添加されたもの、アクリル系接着剤内に炭酸カルシウムの微粉末が添加されたものが例示される。拡散剤1004によりEL素子15から発生した光の取り出し効率が向上する。

図101はアレイ基板71aとアレイ基板71b間にガラスリング1011を配置した構成である。ガラスリング1011を使用することにより、アレイ基板71aとアレイ基板71b間の距離を自由に設定できるようになる。

図102は本発明のパネルモジュールの構成図である。フレキ1021はコネクタ端子1023に入力された信号をソースドライバIC14およびゲートドライバ回路12に伝達する機能を有する。また、1022はコントロールICである。

コントロールIC1022はシリアル映像データをパラレル変換してソースドライバIC14に入力する。また、パネルの制御データを解読してソースドライバ回路14などを制御する機能を有する。

図103は信号の流れを模式的に示したものである。シリアルデータ1031がフレキ1021の配線を介してコントロールIC1022に入力される。コントロールIC1022はシリアル/パラレルデータ変換を行い、パラレル映像データ1032、ゲートドライブ回路制御データ1033に展開する。

図104はコントローラIC1022が展開するデータを記載した

ものである。入力はシリアル映像信号DATA、シリアル制御データIDおよびクロックCLKである。出力は、パラレル映像データ(RDATA(赤データ)、GDATA(緑データ)、BDATA(青データ))、プリチャージ電圧(RPV(赤用プリチャージ電圧)、GPV(緑用プリチャージ電圧)、BPV(青用プリチャージ電圧))、クロック(CLK)、上下反転信号(UD)、EL側のゲート回路制御信号(ELCNTL)、WR側のゲート回路制御信号(WRCNTL)などである。

図108は入力データ信号のタイミングチャートである。IDはHレベルの時、DATAが映像信号であることを示し、Lレベルの時、DATAが制御データであることを示す。データはCLKの立ち上りで検出する。図109は制御データIDもシリアル入力にした実施例である。また、図110は入力信号をLVDS信号とした実施例である。

図105は本発明の表示パネルの構成図である。図105の(a)は表示パネルの裏面であり、図105の(b)はAA'線での断面図である。表示パネルの裏面には、放熱板1051が取り付けられている。また、図11で説明した薄膜封止が実施されている。放熱板1051は薄膜封止膜111上にシリコン系の接着剤(図示せず)で接着されている。前記接着剤は、EL素子15で発熱した熱の伝導体としても作用する。放熱板には複数の穴1052が形成されている。この穴1052内を空気が通過し、パネルの熱を放熱する。

図106に図示するように、回路基板(プリント基板)1062上には実装部品1061が実装されている。回路基板1062はパネルの接続端子とフレキ基板1021で取り付けられている。したがって

、回路基板 1062 からの信号は、フレキ基板 1021 を介してパネル基板 71 に伝達される。

プリント基板 1062 と基板 71 とは接触し、薄膜封止膜 111 に傷がつかないように、プリント基板 1062 上に緩衝部材（緩衝突起）1063 が形成されている（図 106 の（a））。緩衝部材 1063 はアクリル樹脂、ポリウレタン樹脂、ポリイミド樹脂で形成するとよい。なお、緩衝部材 1063 は図 106 の（b）に図示するように、パネル基板 71 側に形成してもよい。図 107 に図示するように、筐体 573 上にパネル基板 71 を配置する場合は、筐体 573 とパネル基板 71 間に緩衝部材 1063 を配置するとよい。

つぎに、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。図 57 は情報端末装置の一例としての携帯電話の平面図である。筐体 573 にアンテナ 571、テンキー 572 などが取り付けられている。572 などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

キー 572 を 1 度押さえると表示色は 8 色モードに、つづいて同一キー 572 を押さえると表示色は 256 色モード、さらにキー 572 を押さえると表示色は 4096 色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー 572 は 3 つ（以上）となる。

キー 572 はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、4096 色を受話器に音声入力すること、たとえば、「高品位表示」、「256 色モード」あるいは「低表示色モ

ード」と受話器に音声入力することにより表示パネルの表示画面50に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

また、表示色の切り替えは電氣的に切換るスイッチでもよく、表示パネルの表示部21に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

572は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

なお、表示色などによりフレームレートを切換るという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。

図57で説明した本発明の携帯電話では図示していないが、筐体の裏側にCCDカメラを備えている。CCDカメラで撮影し画像は即時に表示パネルの表示画面50に表示できる。CCDカメラで撮影した

データは、表示画面 50 に表示することができる。CCDカメラの画像データは 24 ビット（1670 万色）、18 ビット（26 万色）、16 ビット（6.5 万色）、12 ビット（4096 色）、8 ビット（256 色）をキー 572 入力で切り替えることができる。

図 58 は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図 58 において、接眼カバーを省略している。以上のことは他の図面においても該当する。

ボデー 573 の裏面は暗色あるいは黒色にされている。これは、EL 表示パネル（表示装置）574 から出射した迷光がボデー 573 の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ $\lambda/4$ 板など）108、偏光板 109 などが配置されている。このことは図 10、図 11 でも説明している。

接眼リング 581 には拡大レンズ 582 が取り付けられている。観察者は接眼リング 581 をボデー 573 内での挿入位置を可変して、表示パネル 574 の表示画像 50 にピントがあうように調整する。

また、必要に応じて表示パネル 574 の光出射側に正レンズ 583 を配置すれば、拡大レンズ 582 に入射する主光線を収束させることができる。そのため、拡大レンズ 582 のレンズ径を小さくすることができる、ビューファインダを小型化することができる。

図 59 はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 592 とビデオカメラ本体 573 と具備し、撮影レンズ部 592 とビューファインダ部 573 とは背中合わせとなっている。ま

た、ビューファインダ（図58も参照）573には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル574の画像50を観察する。

一方、本発明のEL表示パネルは表示モニターとしても使用されている。表示部50は支点591で角度を自由に調整できる。表示部50を使用しない時は、格納部593に格納される。

スイッチ594は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ594は表示モード切り替えスイッチである。スイッチ594は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ594について説明をする。

本発明の駆動方法の1つにN倍の電流をEL素子15に流し、1Fの $1/M$ の期間だけ点灯させる方法がある。この点灯させる期間を変化させることのより、明るさをデジタル的に変更することができる。たとえば、 $N=4$ として、EL素子15には4倍の電流を流す。点灯期間を $1/M$ とし、 $M=1, 2, 3, 4$ と切り替えれば、1倍から4倍までの明るさ切り替えが可能となる。なお、 $M=1, 1.5, 2, 3, 4, 5, 6$ などに変更できるように構成してもよい。

以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面50を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとEL素子15は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さ

らに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるような構成しておく。

したがって、ユーザーがボタン594で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

なお、表示画面50はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して70%の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50%輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したN倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

具体的には、画面の上部と下部ではMの値と大きくし、中央部でMの値を小さくする。これは、ゲートドライバ12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角0.9）を50%にした時、100%輝度の場合に比較して約20%の低消費電力化が可能である。周辺輝度（画角0.9）を70%にした時、100%輝度の場合に比較して約15%の低消費電力化が可能である。

なお、ガウス分布表示はオンオフできるように切り替えスイッチな

どを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことがこのましい。

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が60Hzの交流で点灯しているとき、EL表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

以上の機能をスイッチ594で実現できるようにする。スイッチ594は表示画面50のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。ま

た、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

本実施の形態のE L表示装置などはビデオカメラだけでなく、図60に示すような電子カメラにも適用することができる。表示装置はカメラ本体601に付属されたモニター50として用いる。カメラ本体601にはシャッタ603の他、スイッチ594が取り付けられている。

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面50がたわみやすい。その対策のため、本発明では図61に示すように表示パネルに外枠611をつけ、外枠611をつりさげられるように固定部材614で取り付けられている。この固定部材614を用いて、壁などに取り付ける。

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部613を配置し、複数の脚612で表示パネルの重量を保持できるようにしている。

脚612はAに示すように左右に移動でき、また、脚612はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

図61のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが1つの目的である。保護フィルムの表面にはA I Rコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に3辺フリーの構

成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のN倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

なお、本発明のN倍パルス駆動（図13、図16、図19、図20、図22、図24、図30など）などは、低温ポリシリコン技術でトランジスタ11を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ11では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図22、図24、図30のN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およ

びその表示装置にも適用できる。

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。

また、スキャナの光源としても有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

また、液晶表示装置のバックライトにも有機EL表示装置は有効である。EL表示装置（バックライト）のRGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

産業上の利用可能性

本発明によれば、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

請 求 の 範 囲

1. マトリックス状に配置されたE L素子と、
前記E L素子に流す電流を供給する駆動用トランジスタと、
前記E L素子の電流経路に配置された第1のスイッチング素子と、
前記第1のスイッチング素子をオンオフ制御するゲートドライバ回路と、

前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、

前記駆動用トランジスタはPチャンネルトランジスタであり、

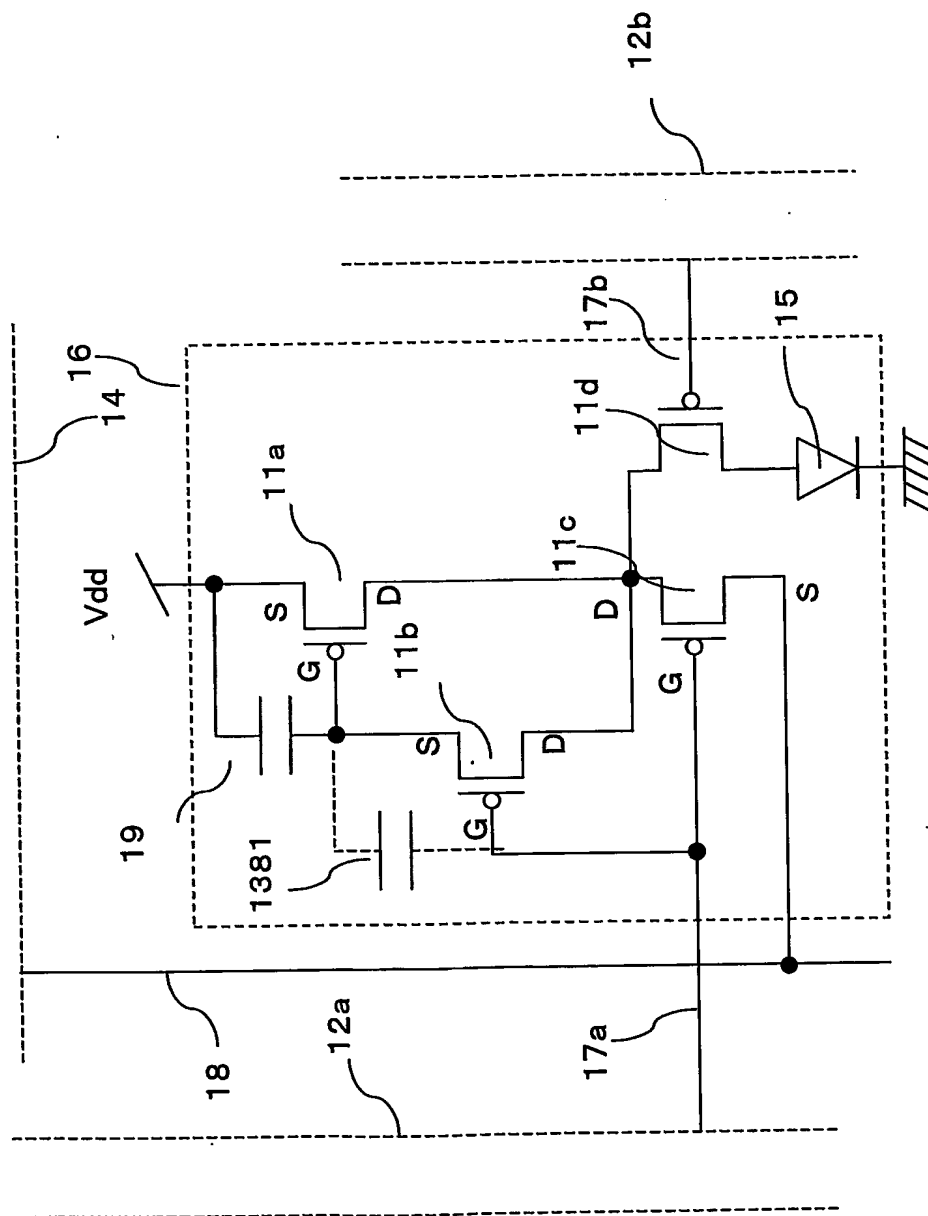
前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはNチャンネルトランジスタであり、

前記ゲートドライバ回路は、前記第1のスイッチング素子を、1フレーム期間または1フィールド期間において、少なくとも複数回以上オフ状態に制御するE L表示パネルの駆動方法。

2. 前記第1のスイッチング素子は、1フレーム期間または1フィールド期間において、周期的にオフ状態に制御される請求項1記載のE L表示パネルの駆動方法。

1/189

第1図



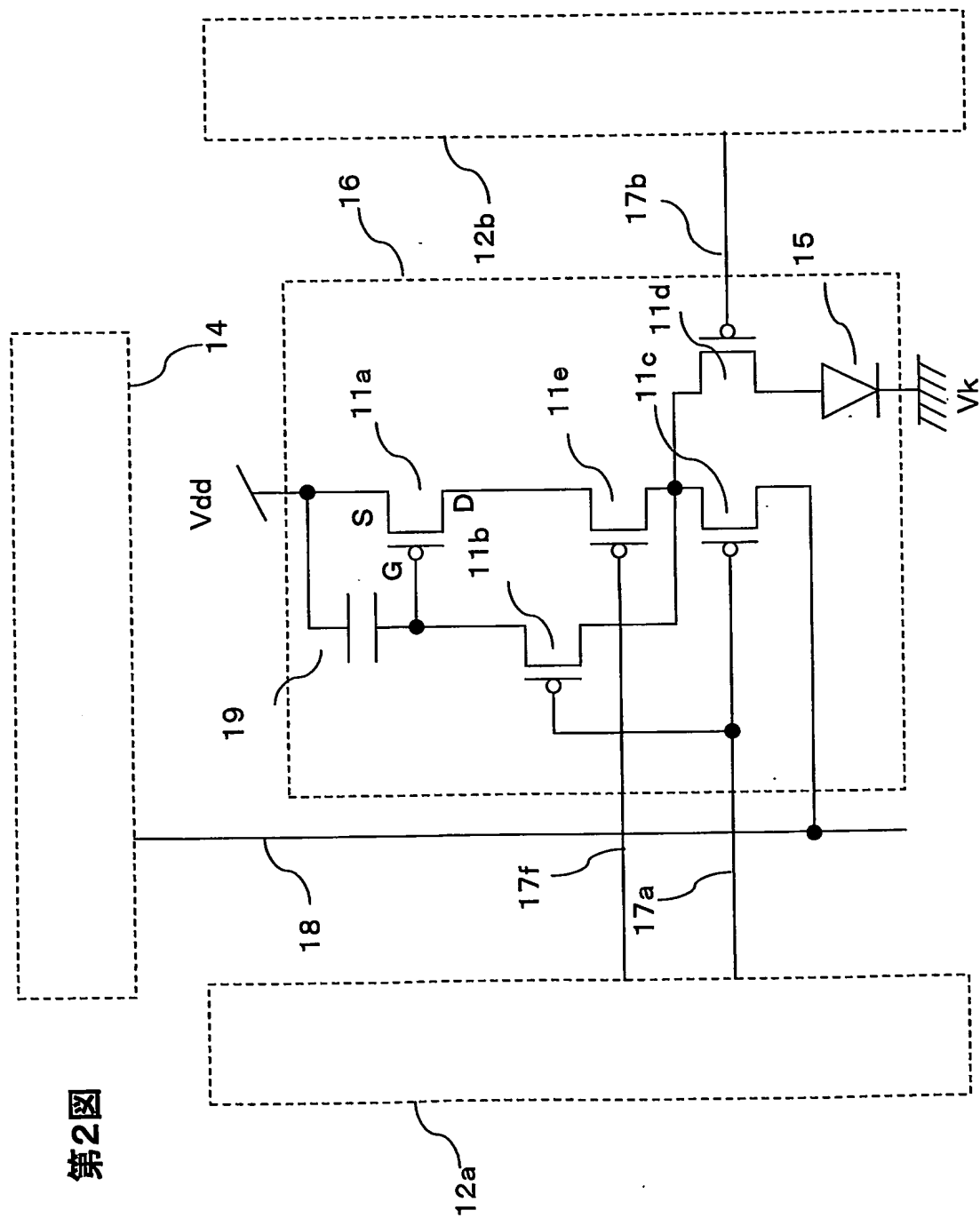
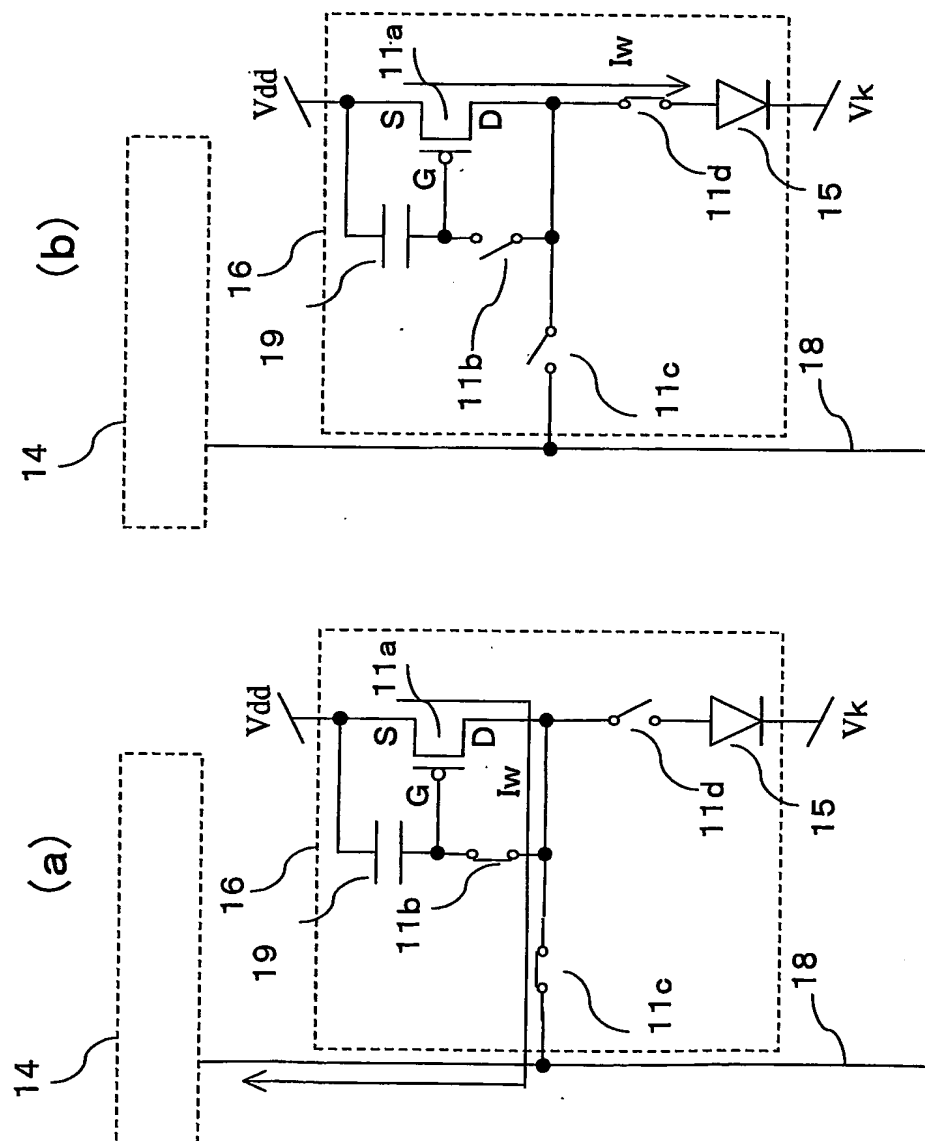
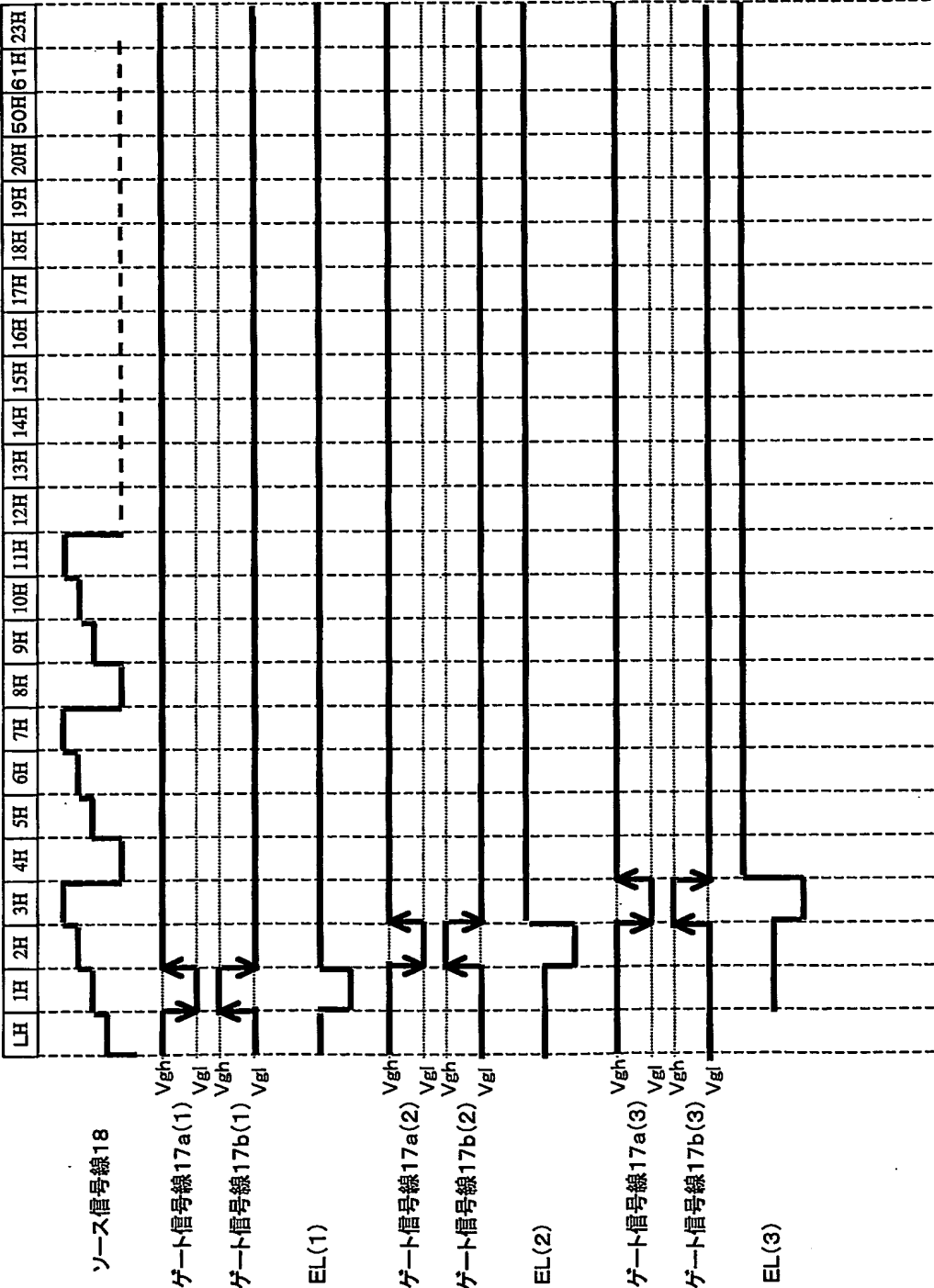


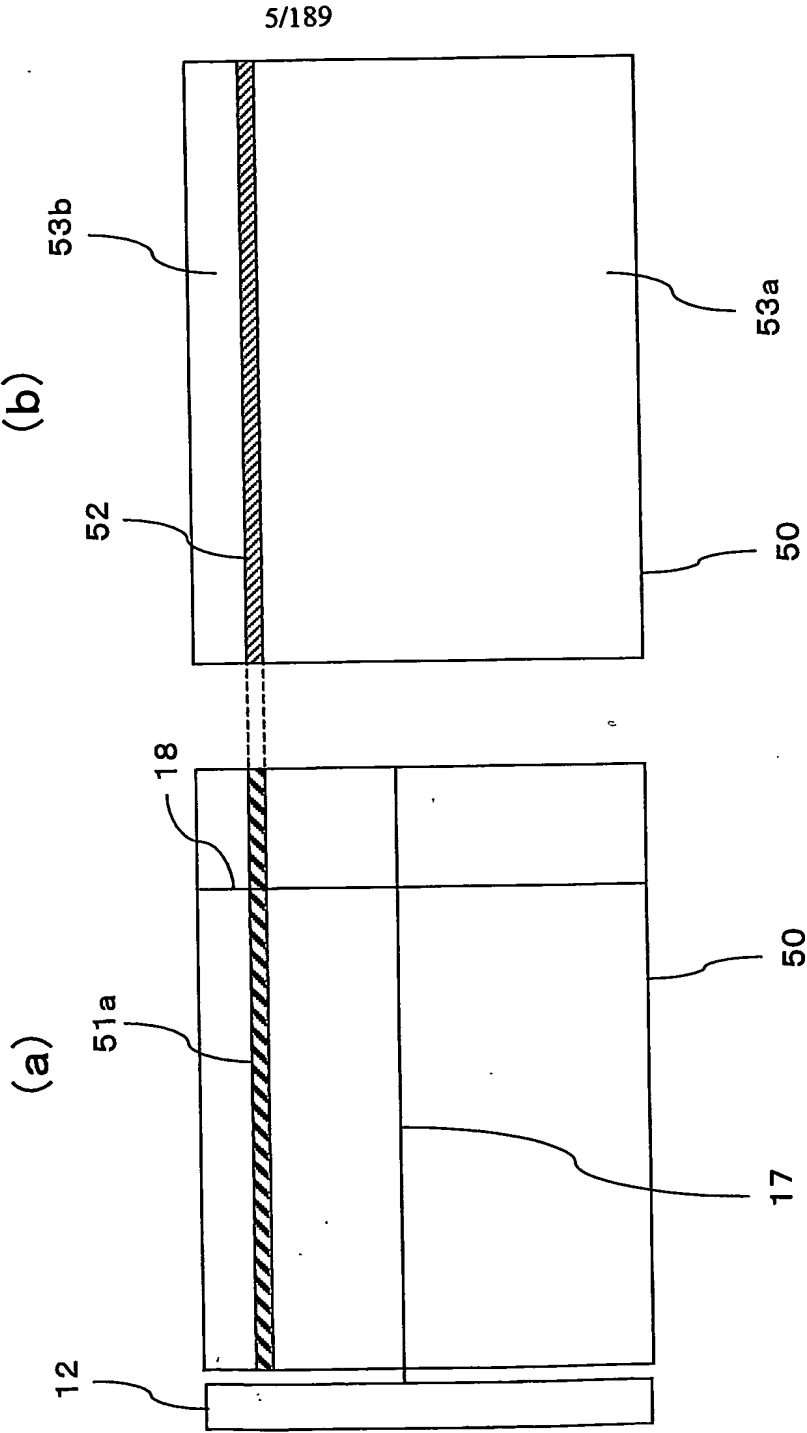
圖 3 振



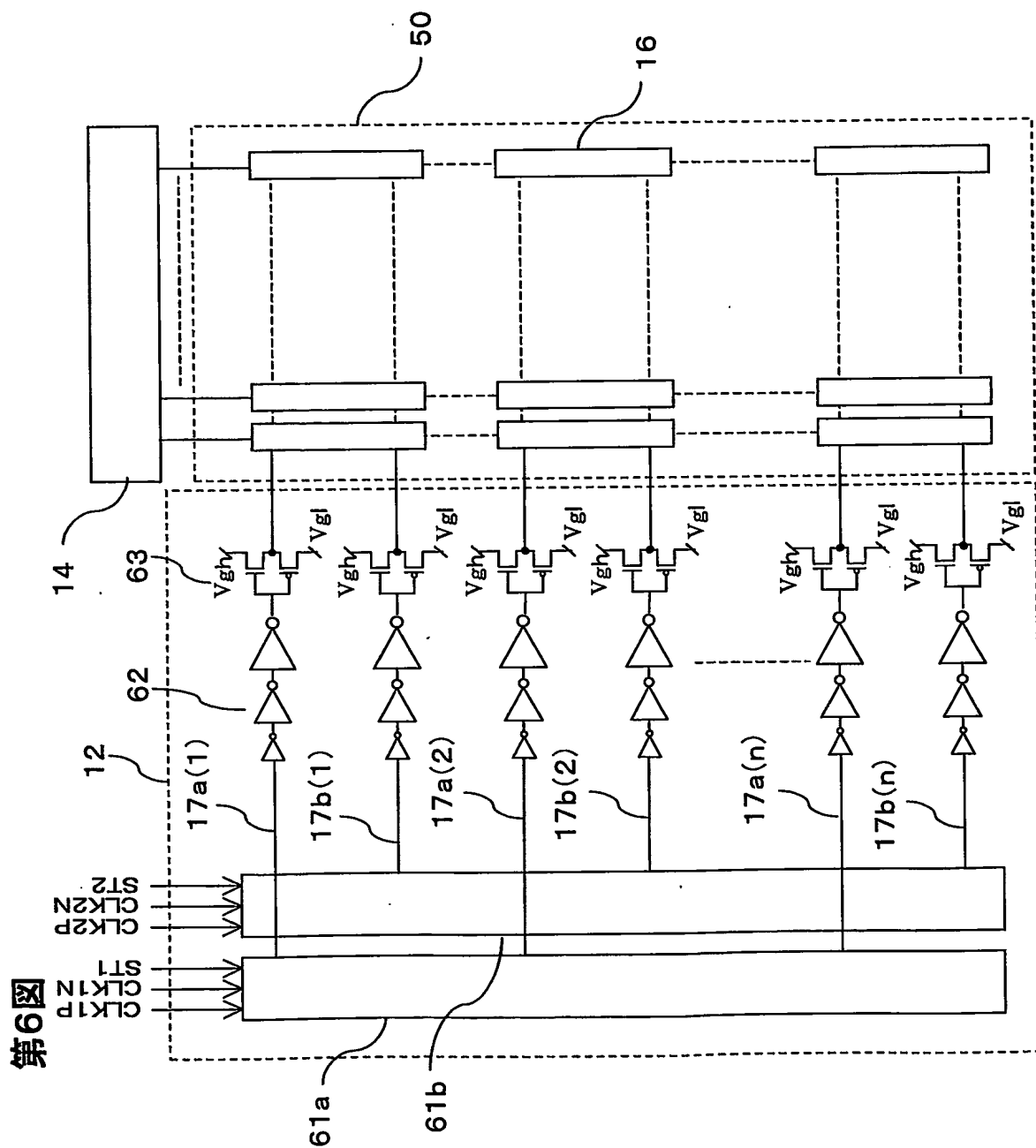
第4図



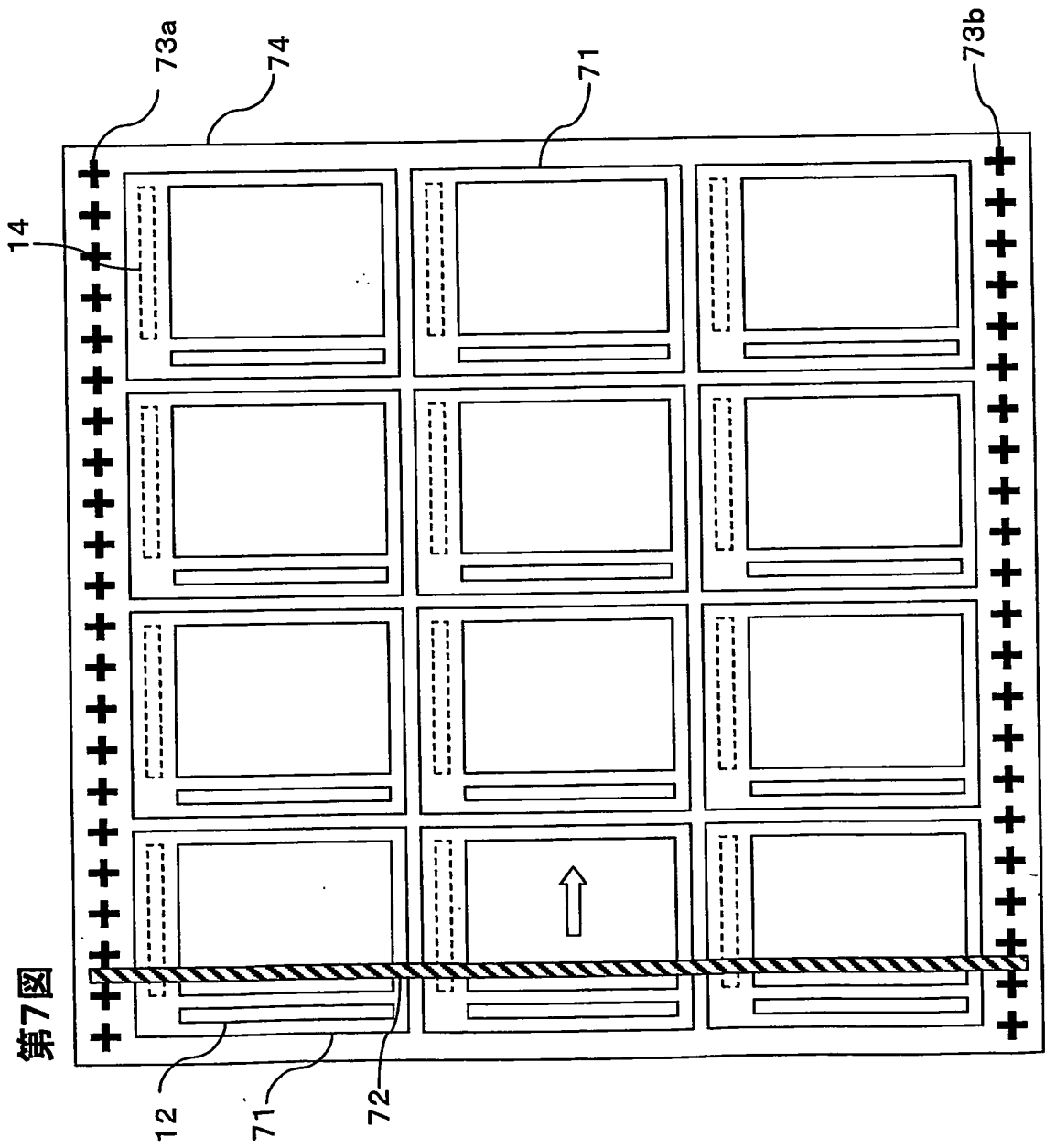
第5図

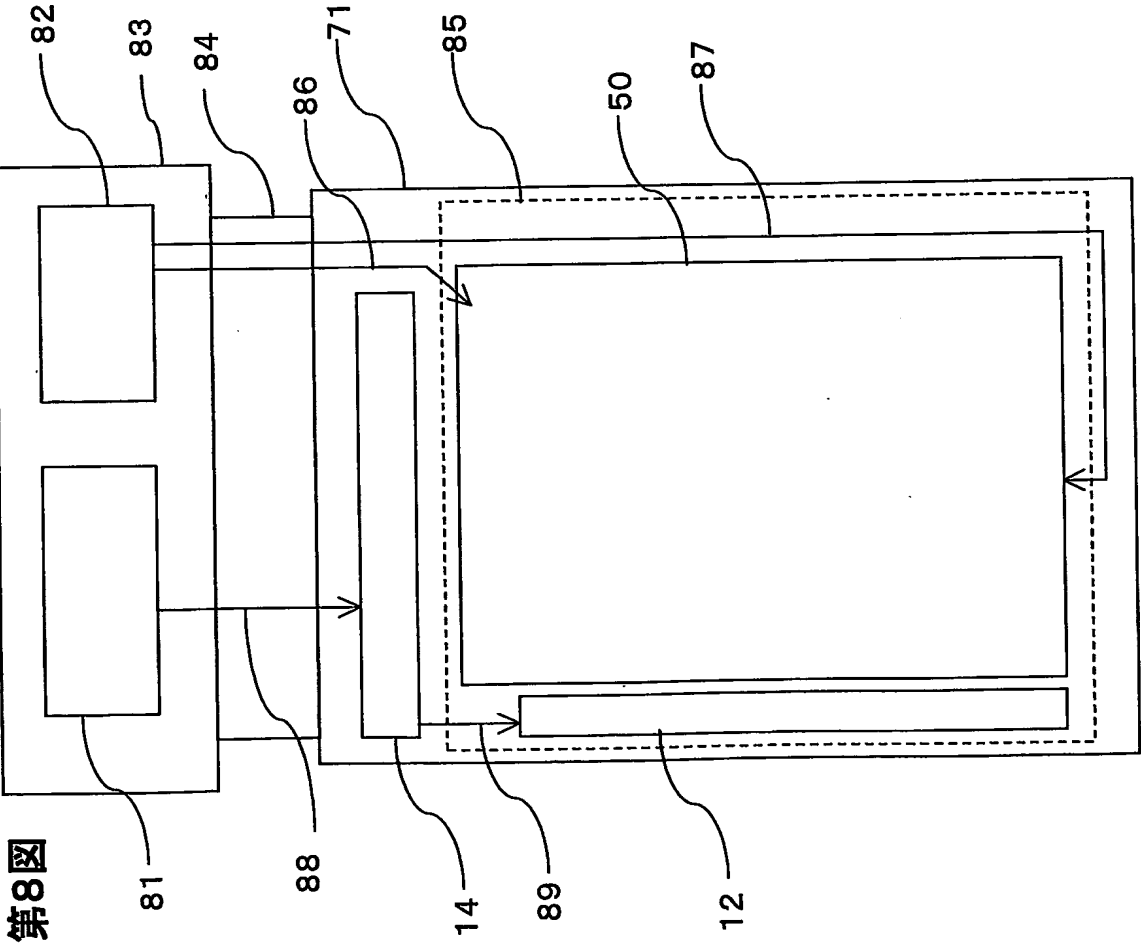


6/189

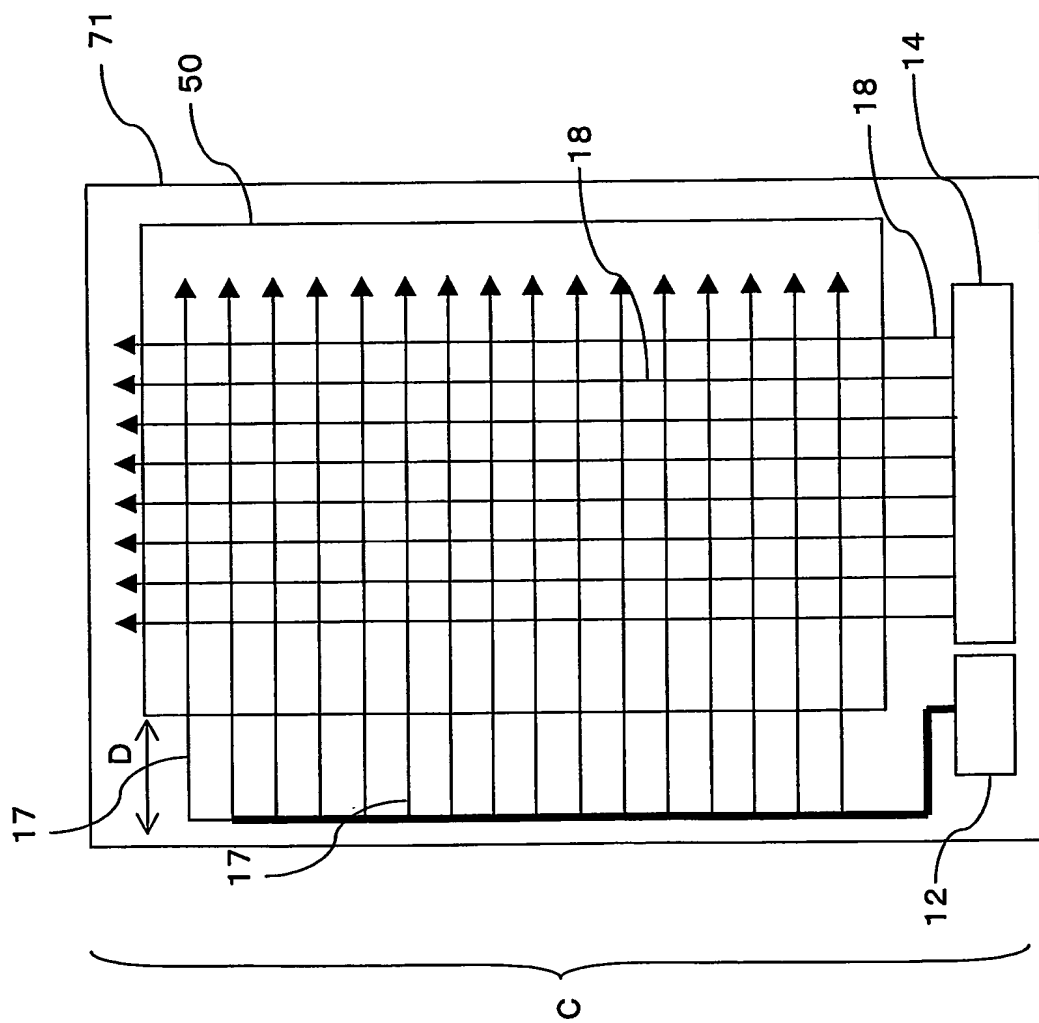


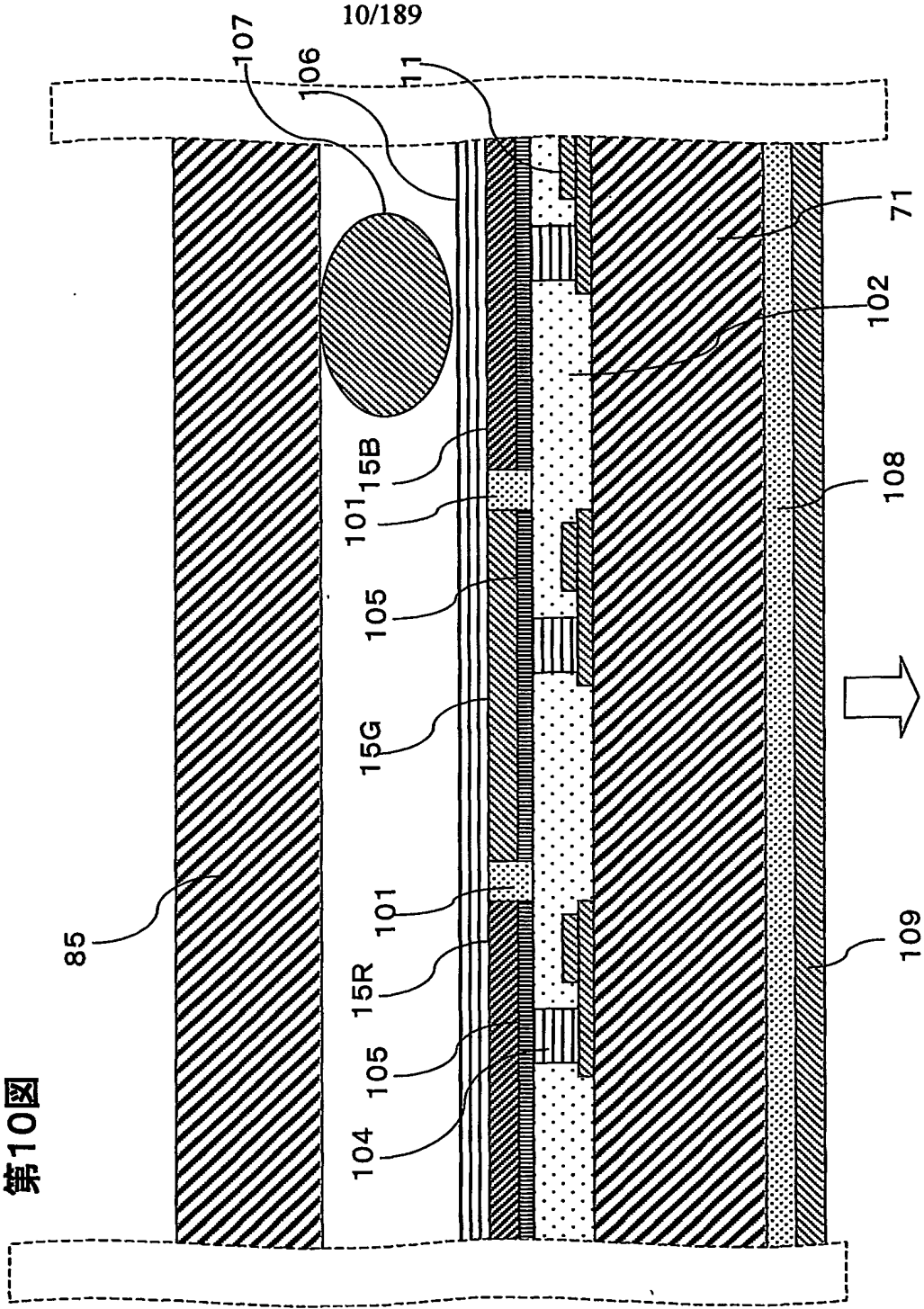
7/189



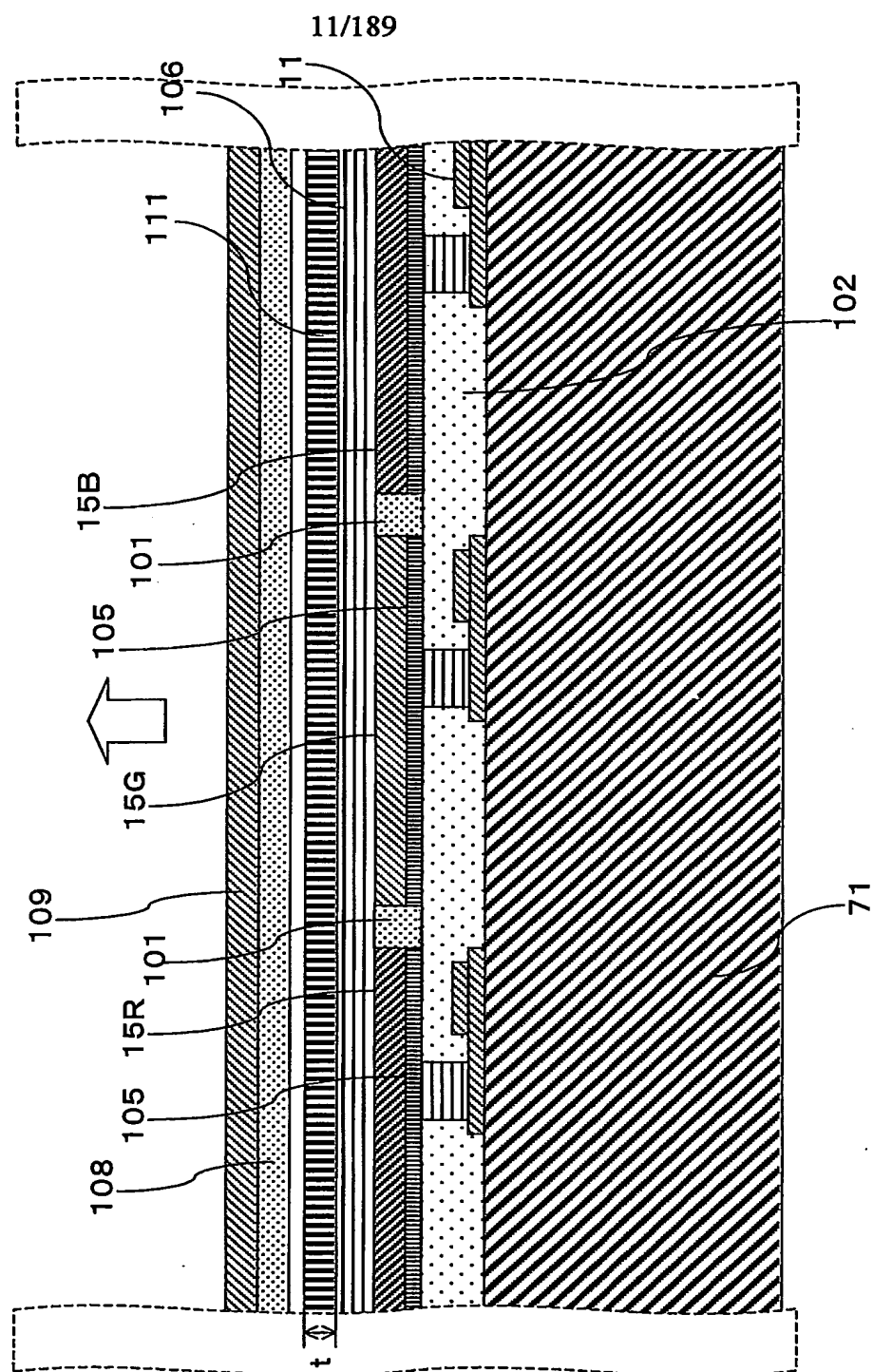


9/189

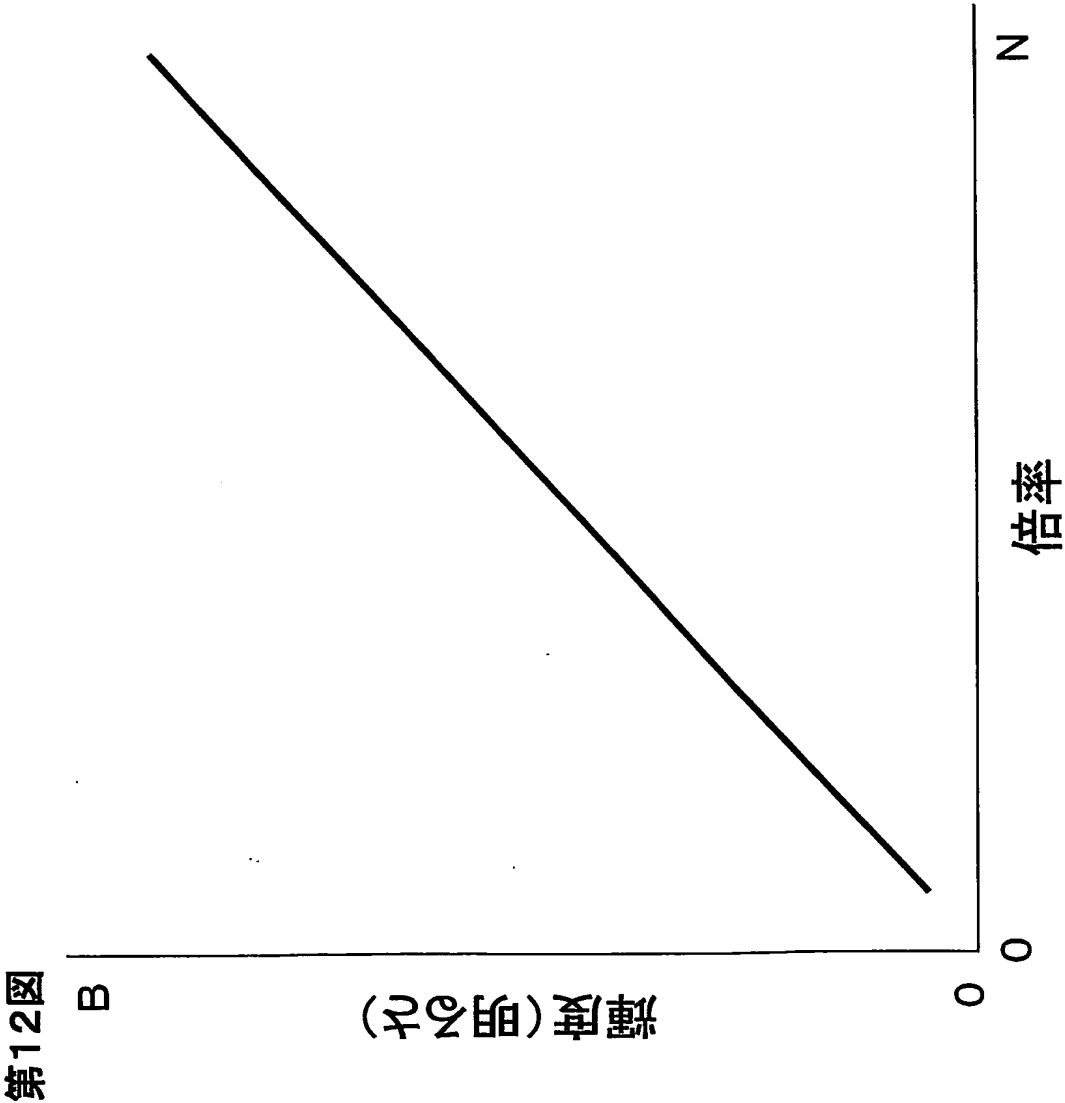




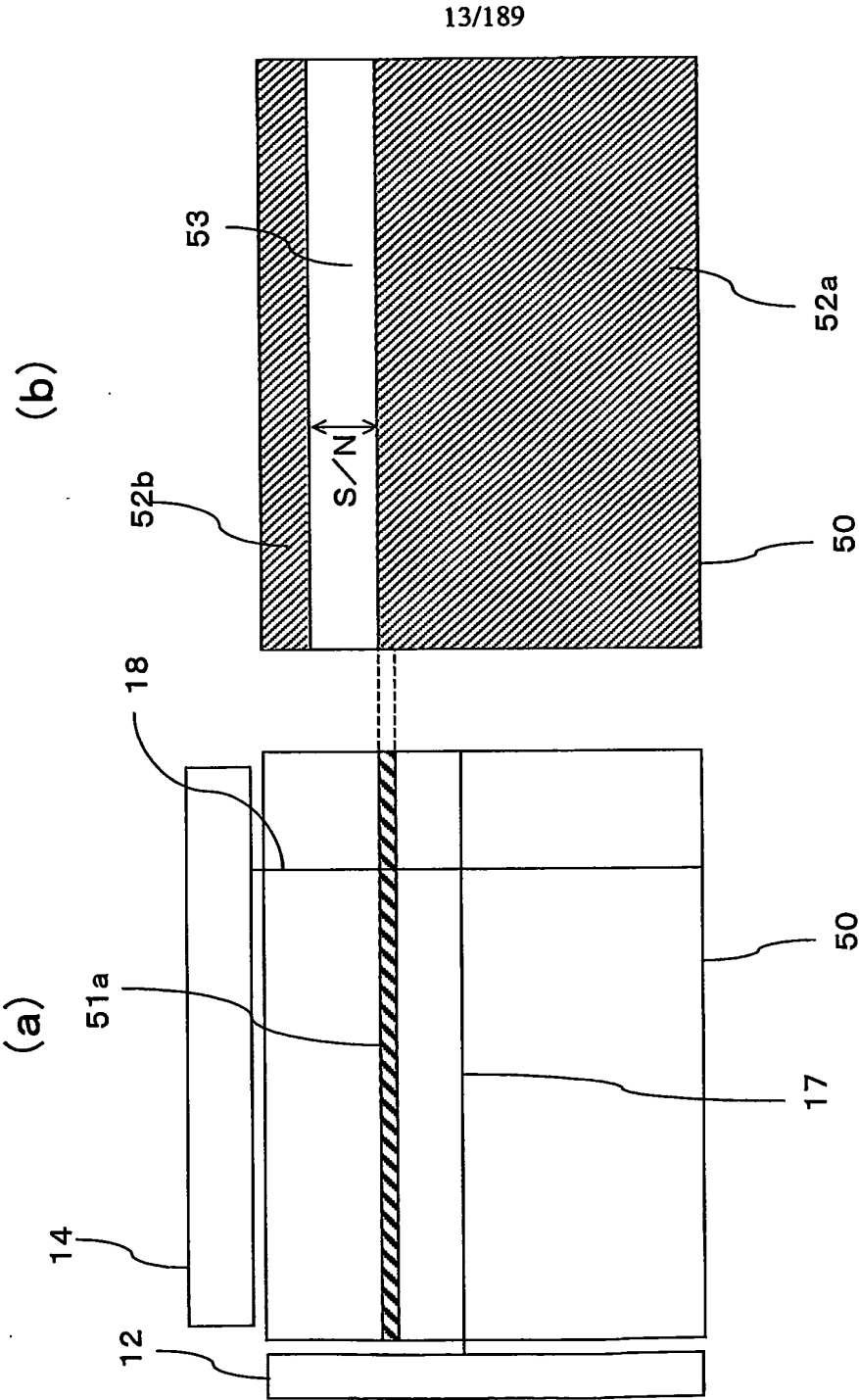
第11図



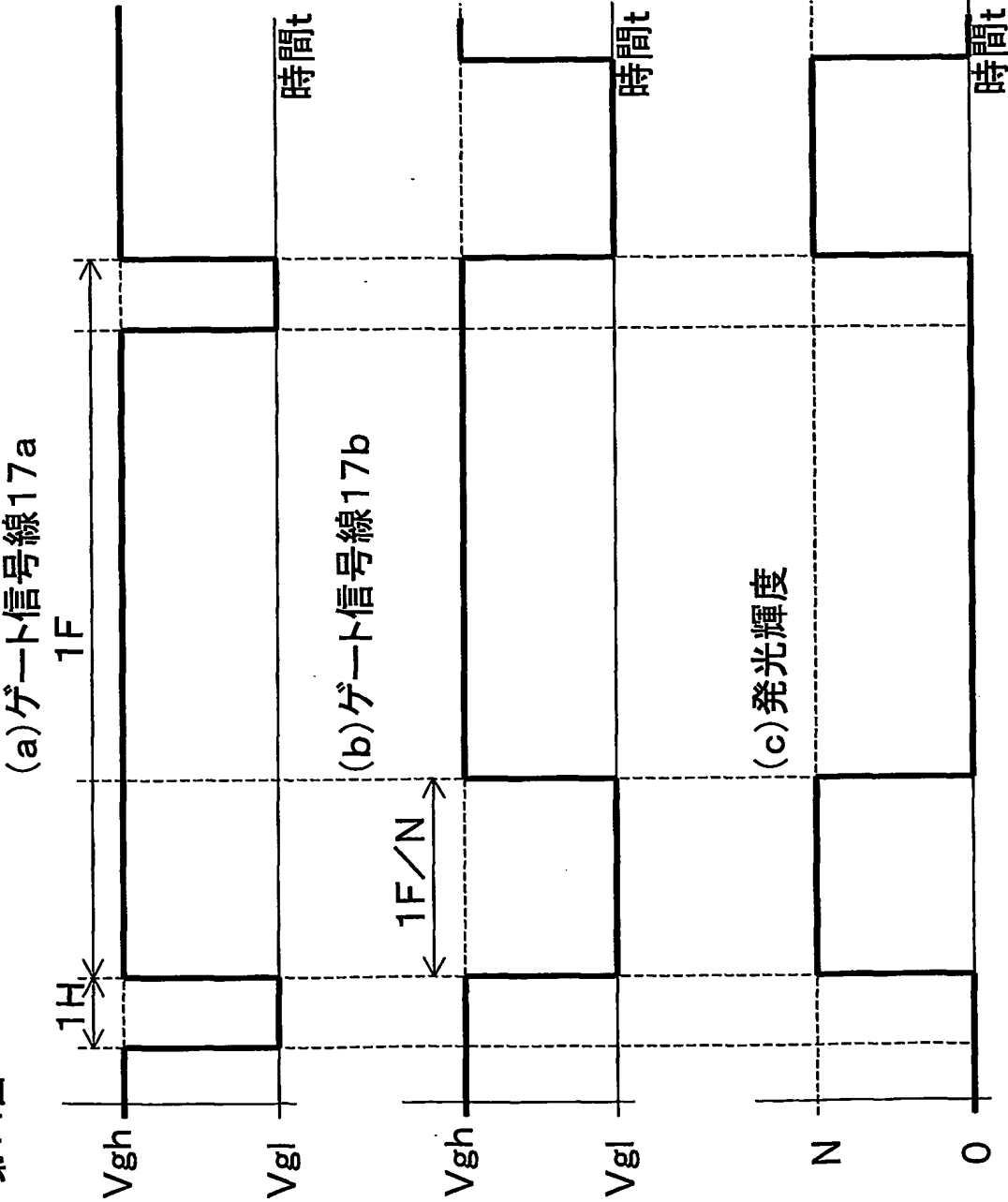
12/189



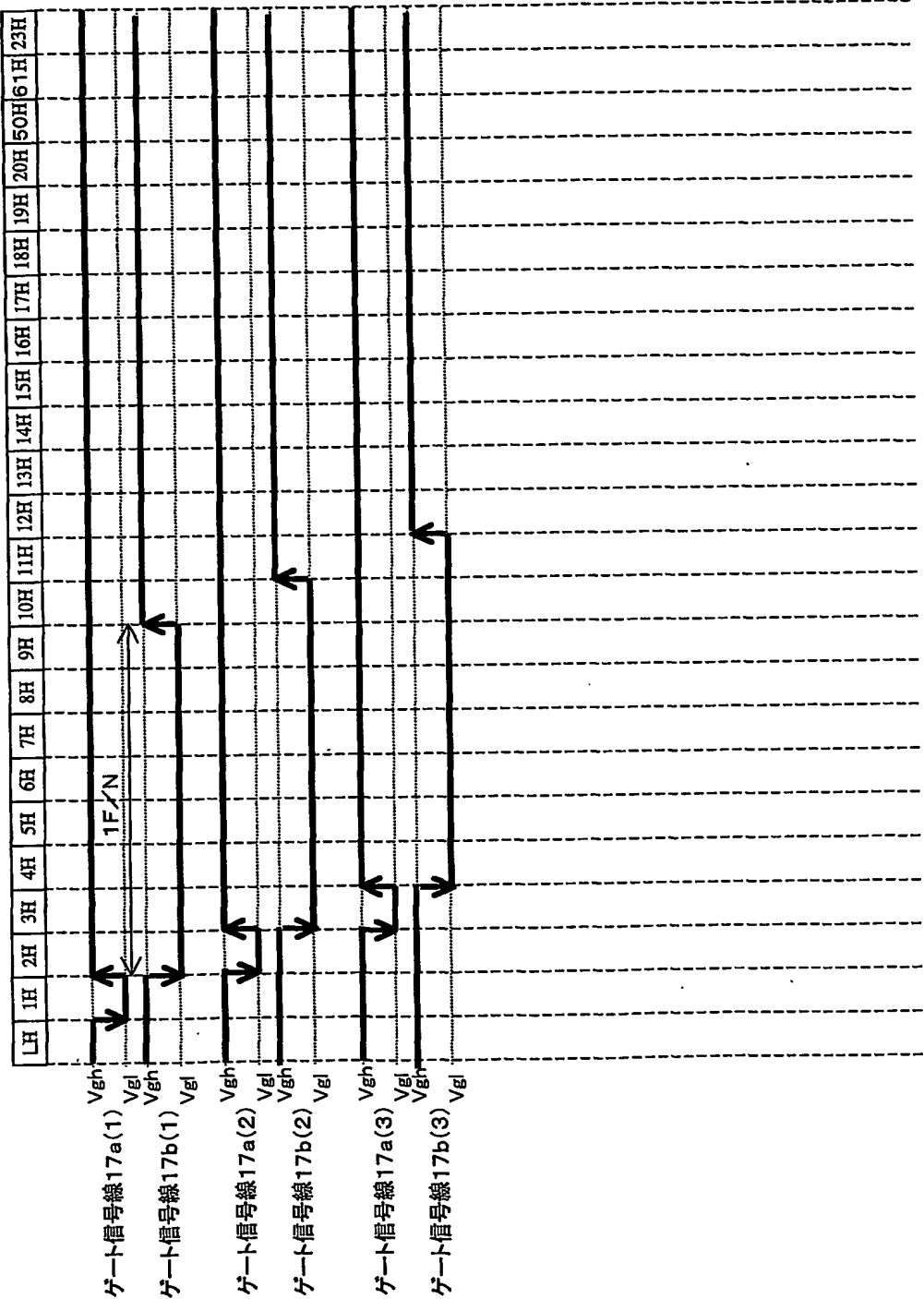
第13図



第14図

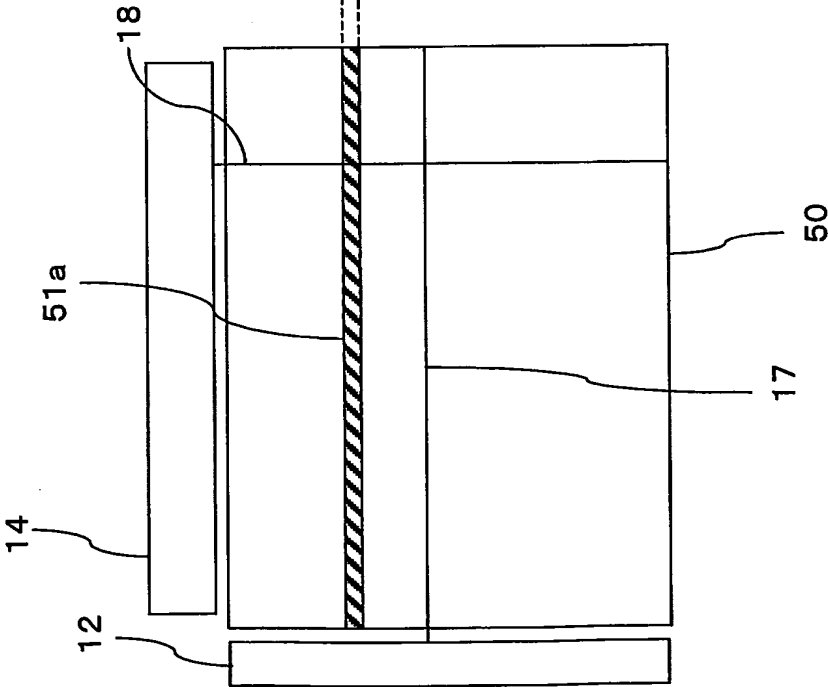


第15図

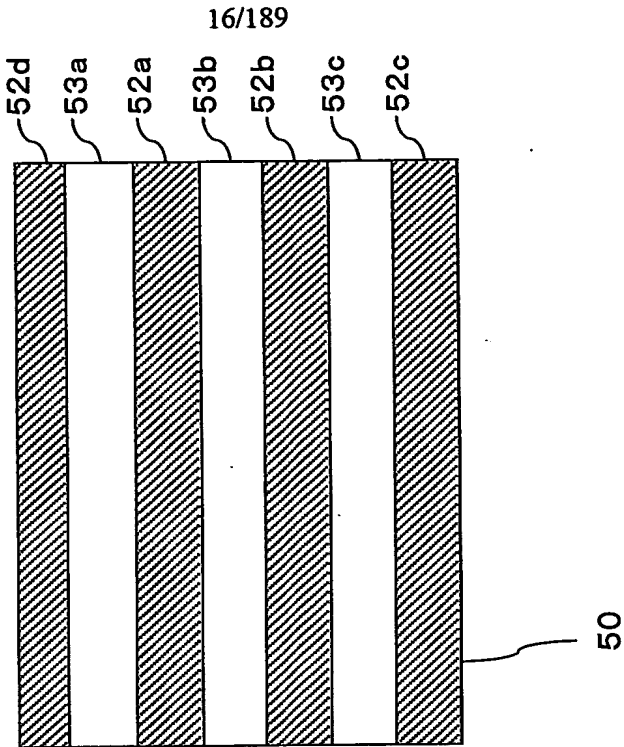


第16図

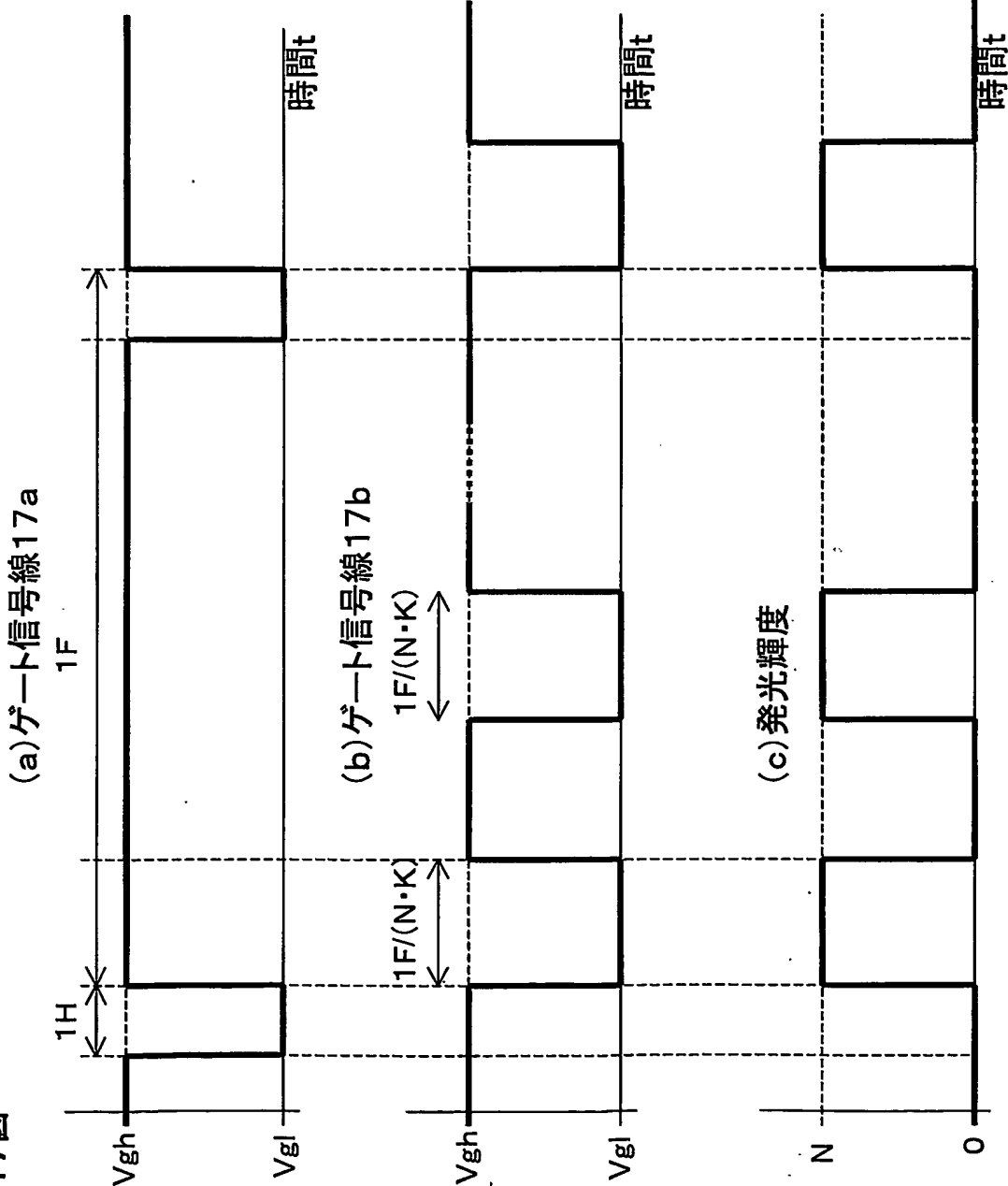
(a)



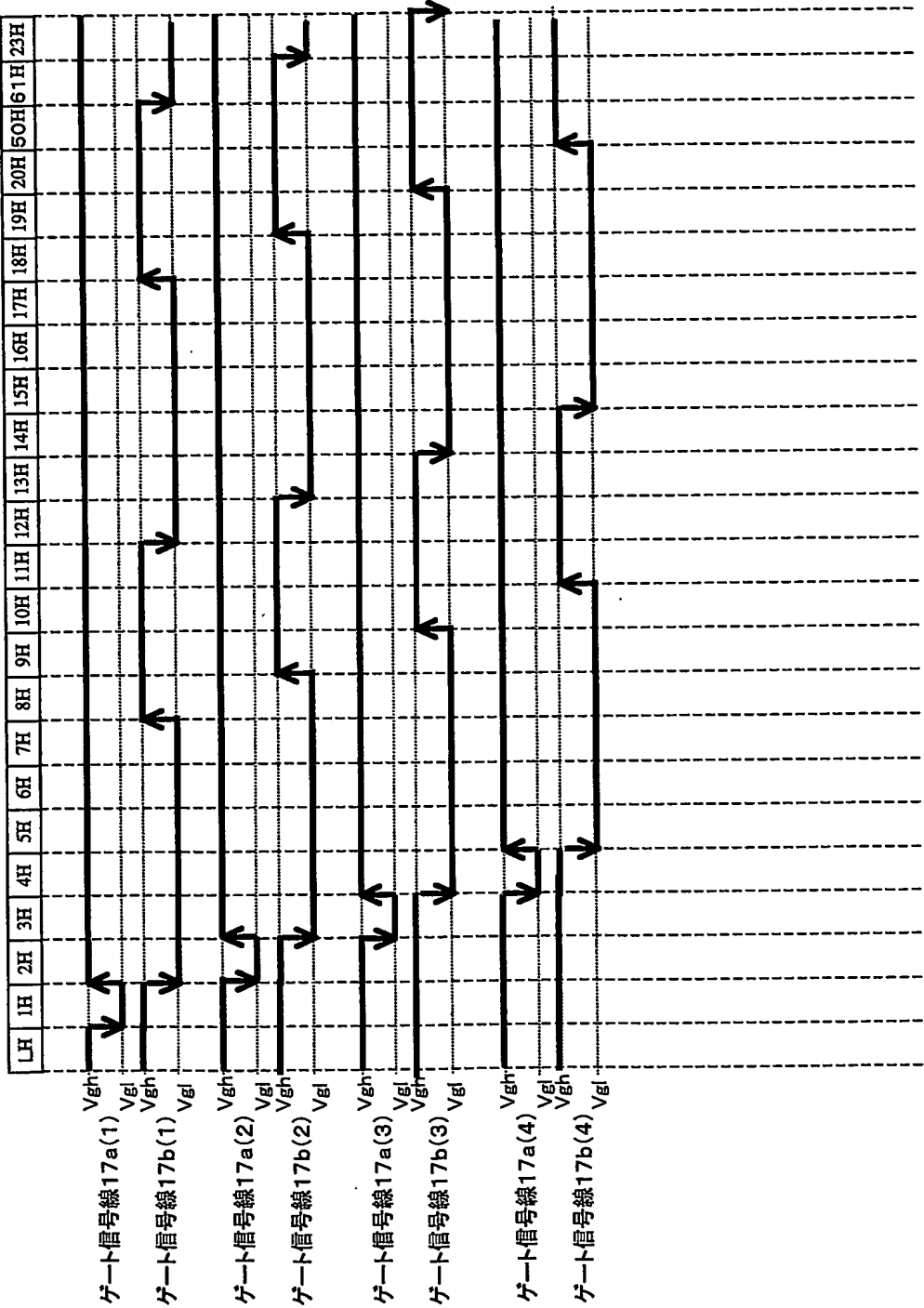
(b)



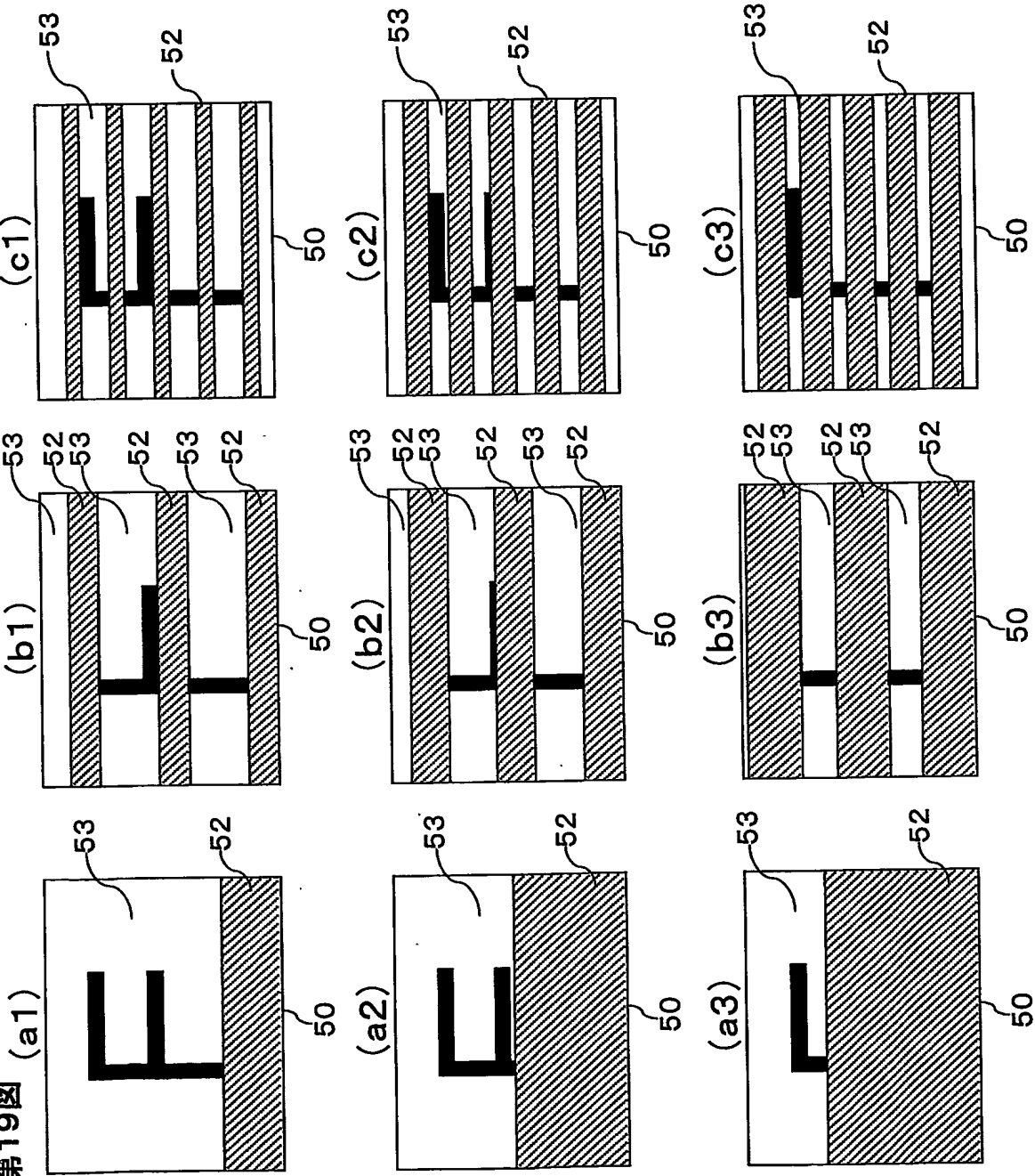
第17図

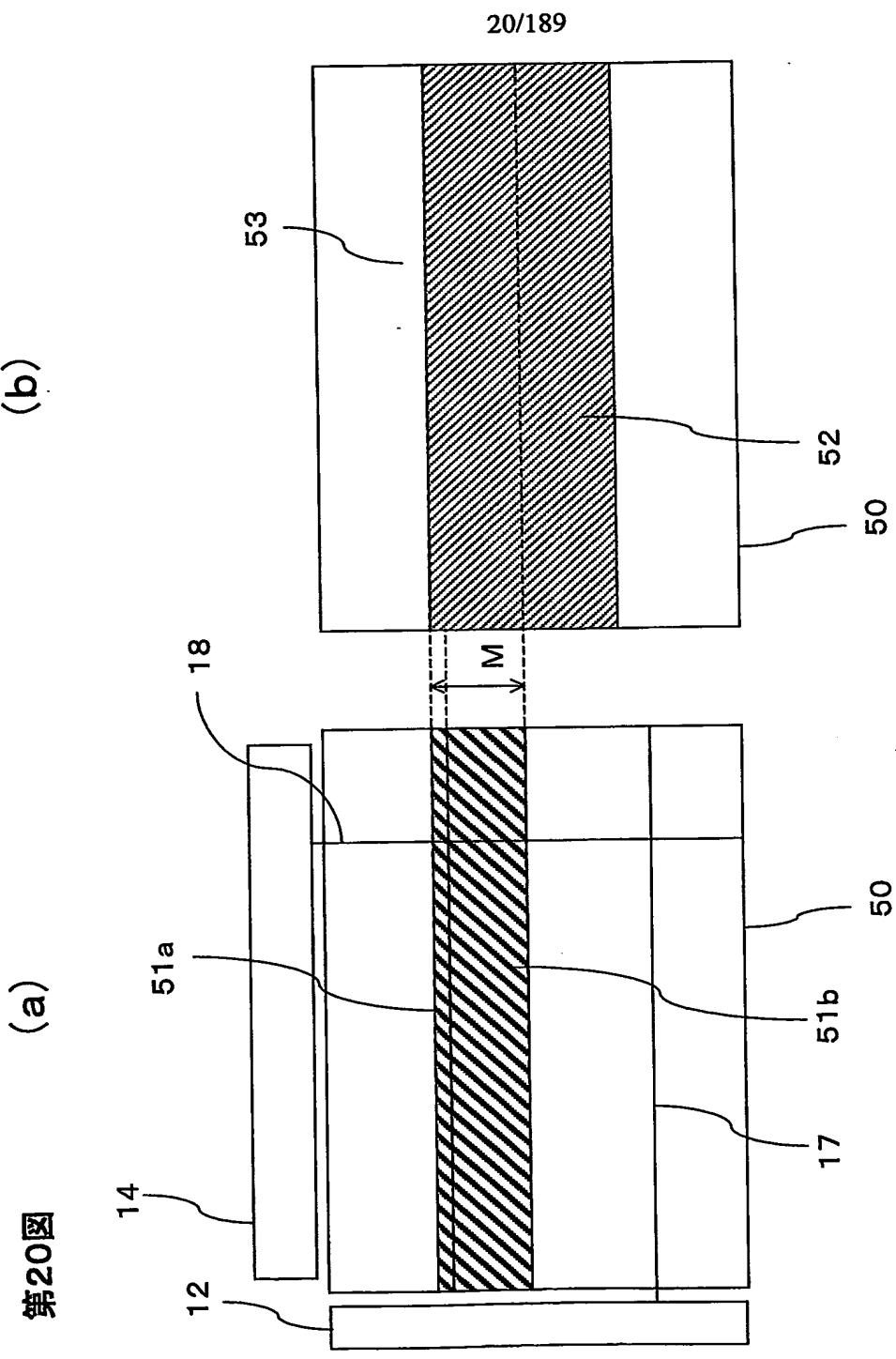


第18図

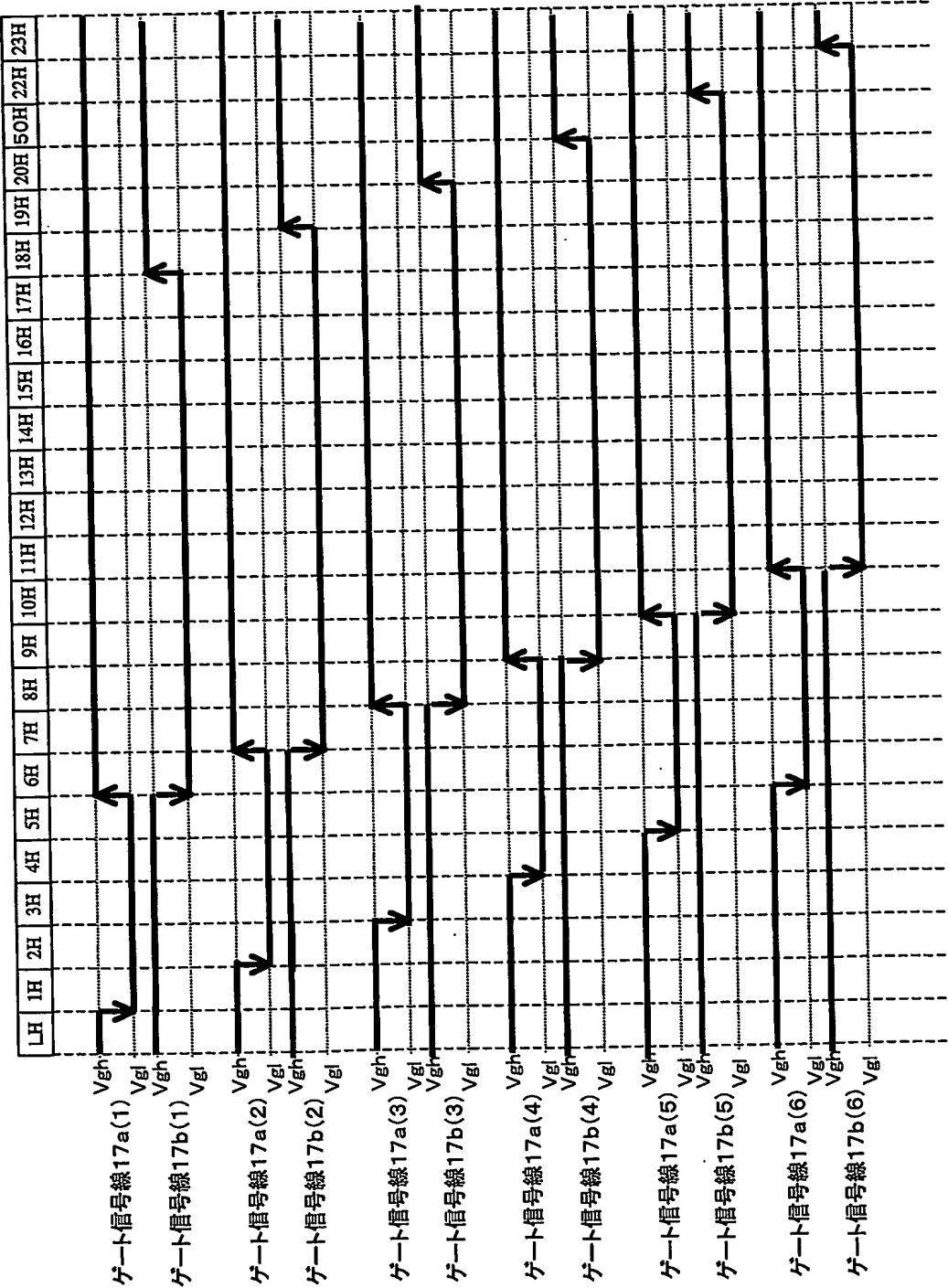


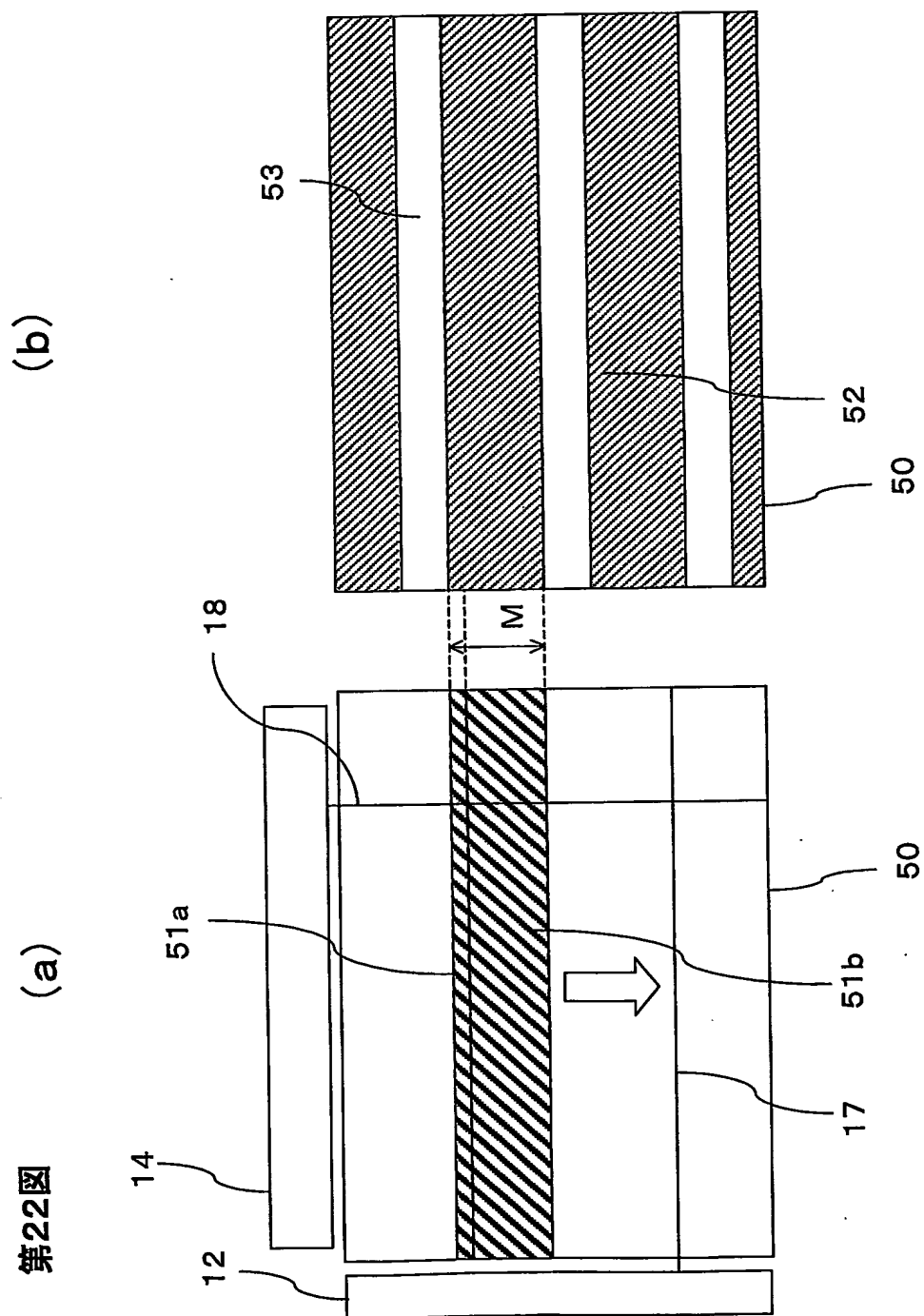
第19図

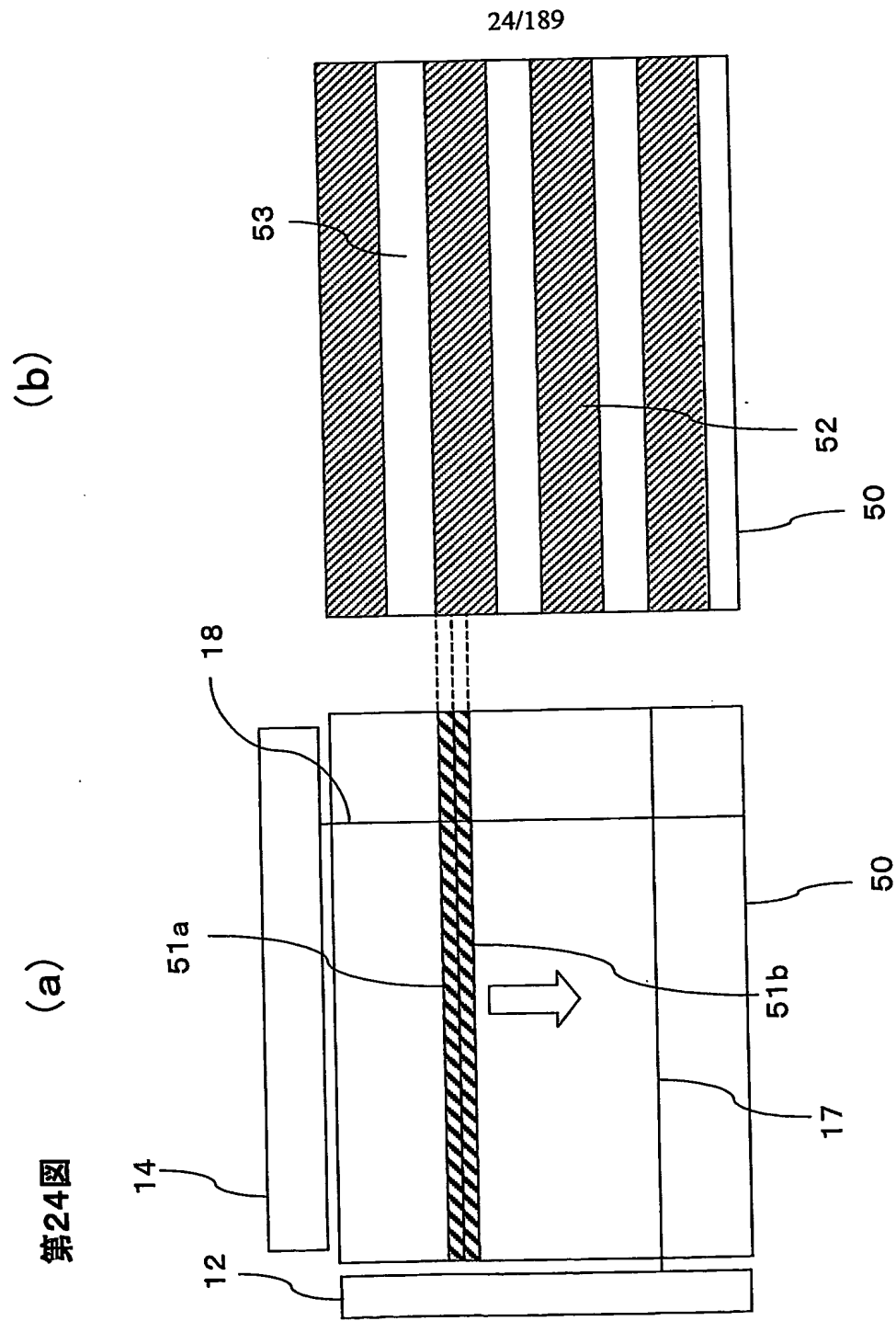




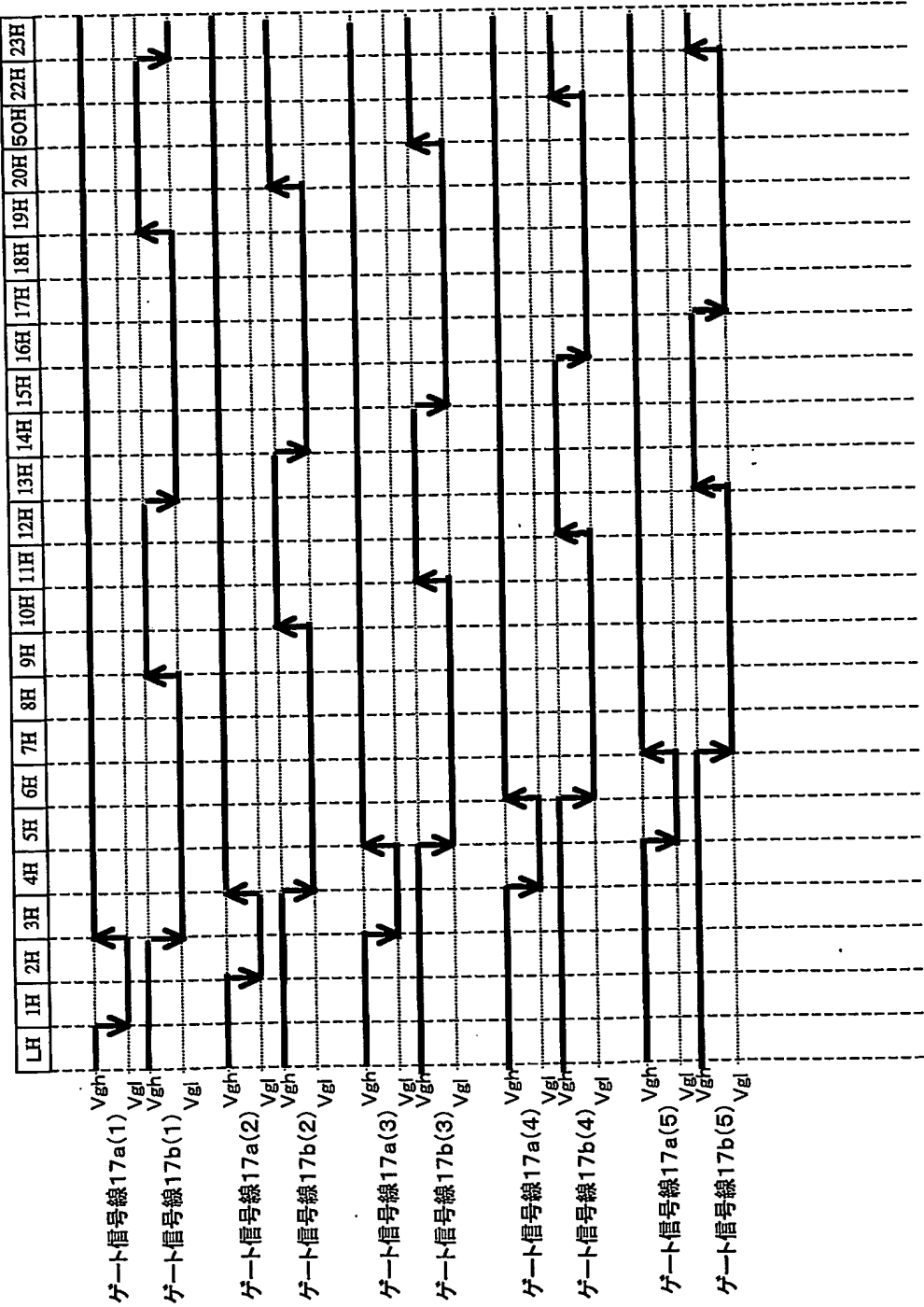
第21図

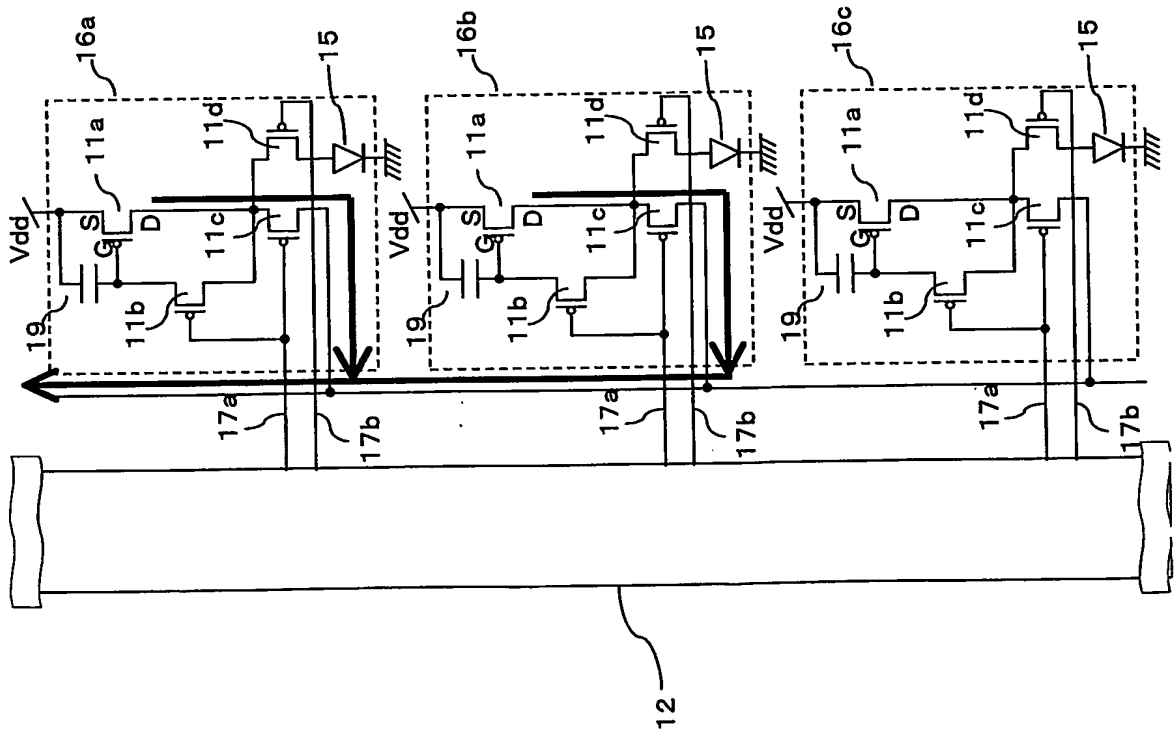






第25図

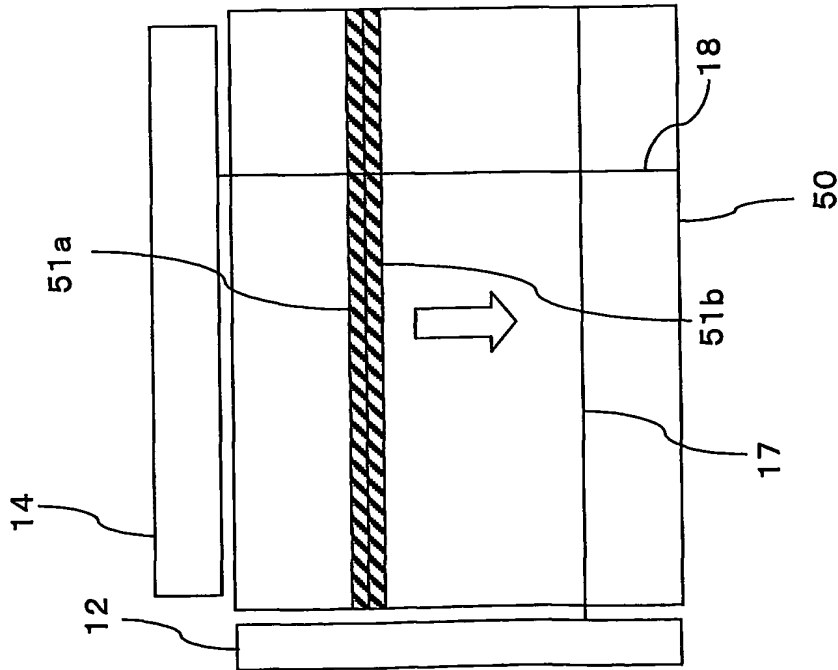




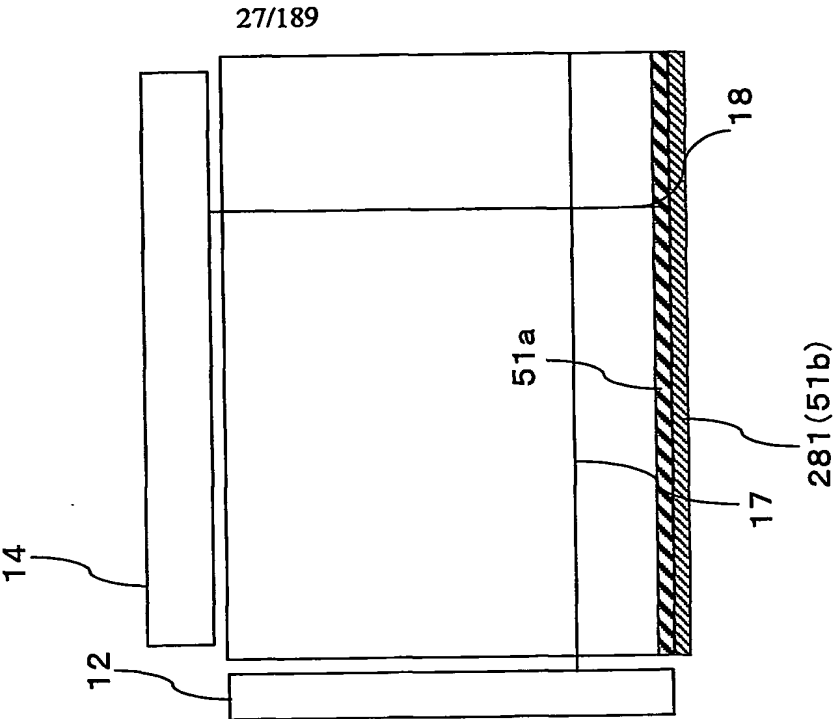
第26図

第27図

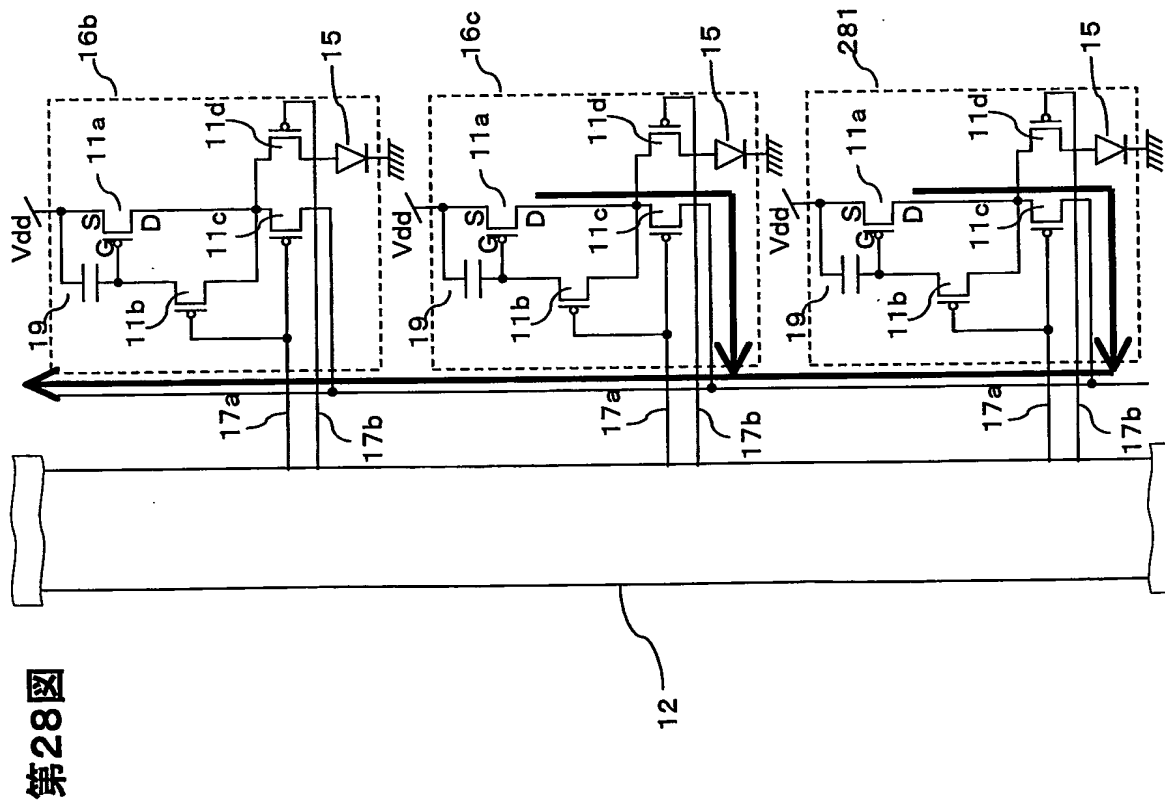
(a)

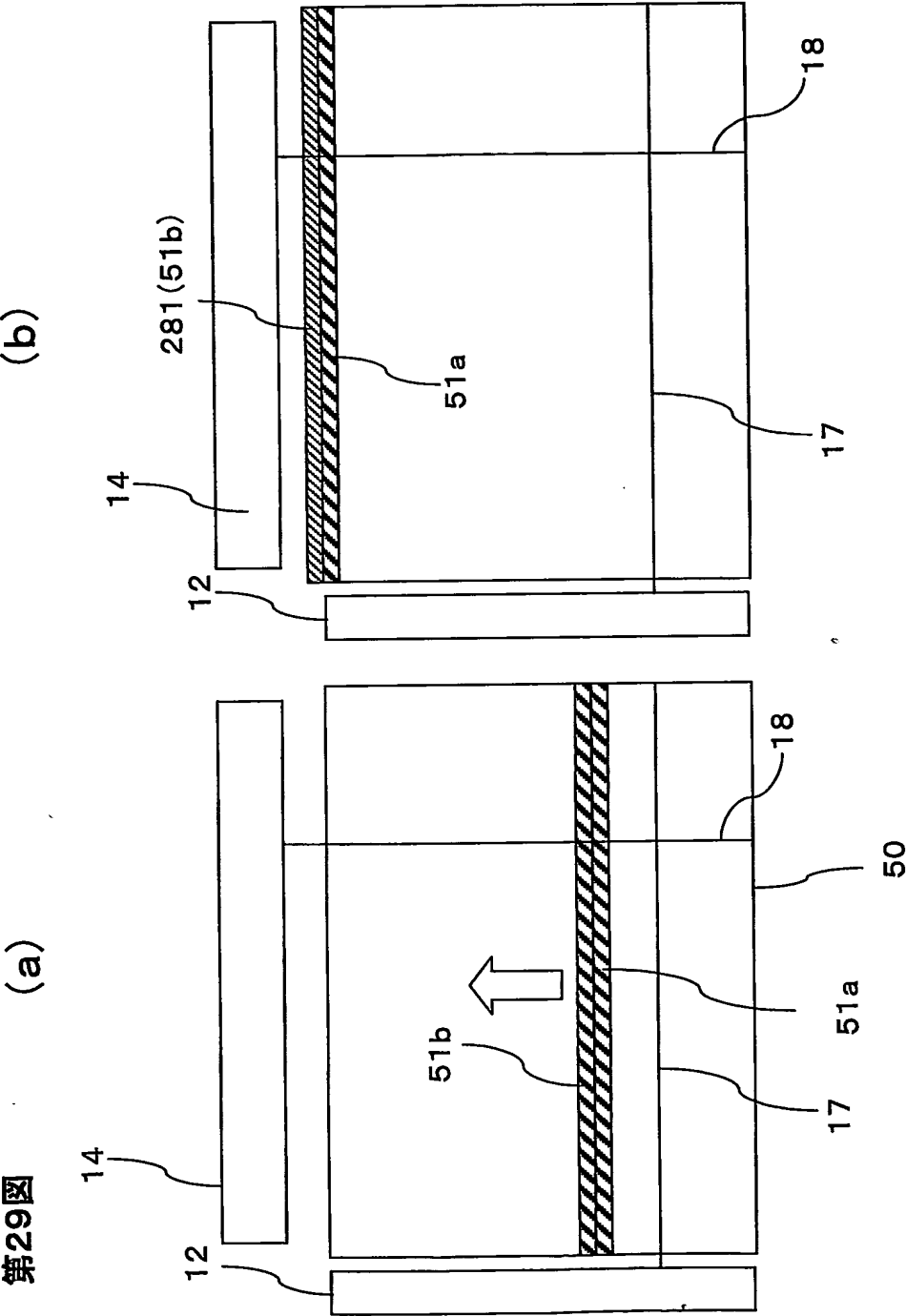


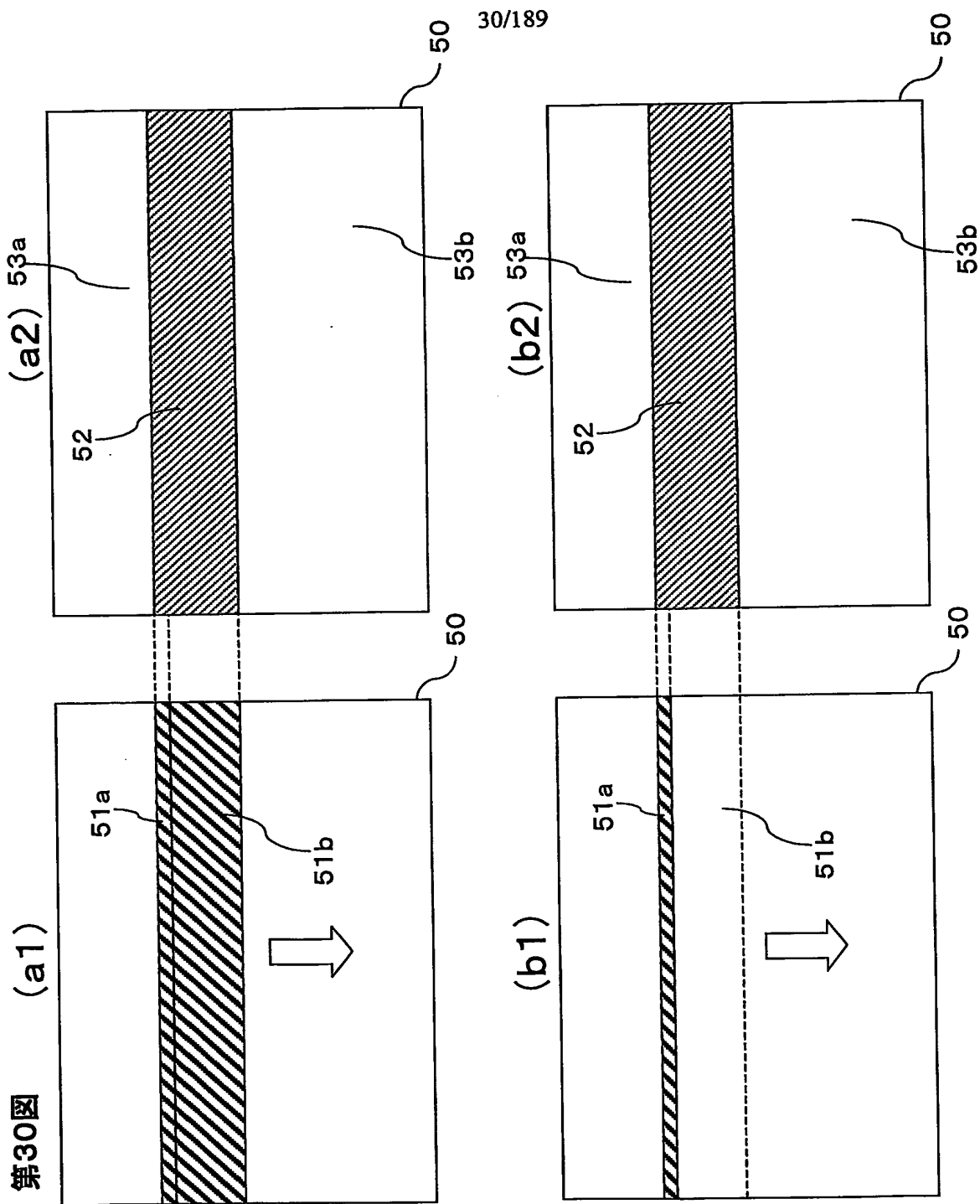
(b)



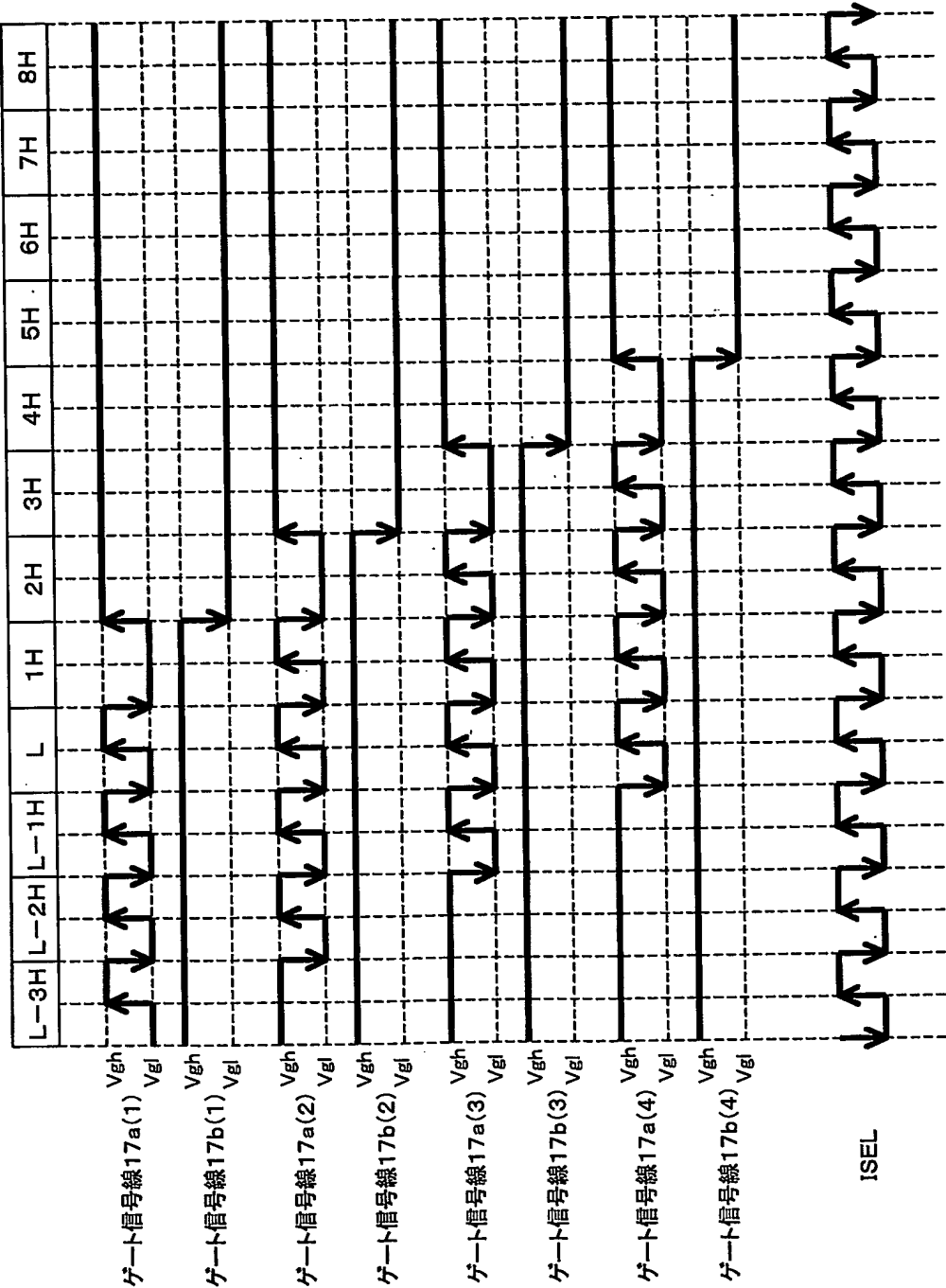
28/189

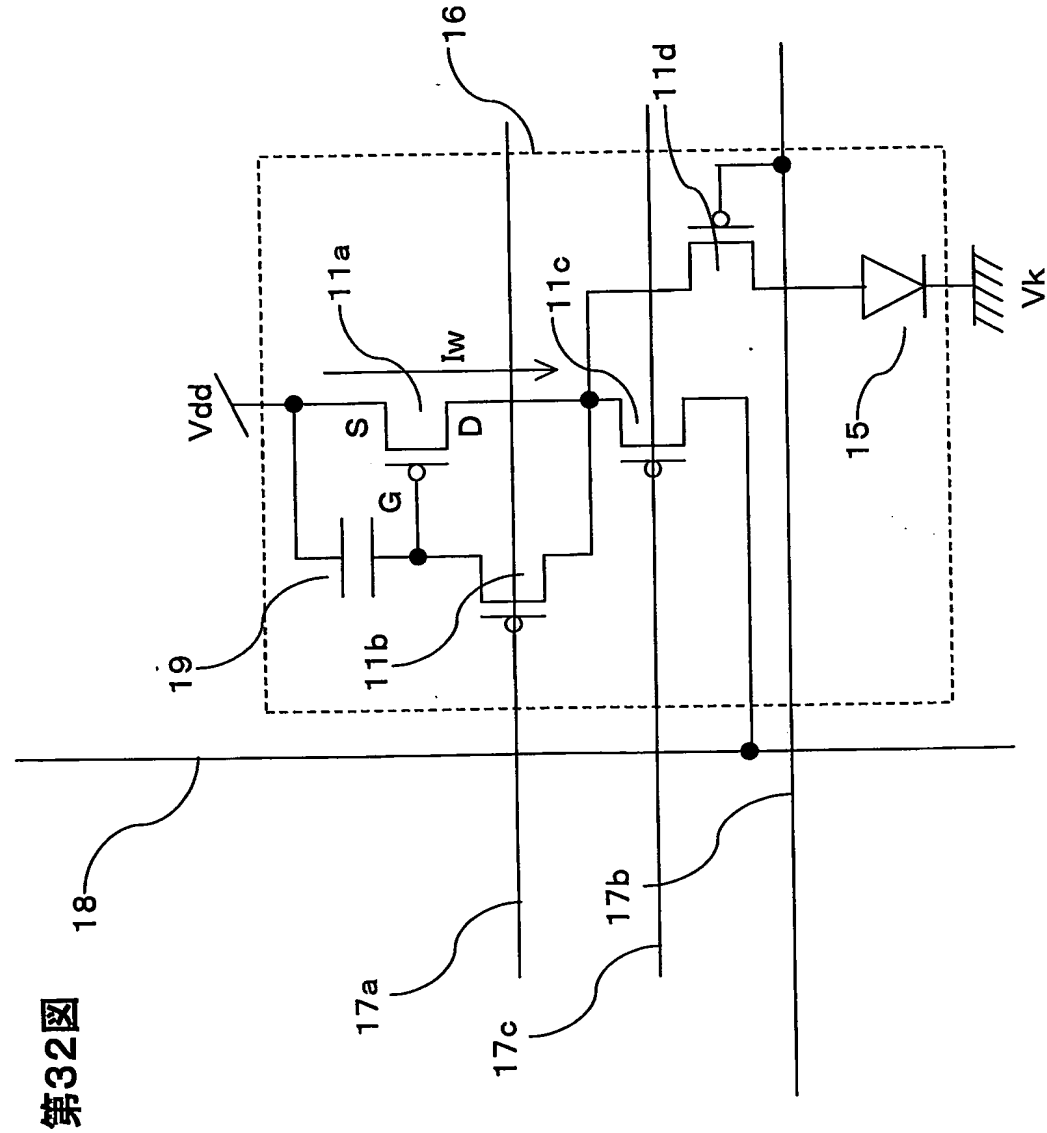




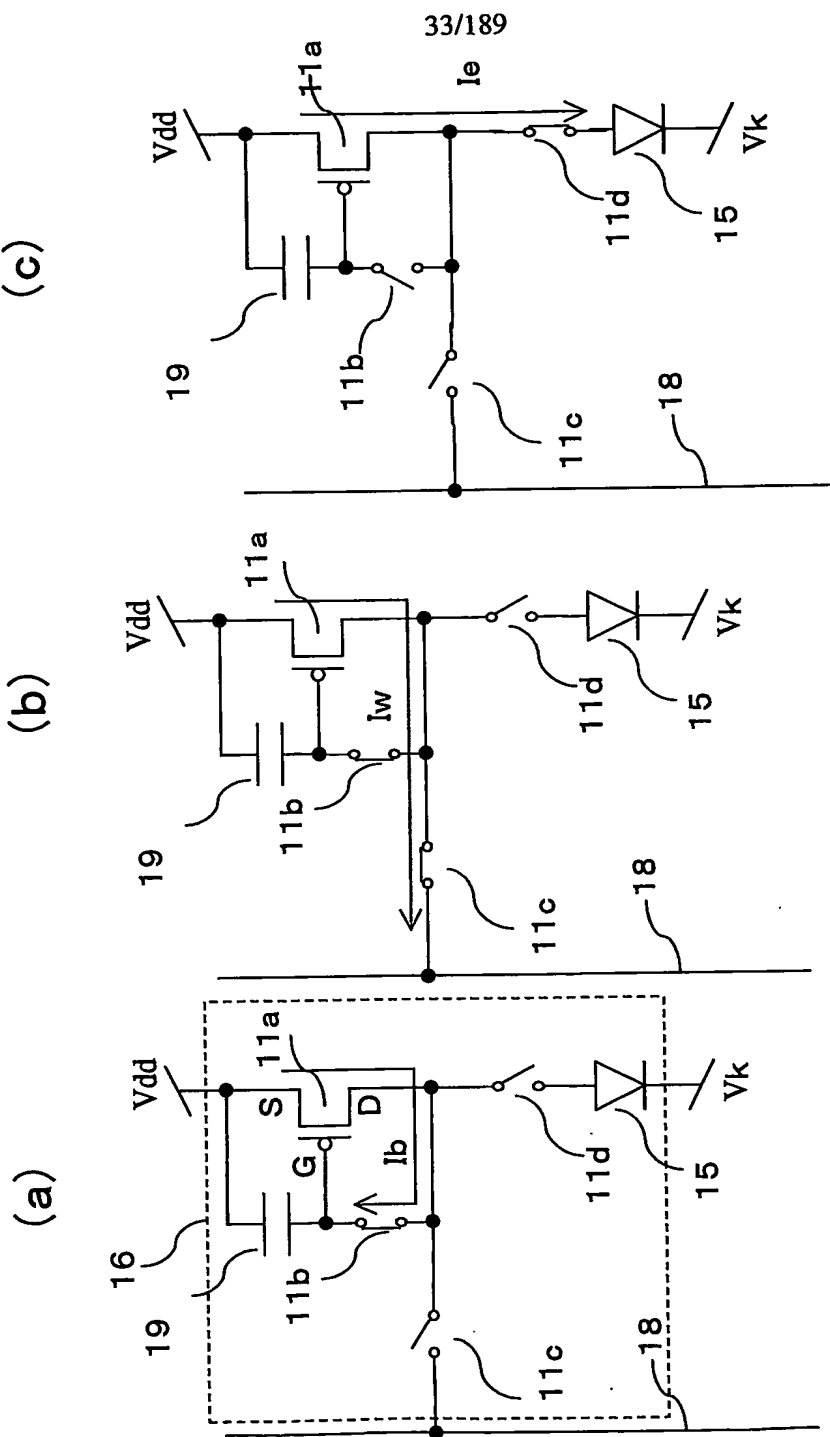


第31図



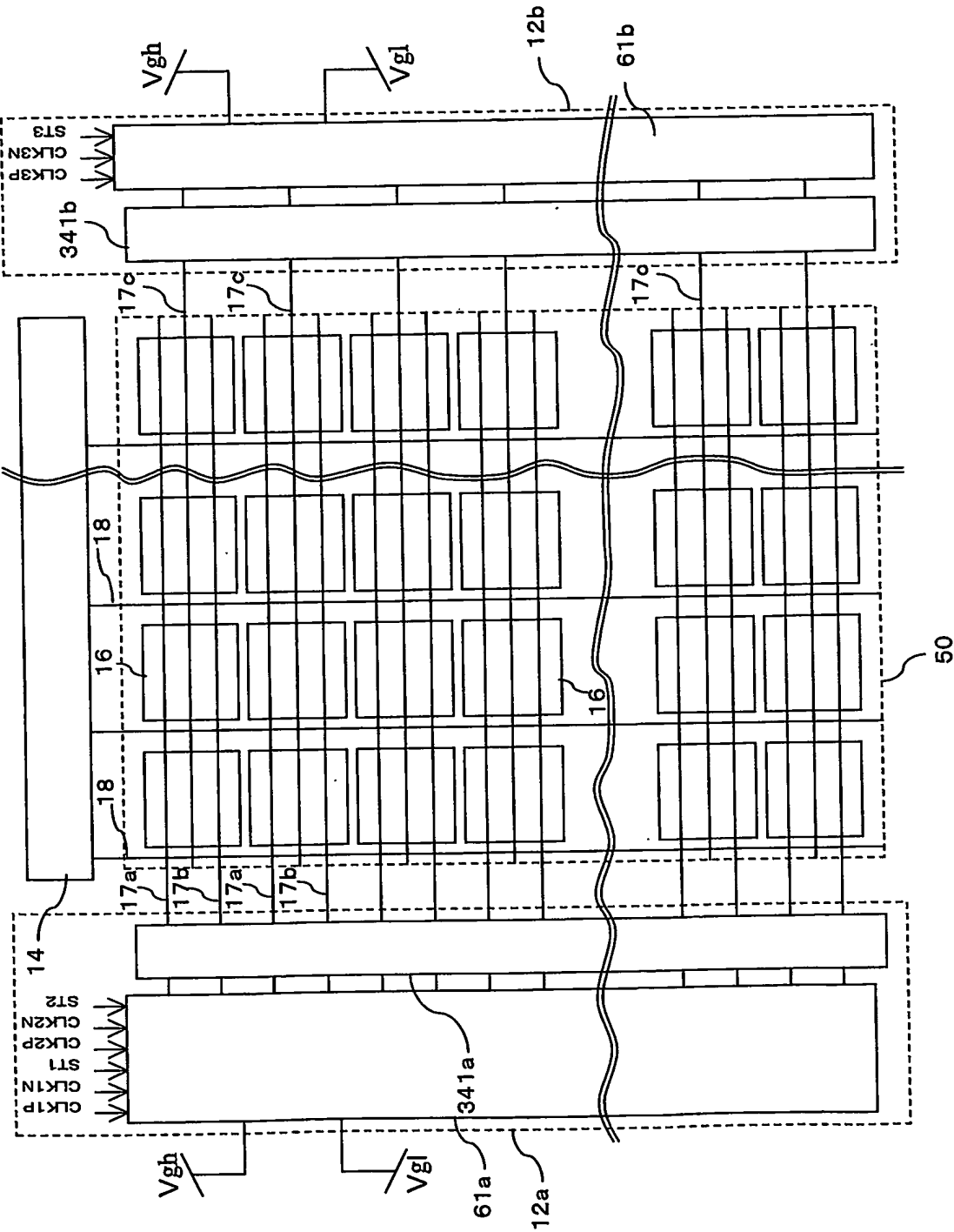


第33図



34/189

第34図



第35図

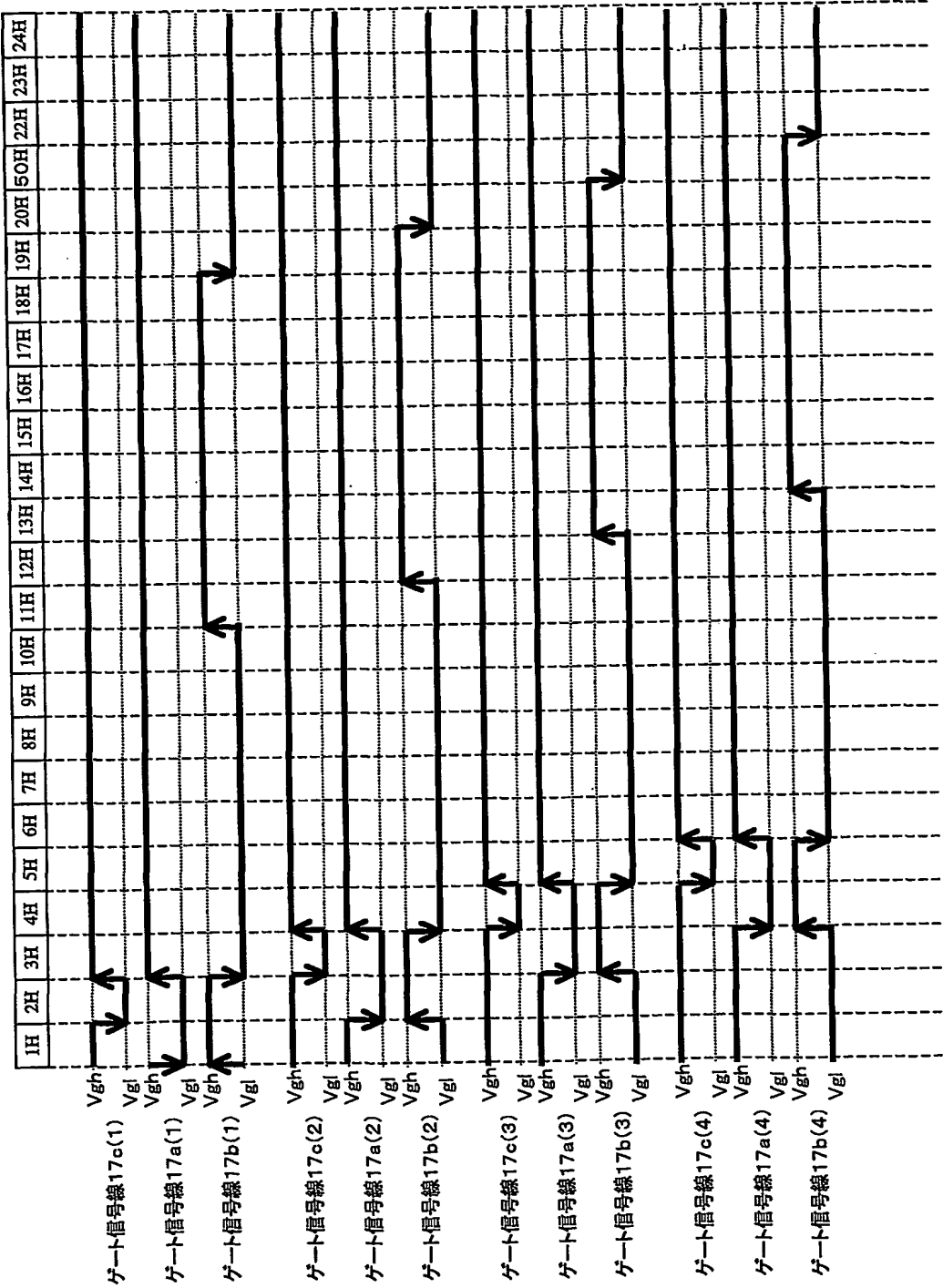
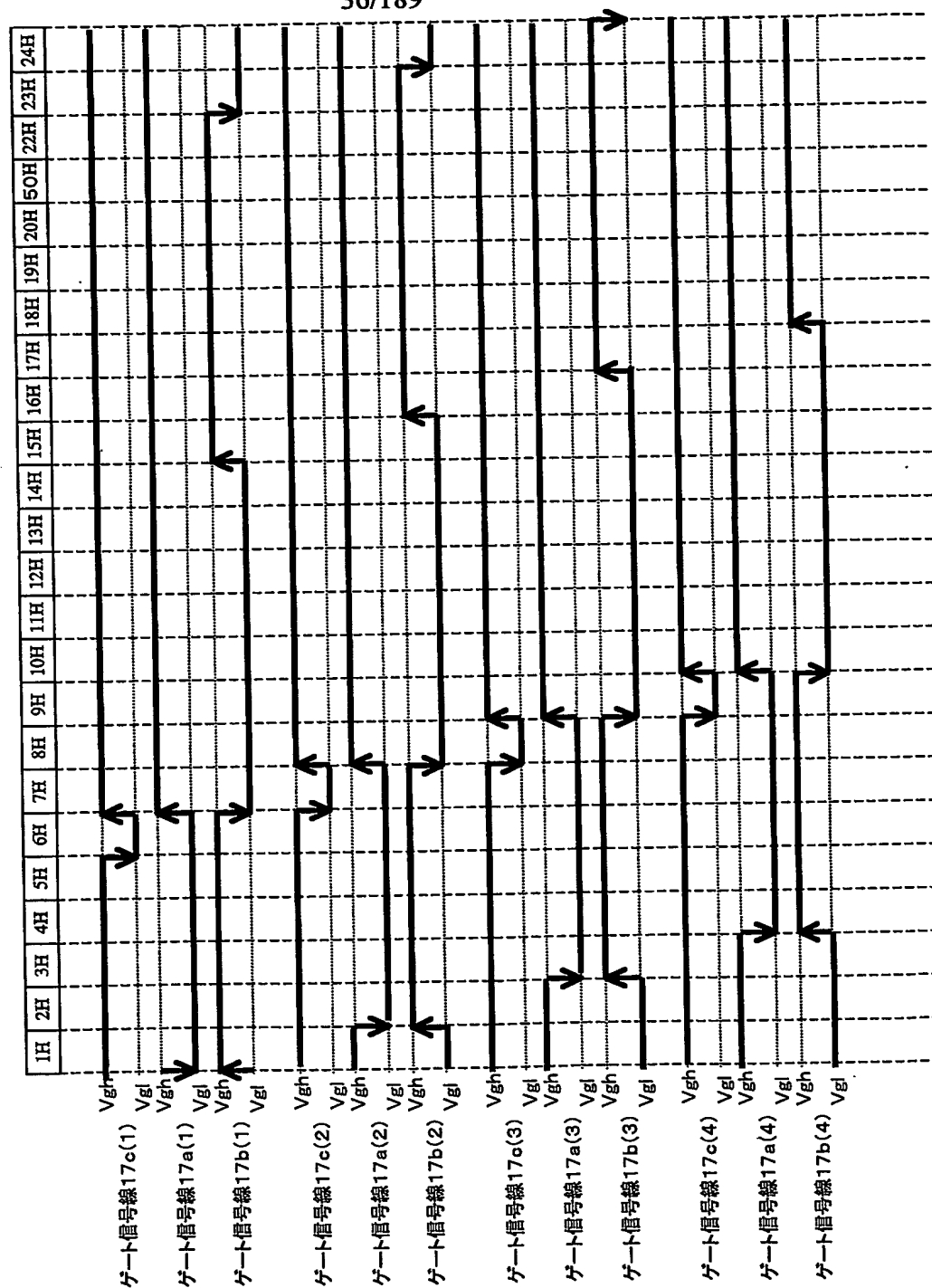
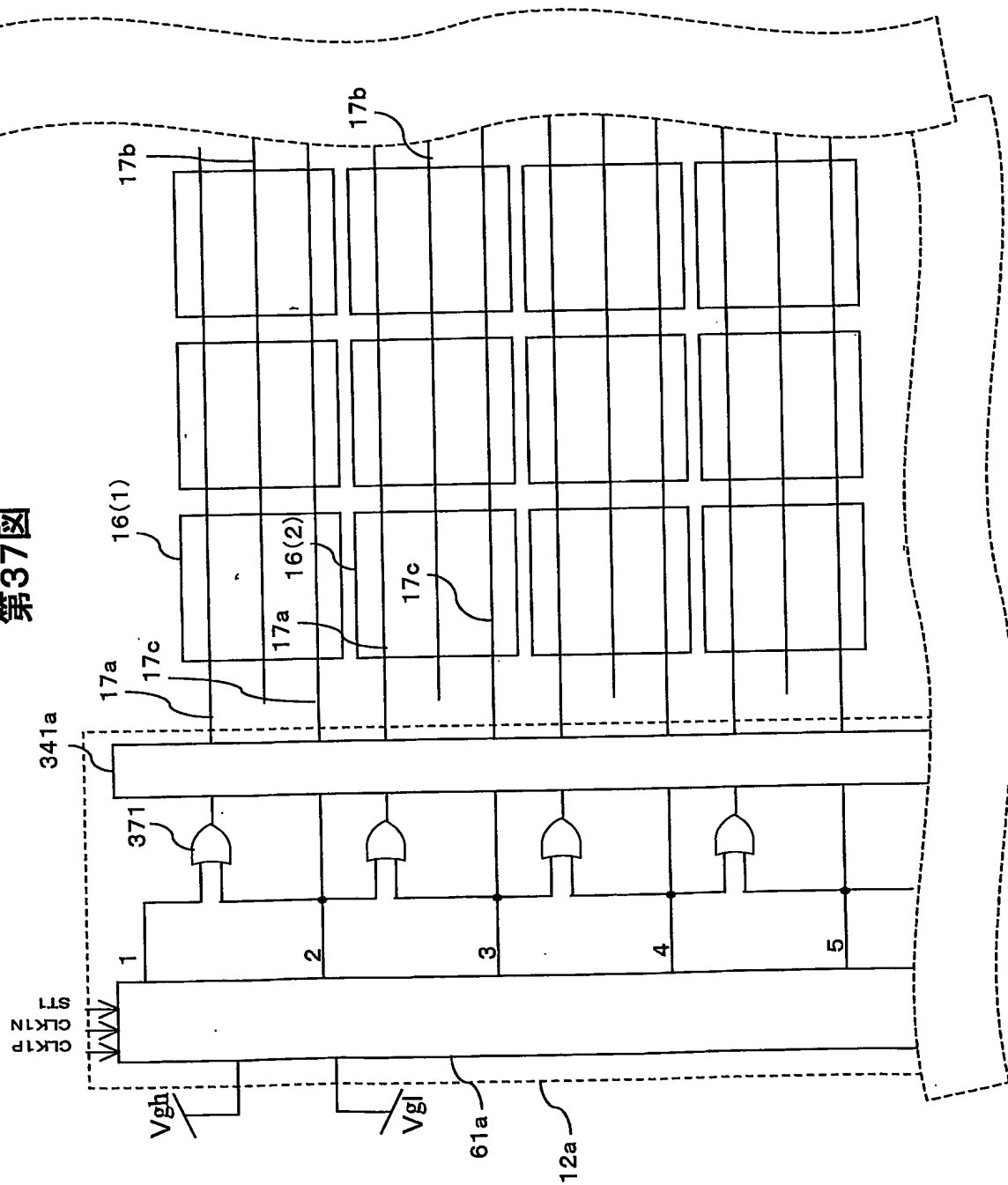


圖 6-3-2

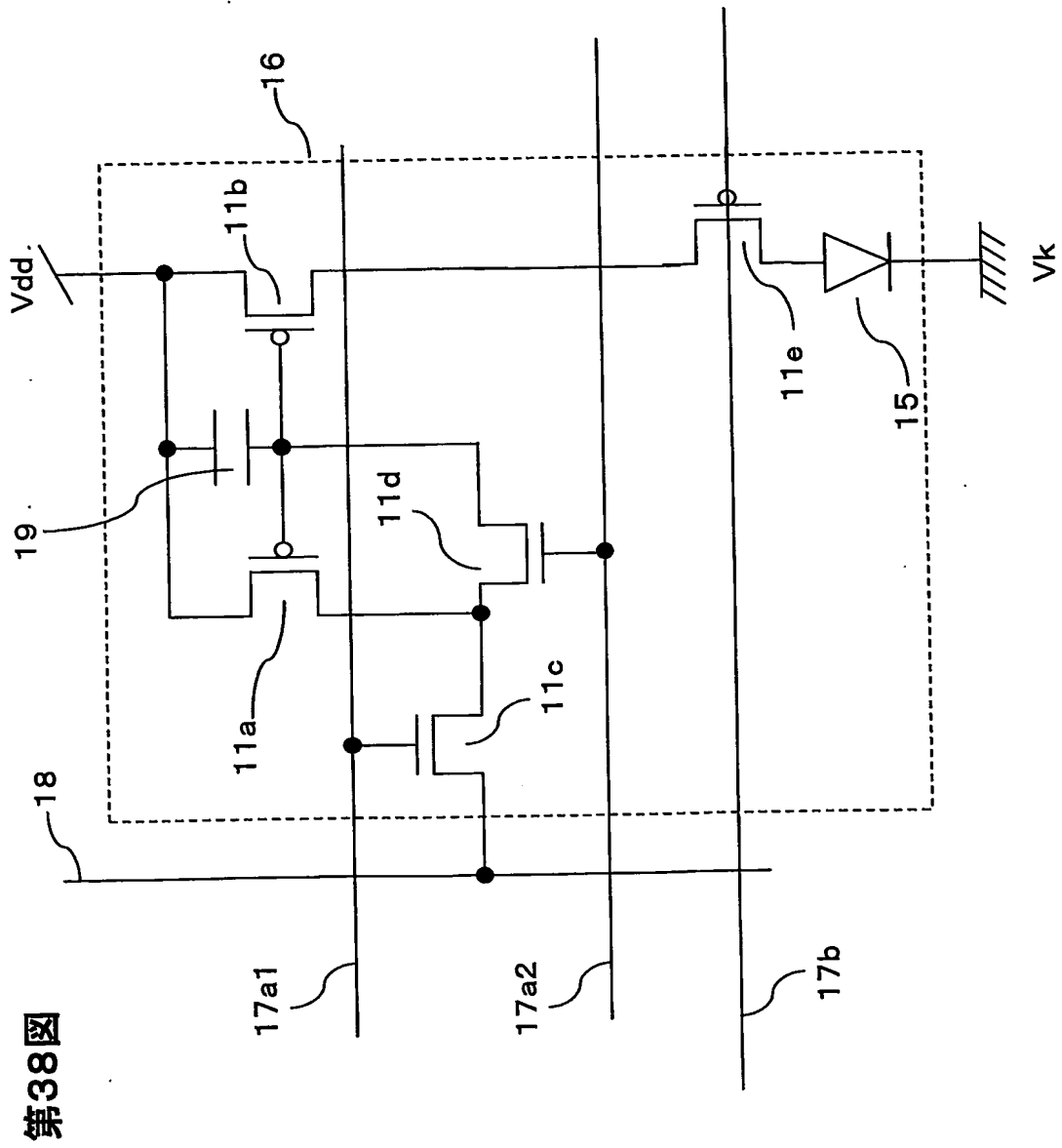


37/189

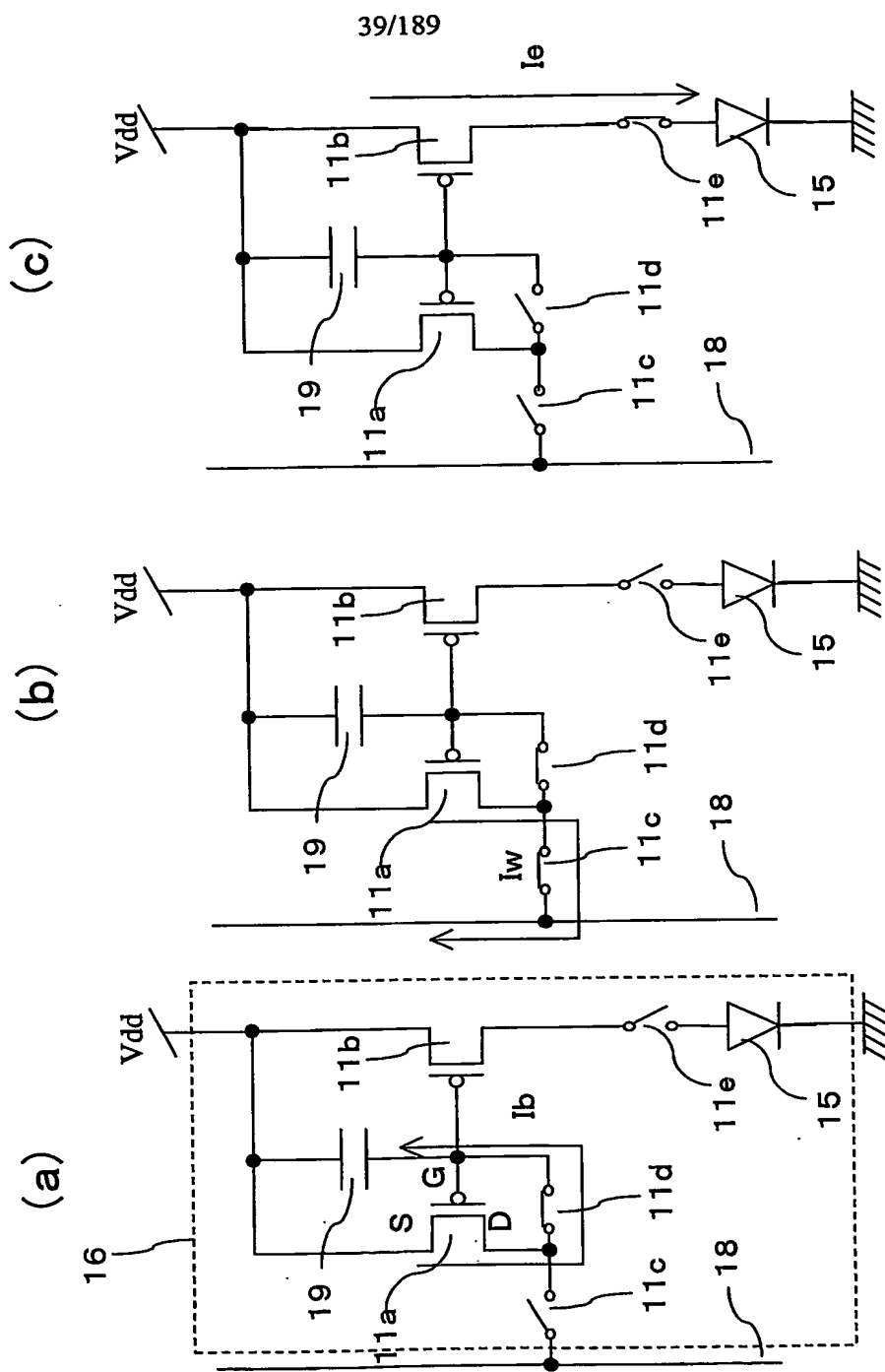
第37図

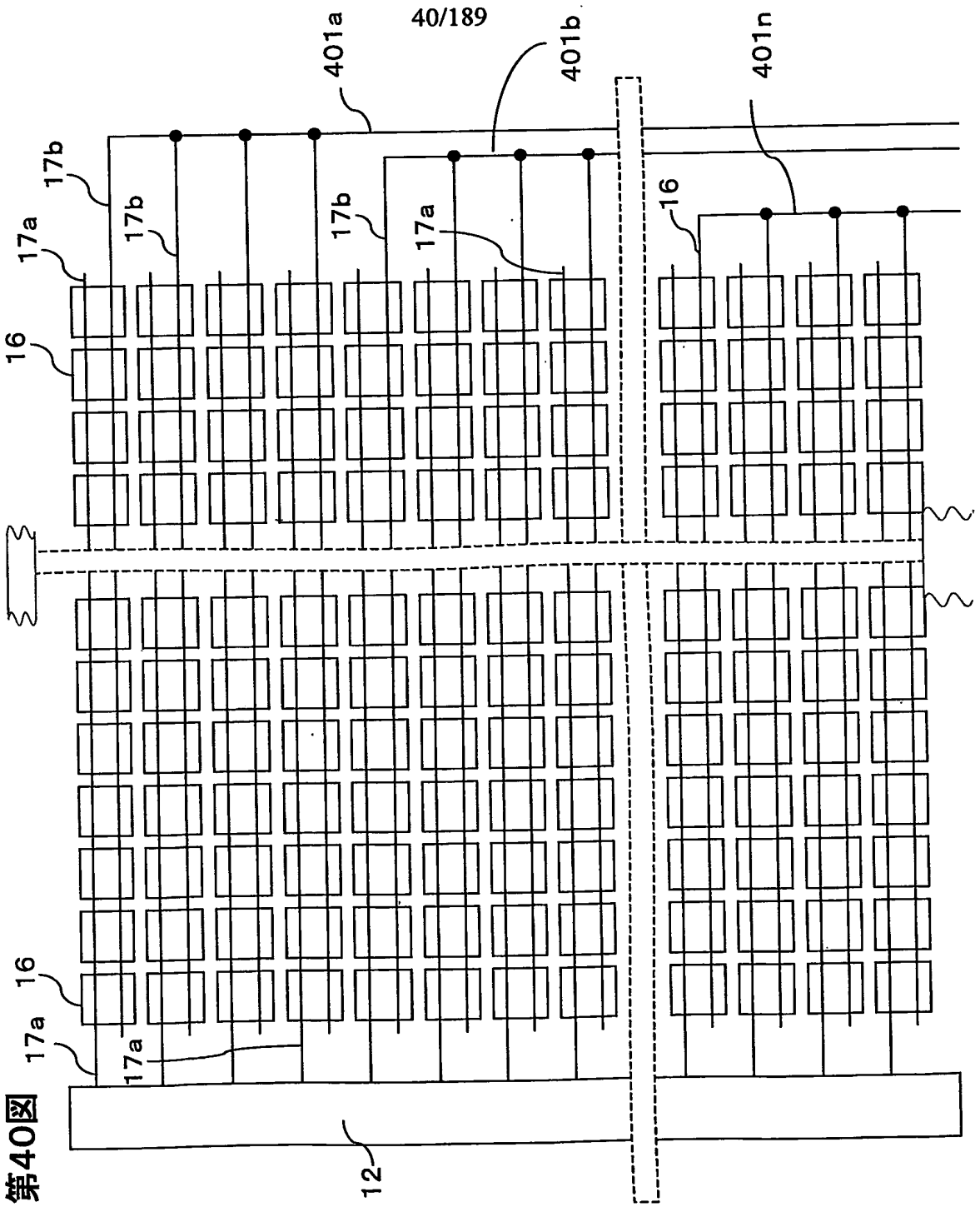


38/189



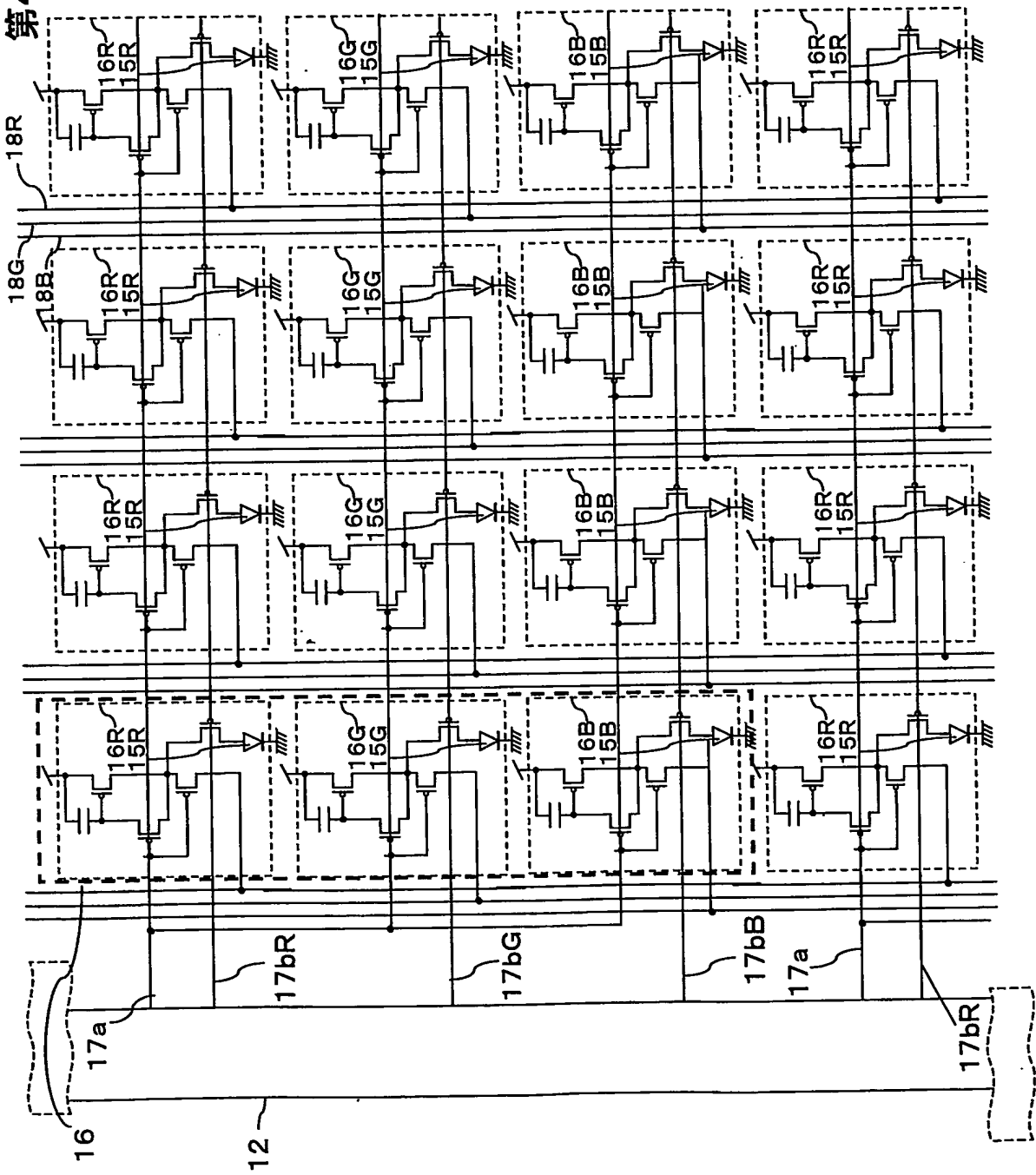
第39図



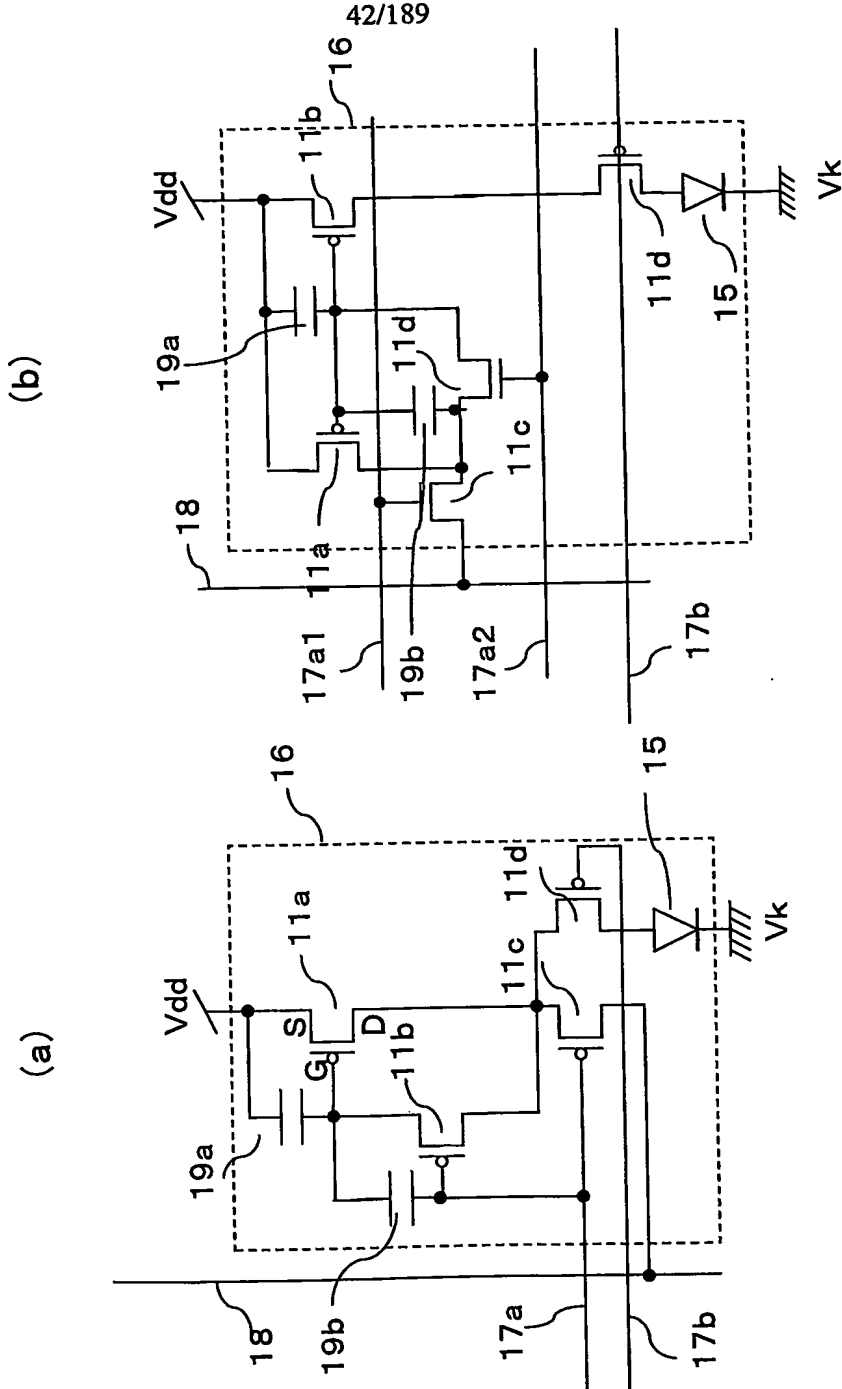


第40図

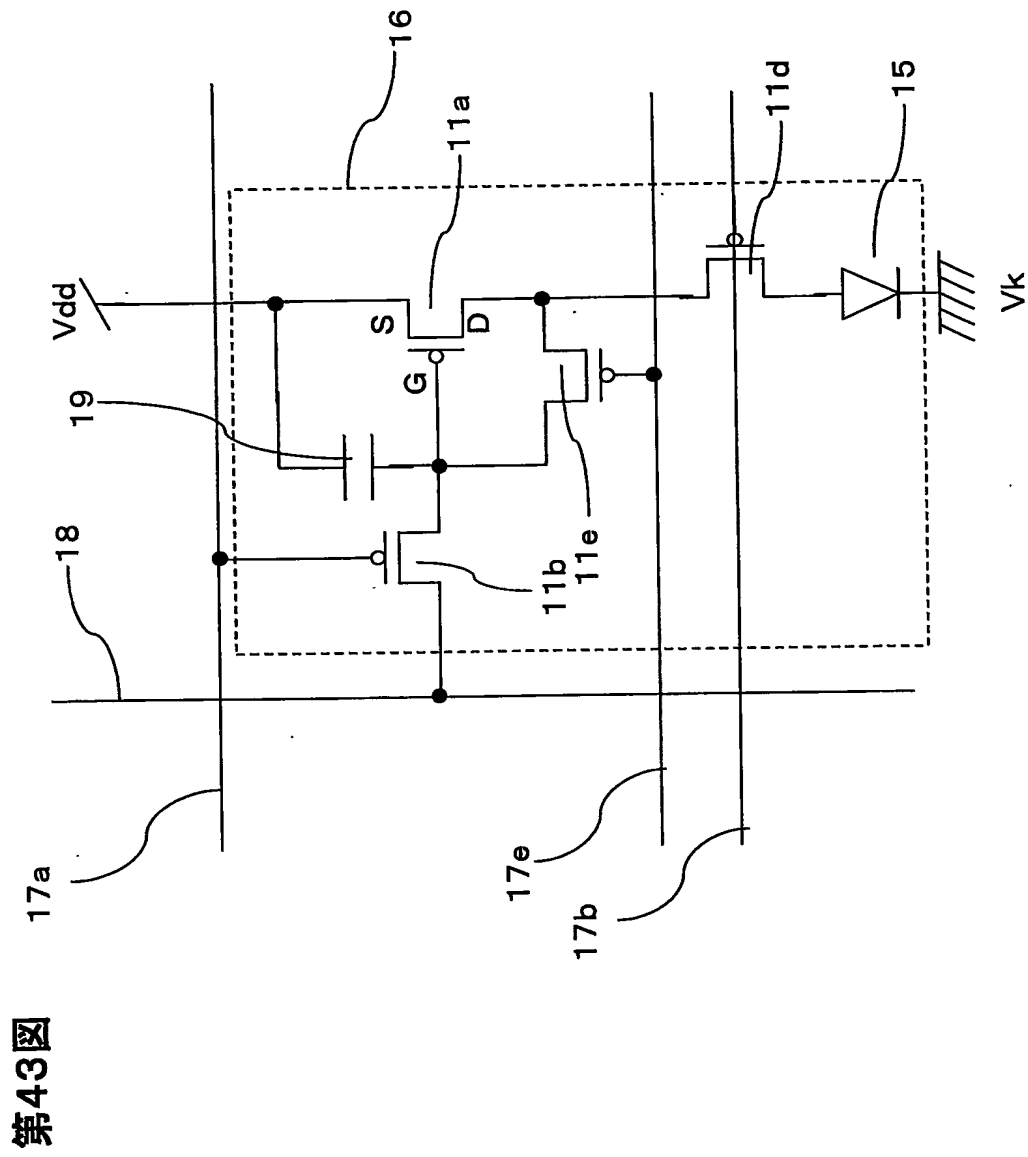
第41図

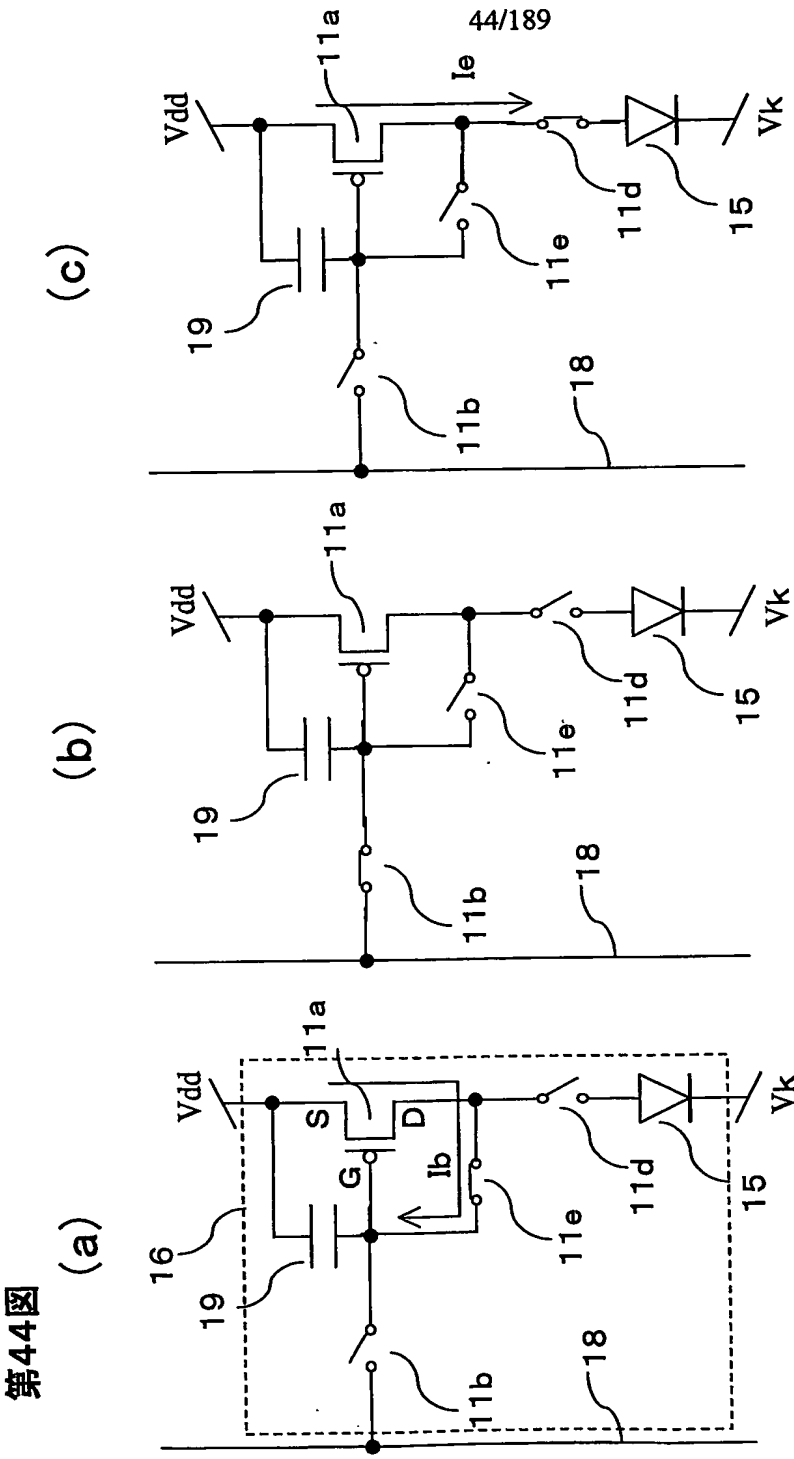


第42図

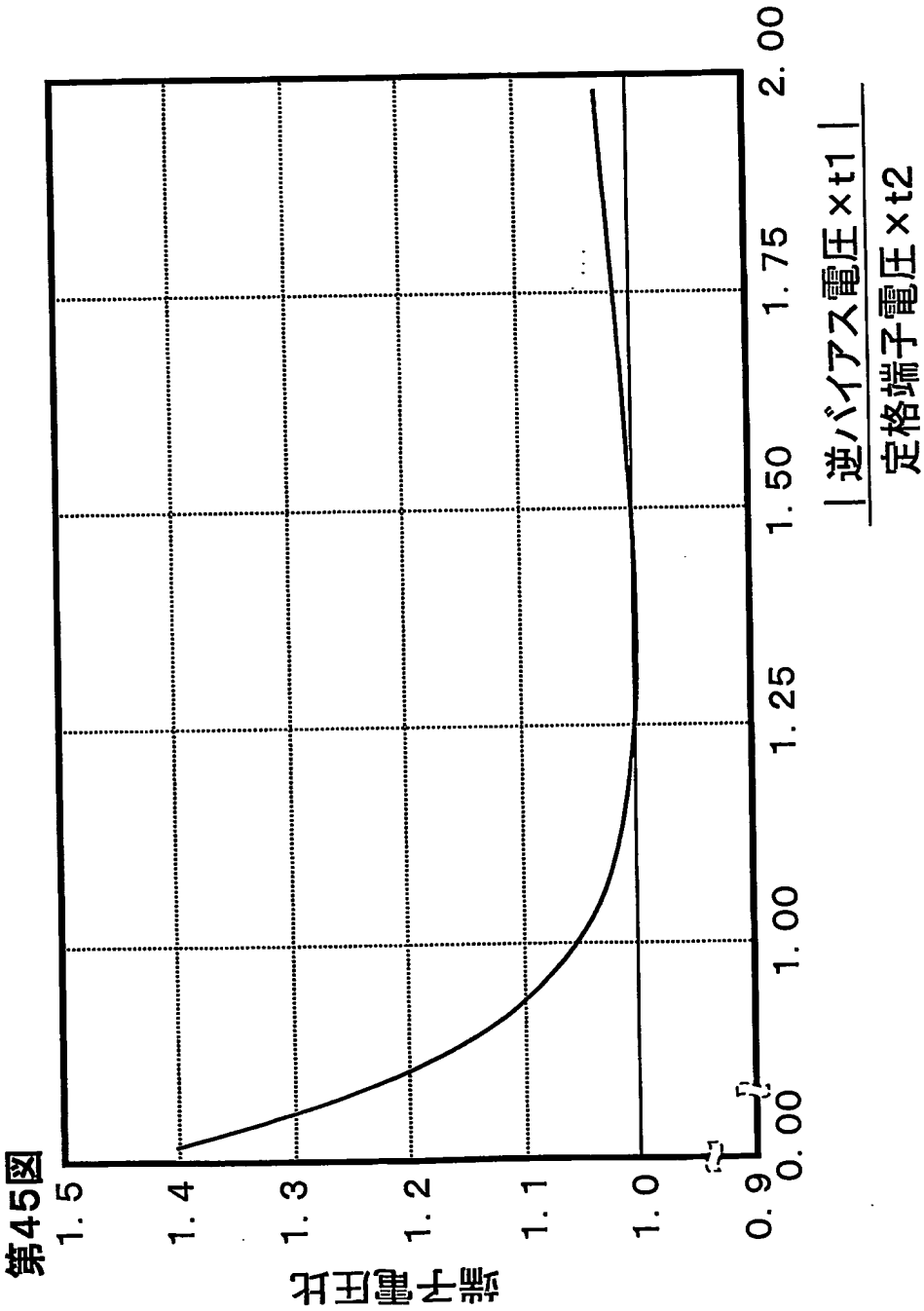


43/189

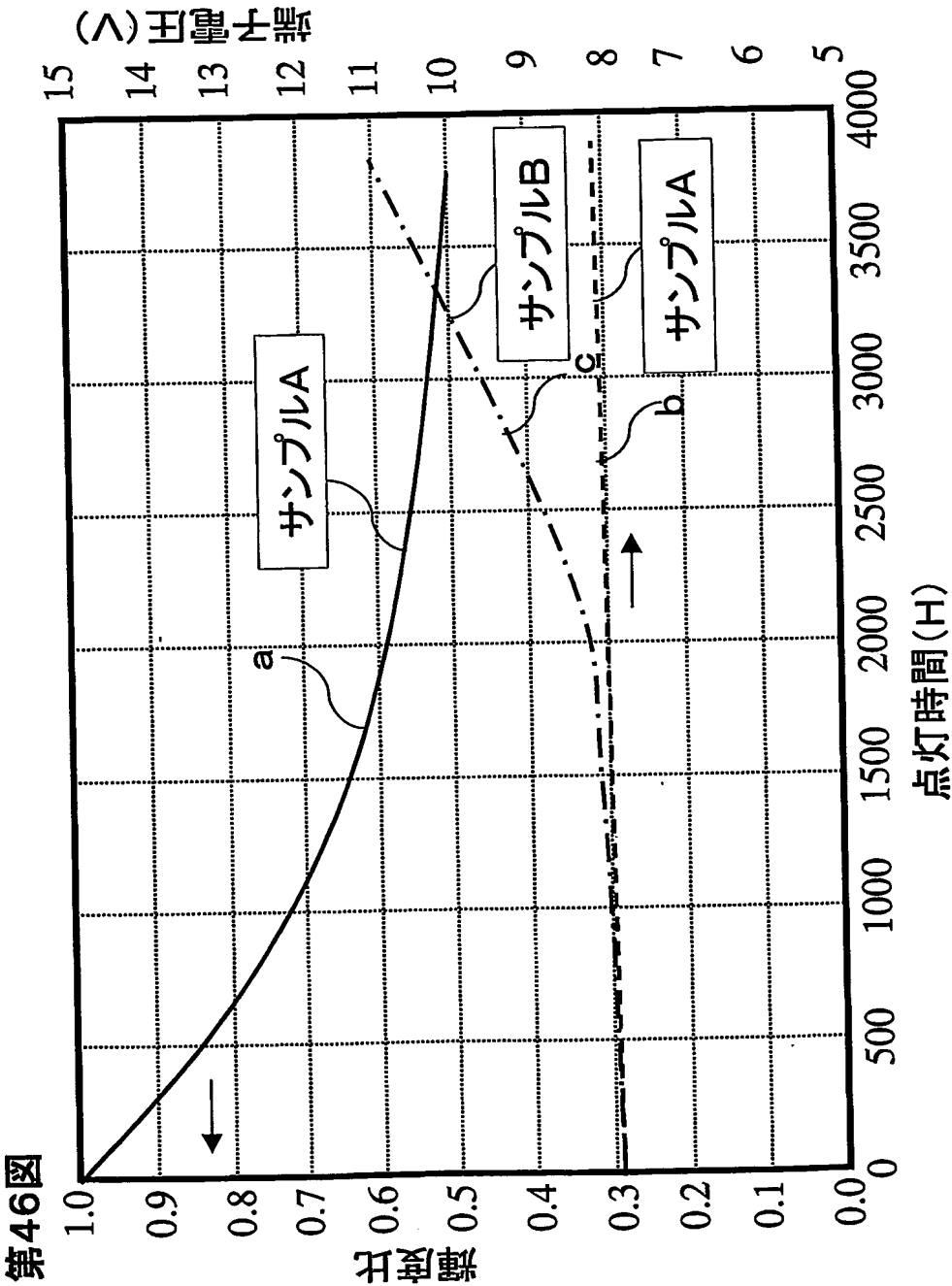




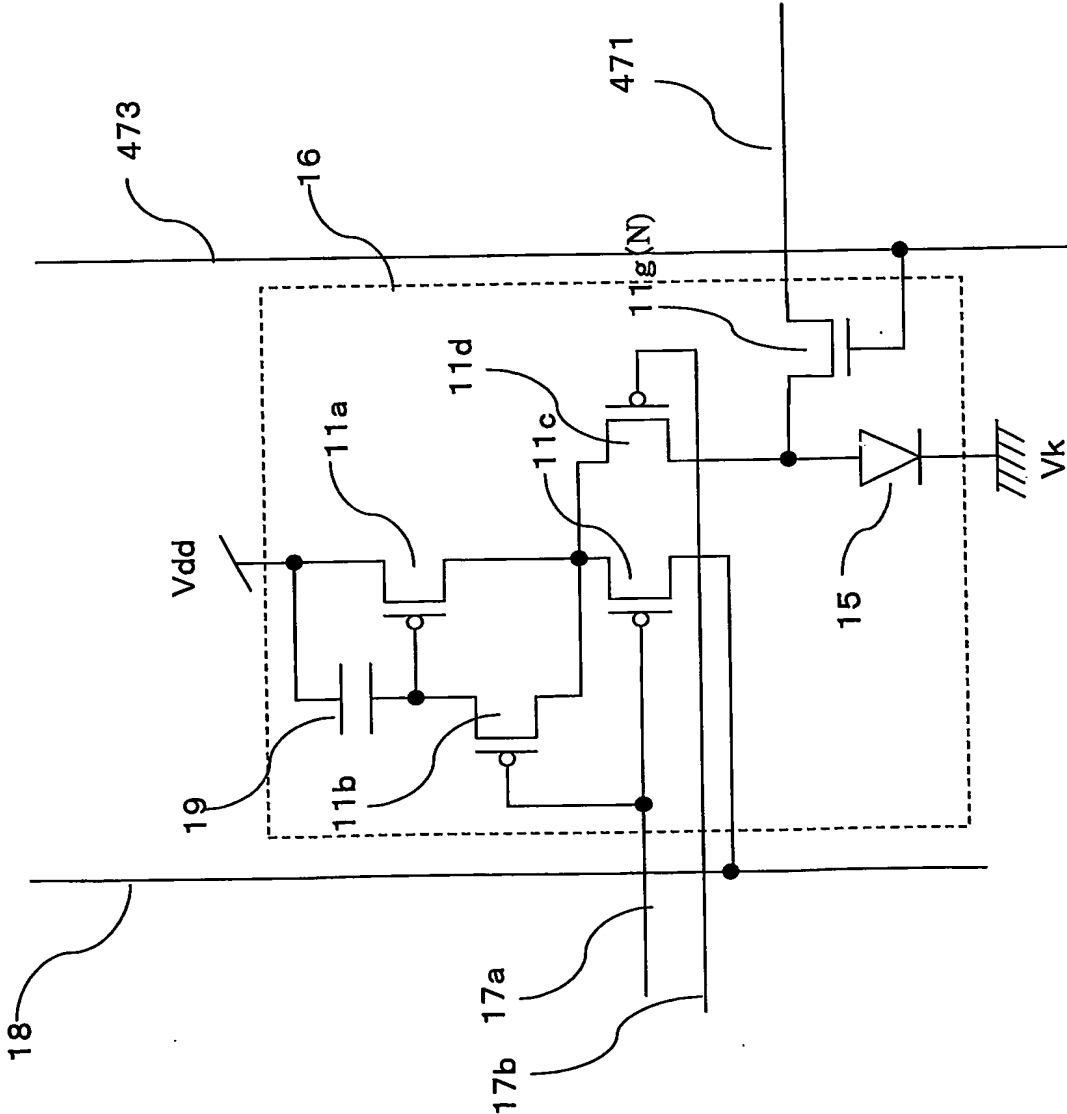
45/189



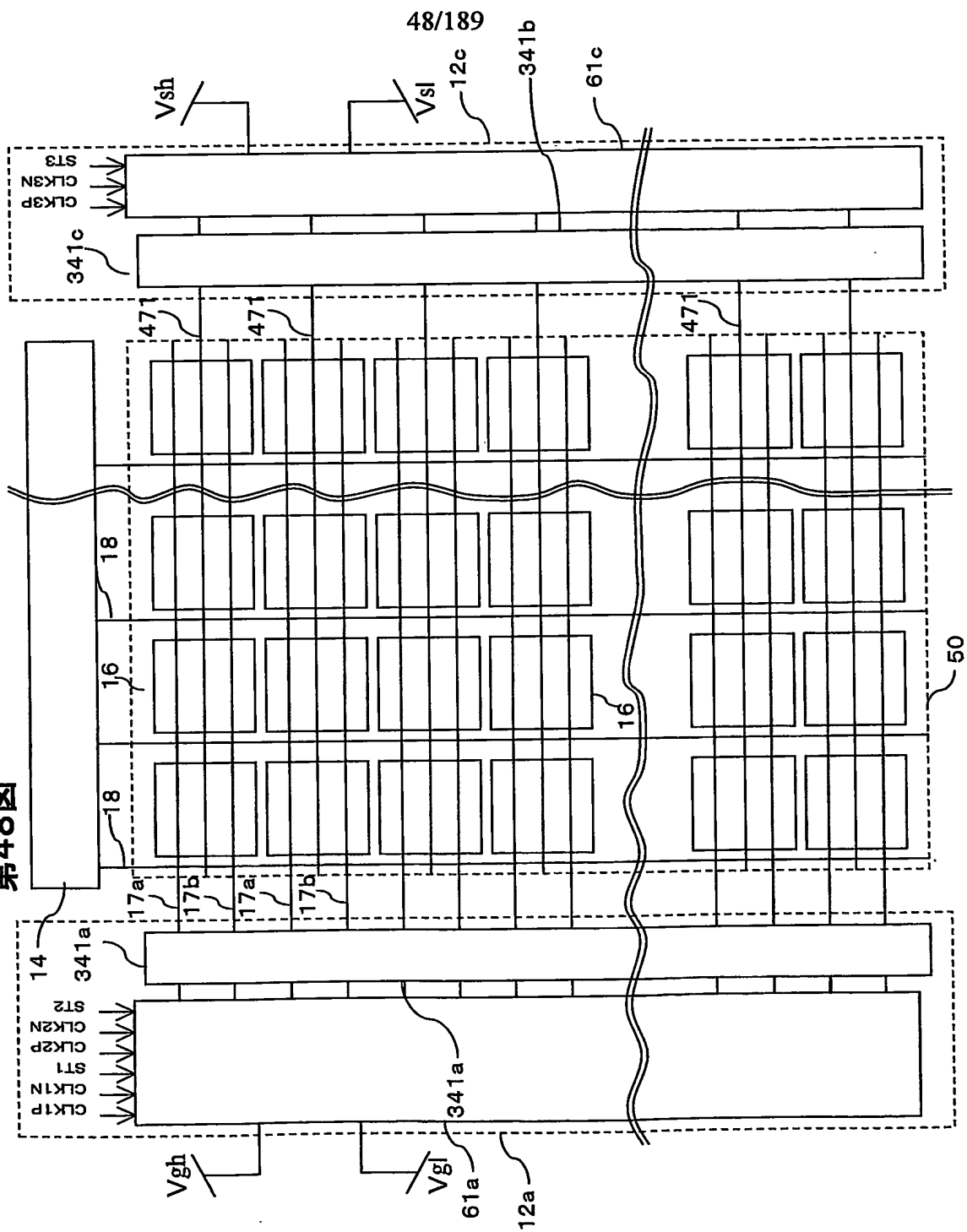
46/189

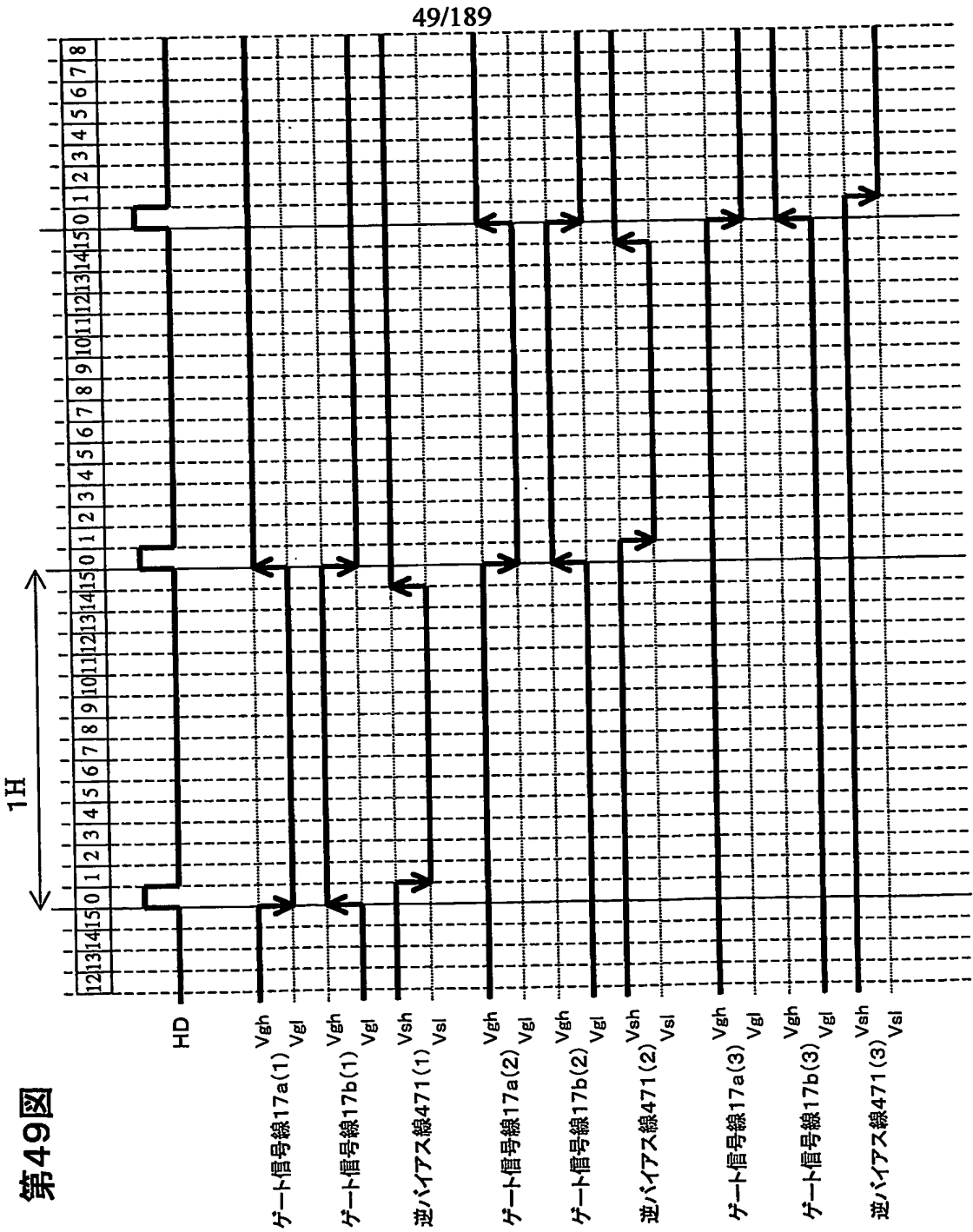


第47図



第48図





50/189

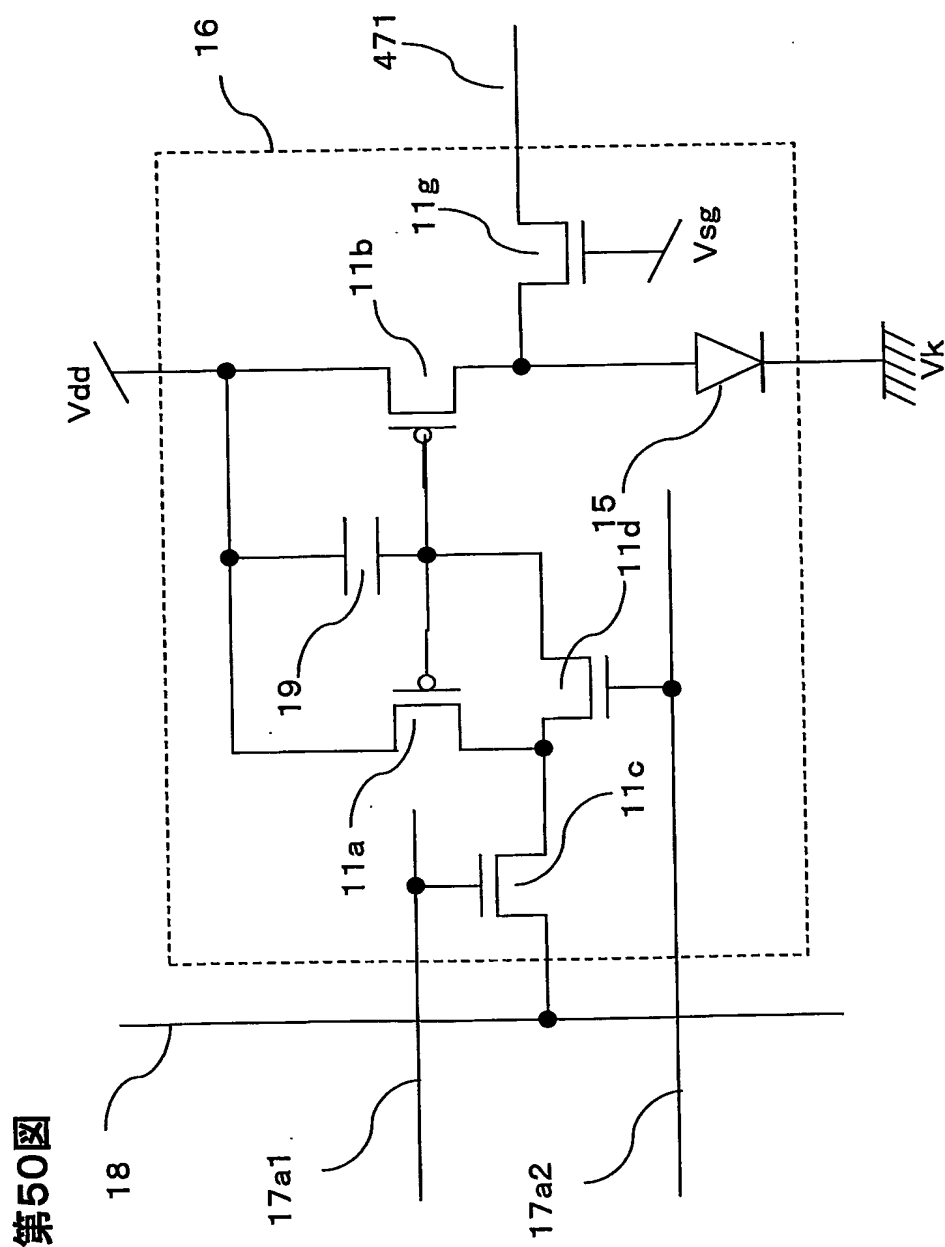
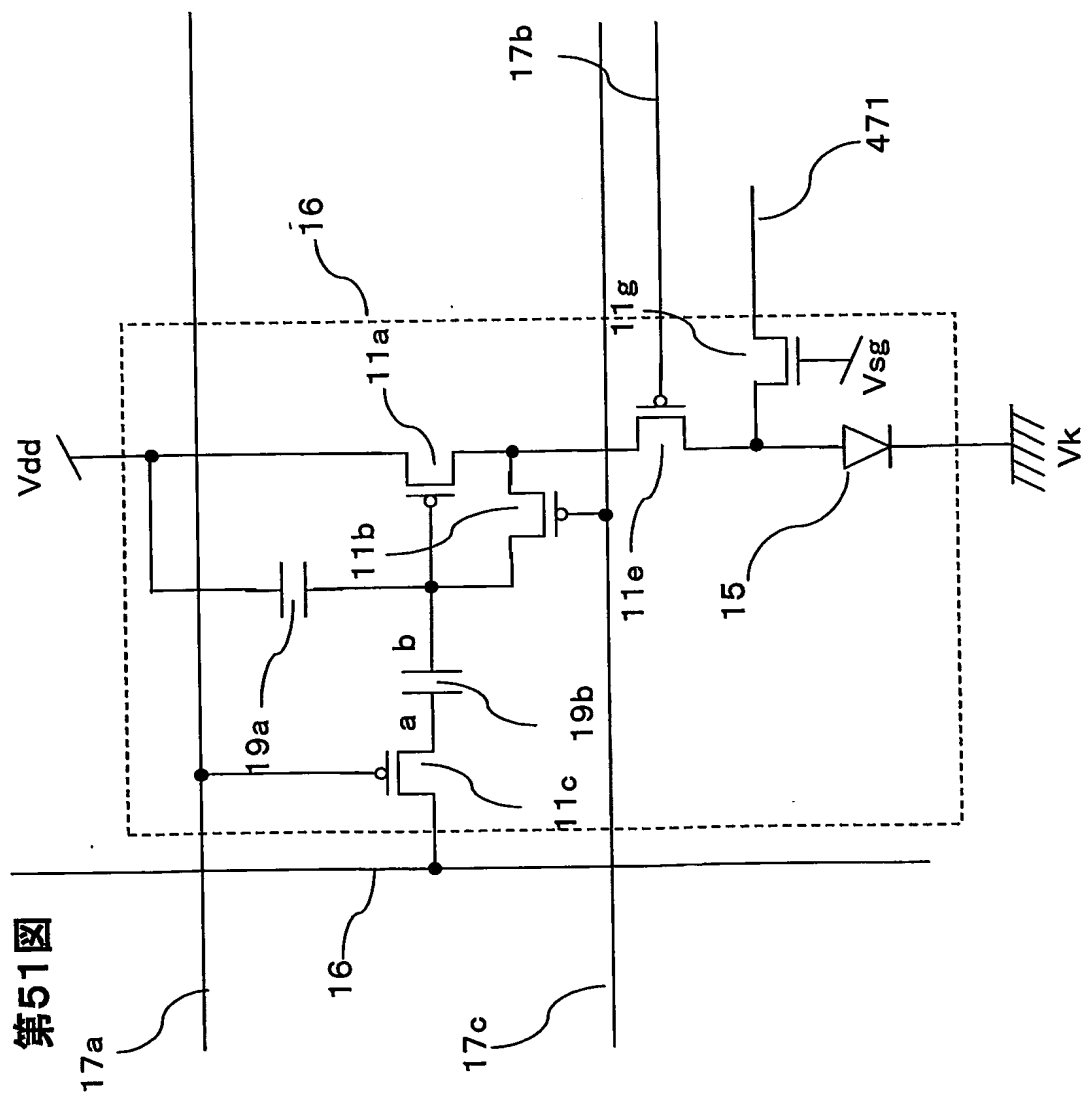
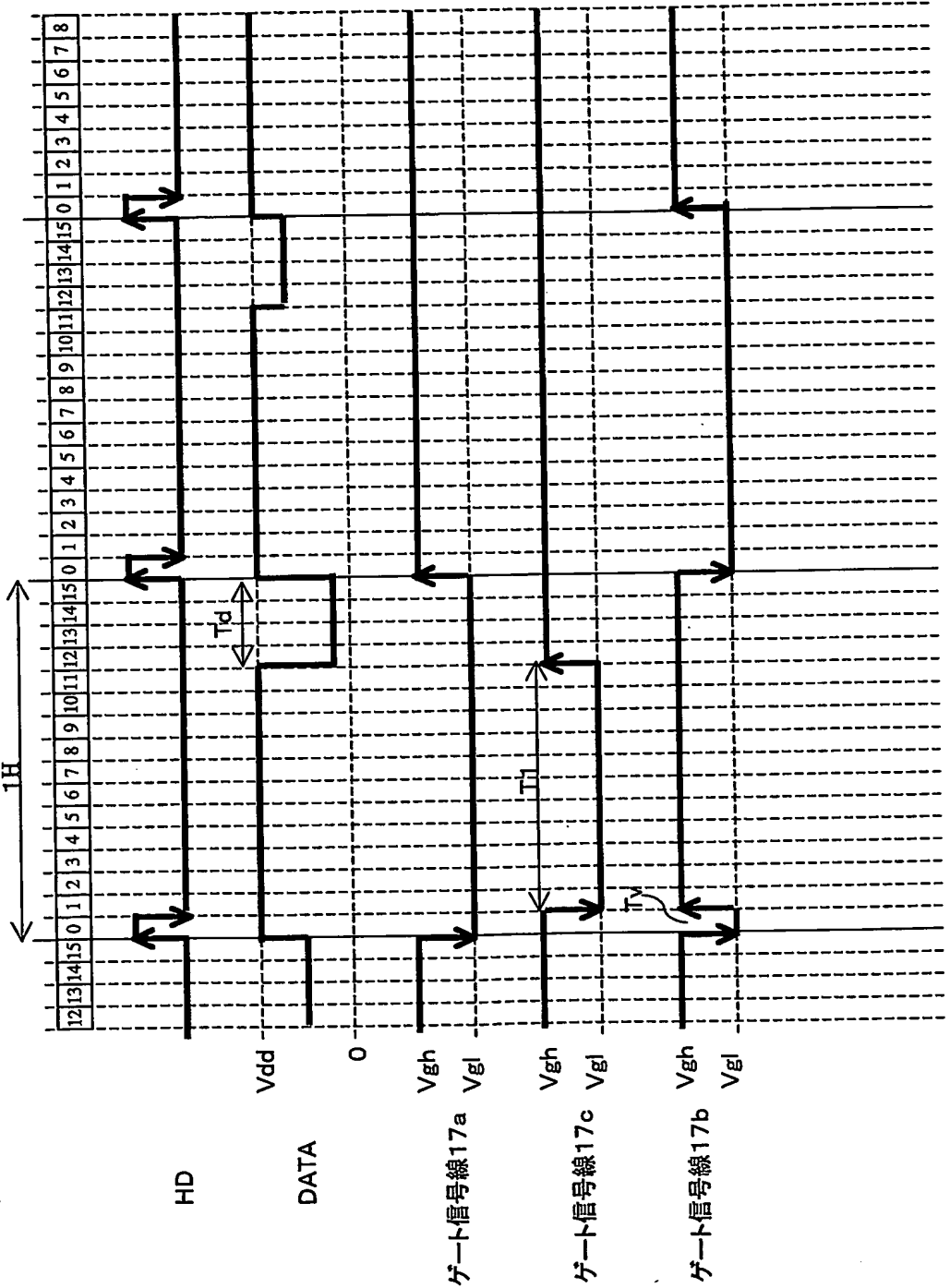


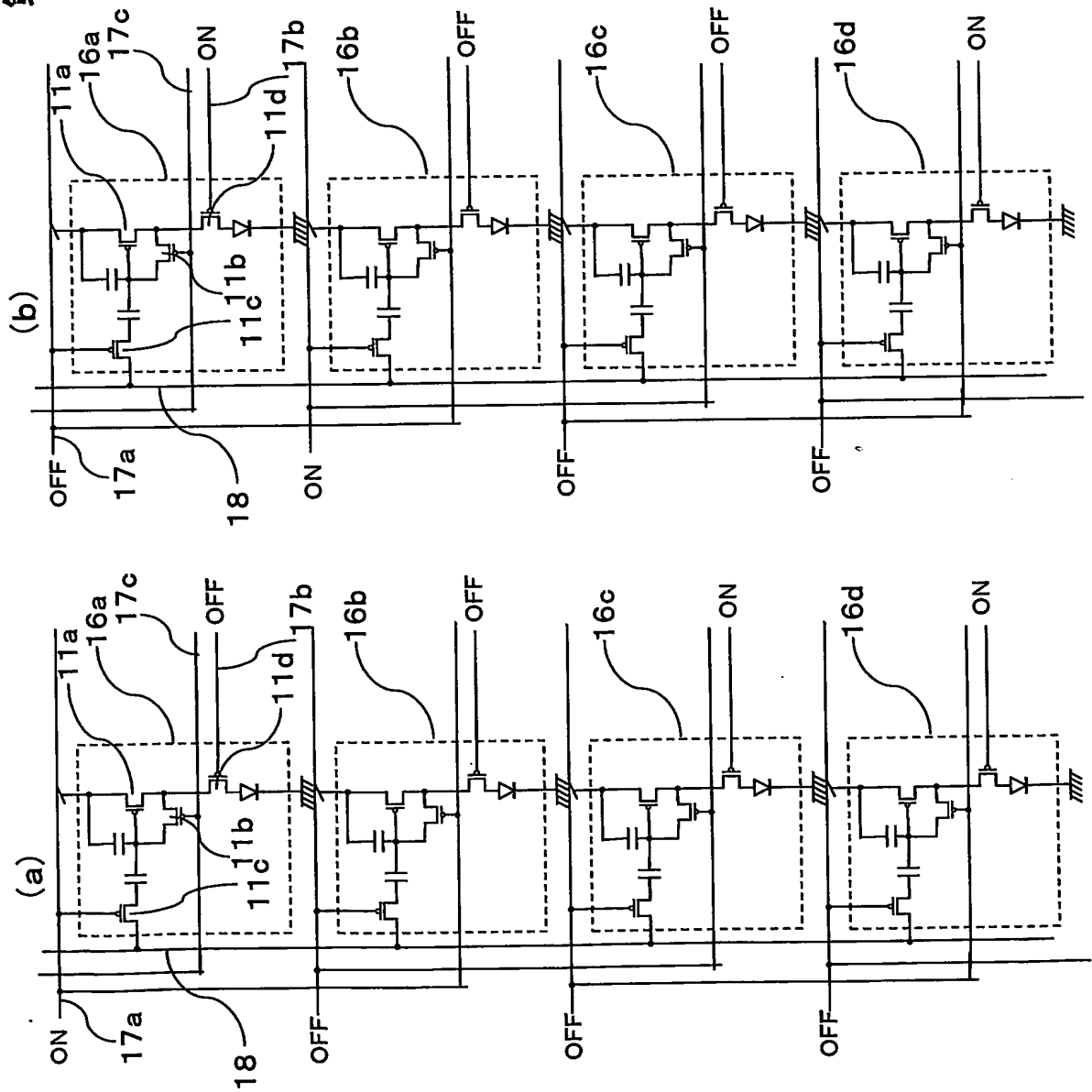
圖 15 振



第52図

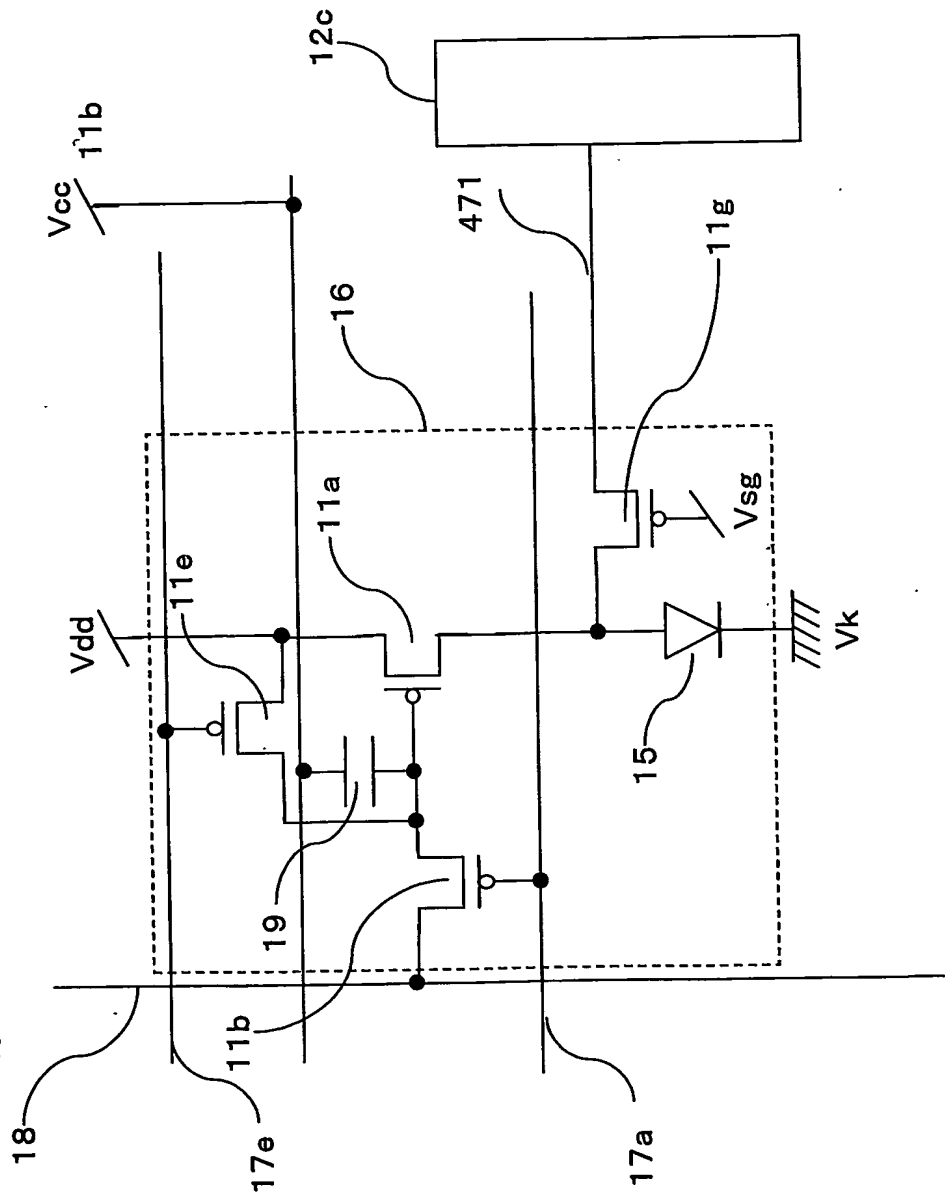


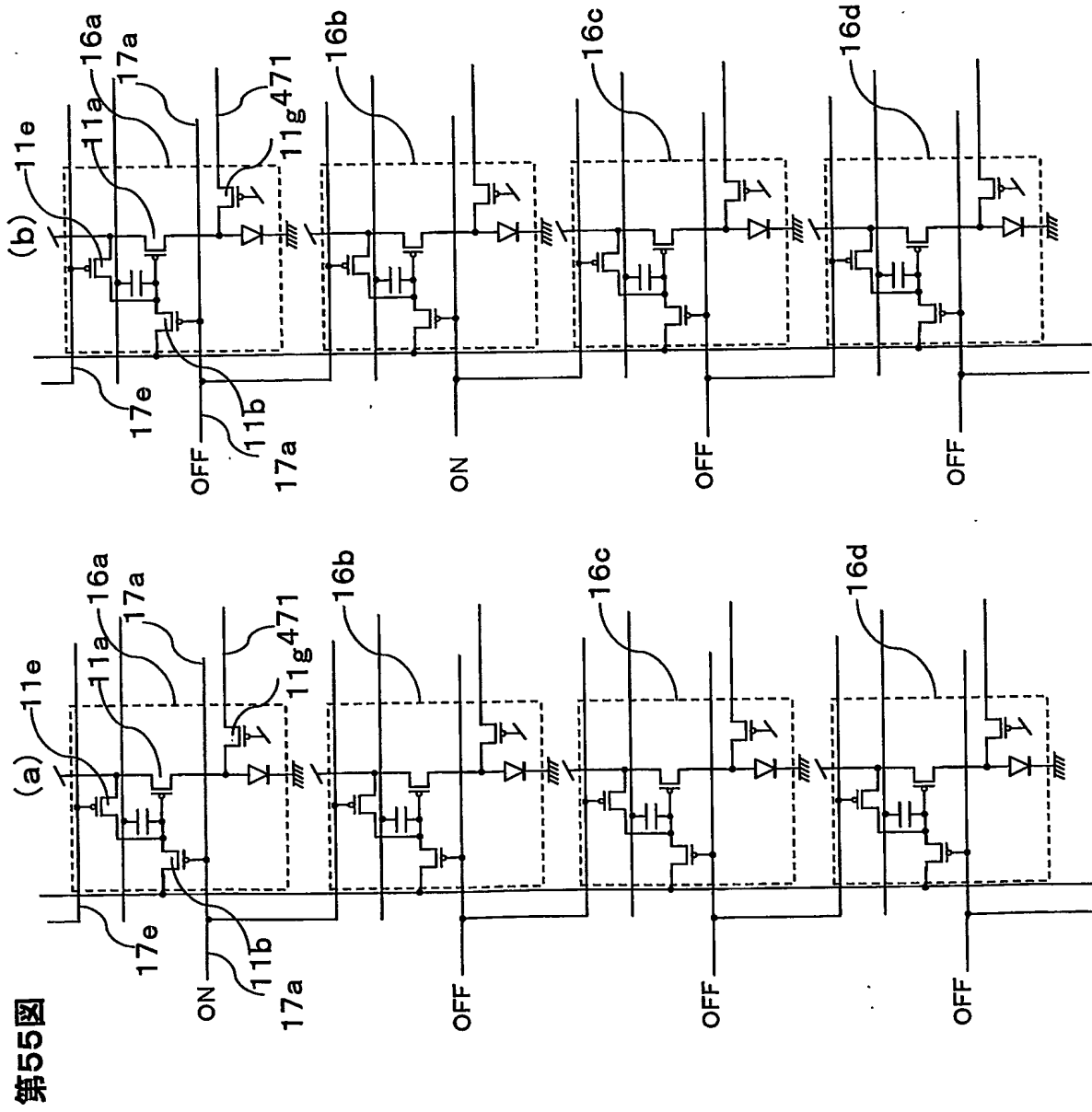
第53図



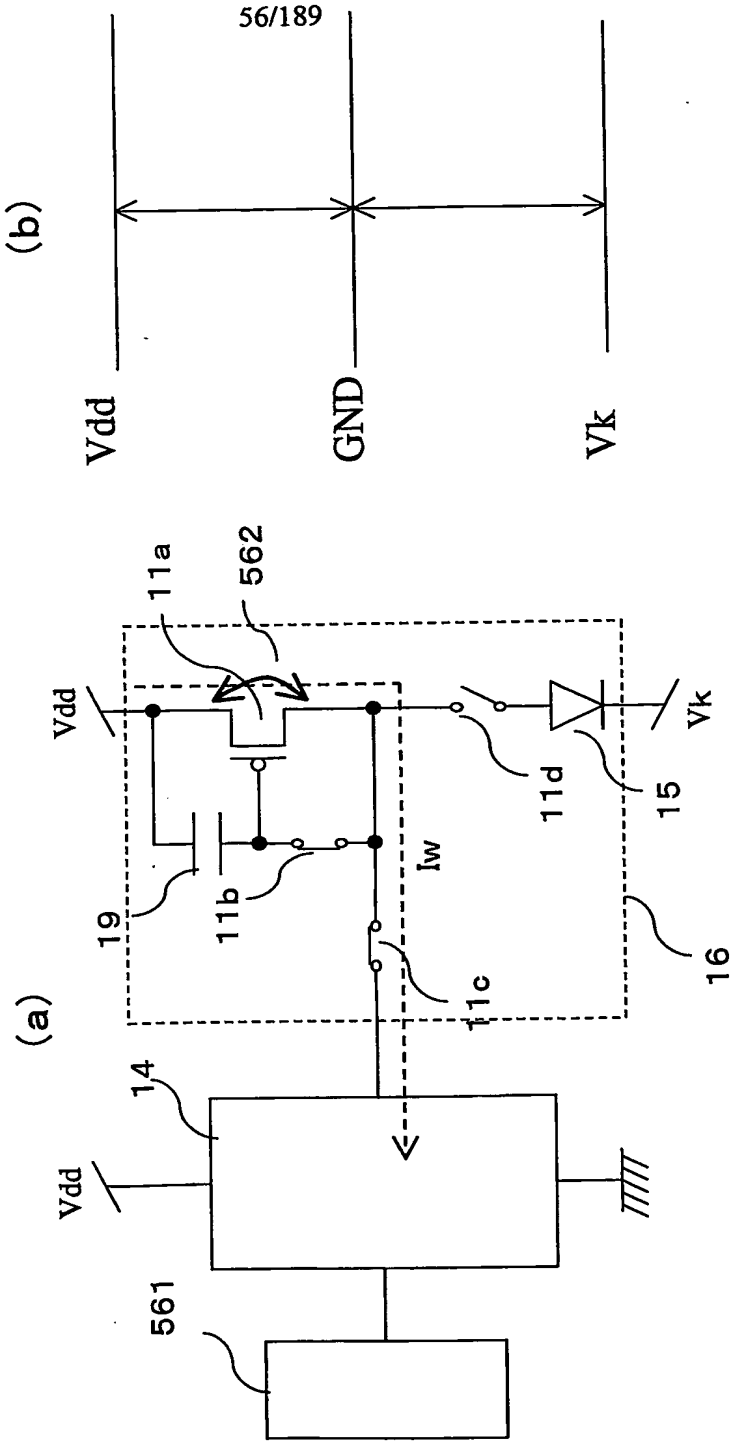
54/189

第54図

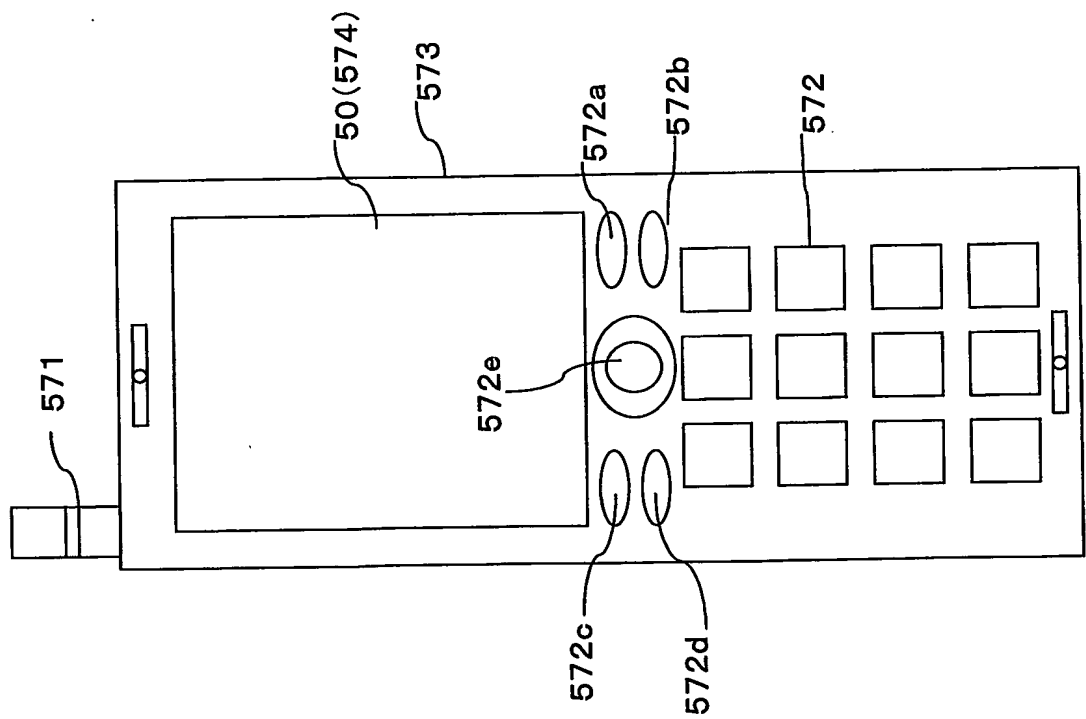




第56図



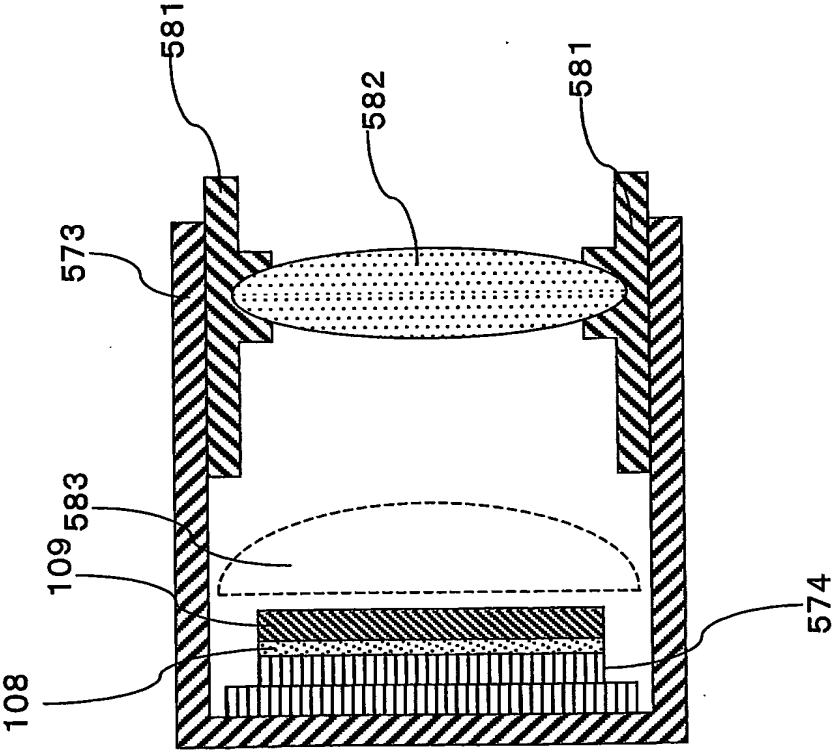
57/189



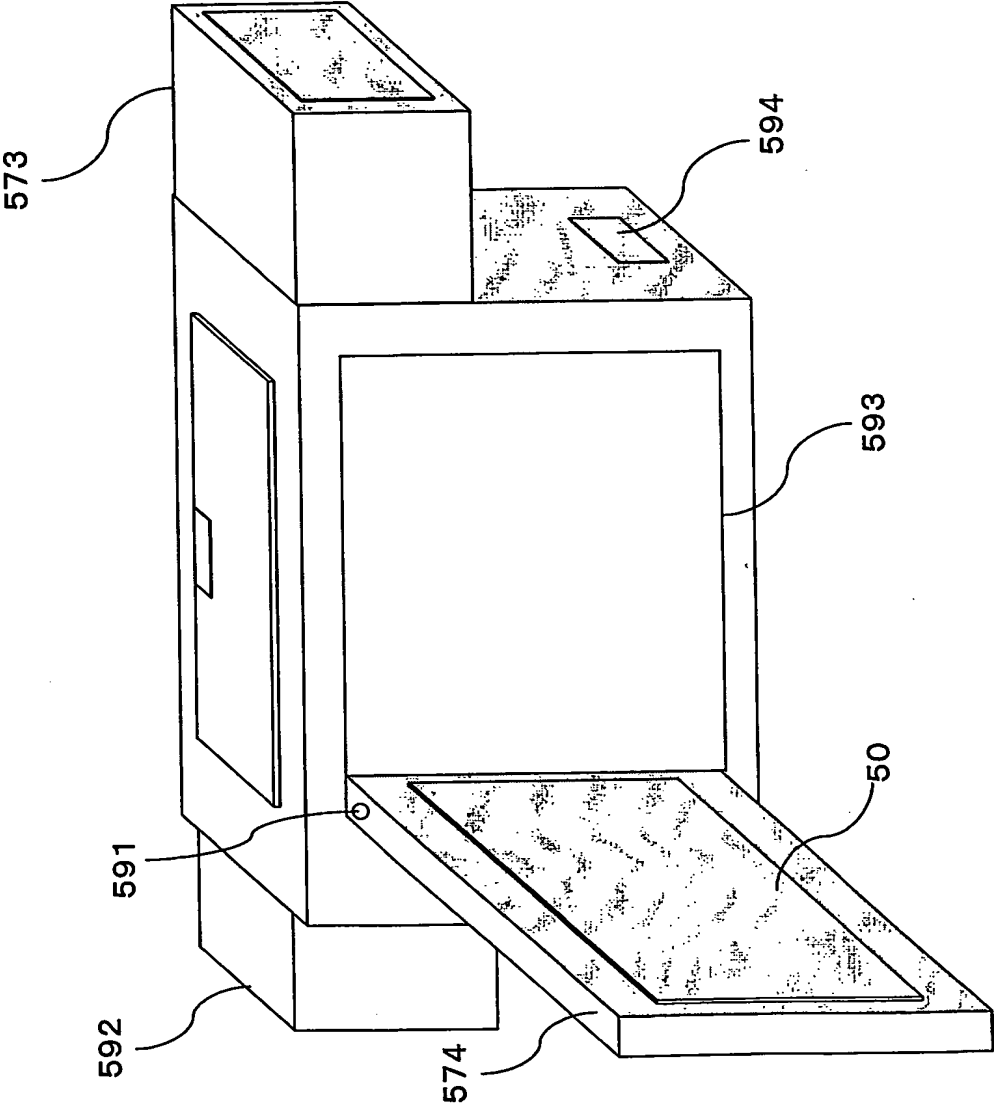
第57図

58/189

第58図

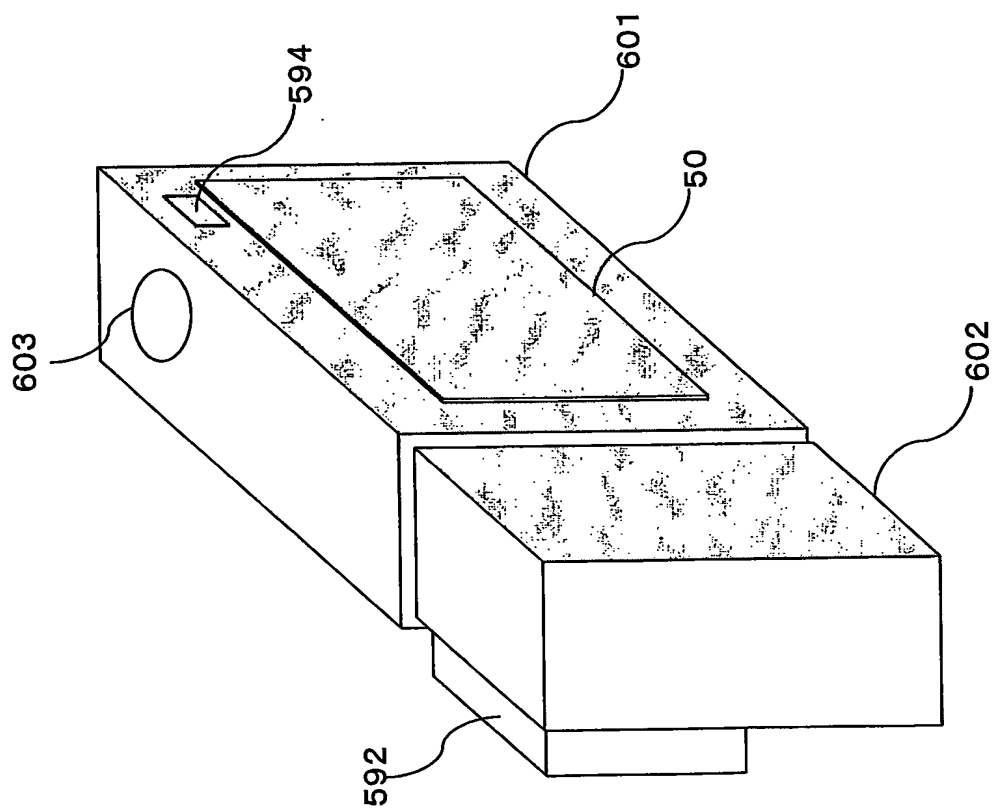


59/189



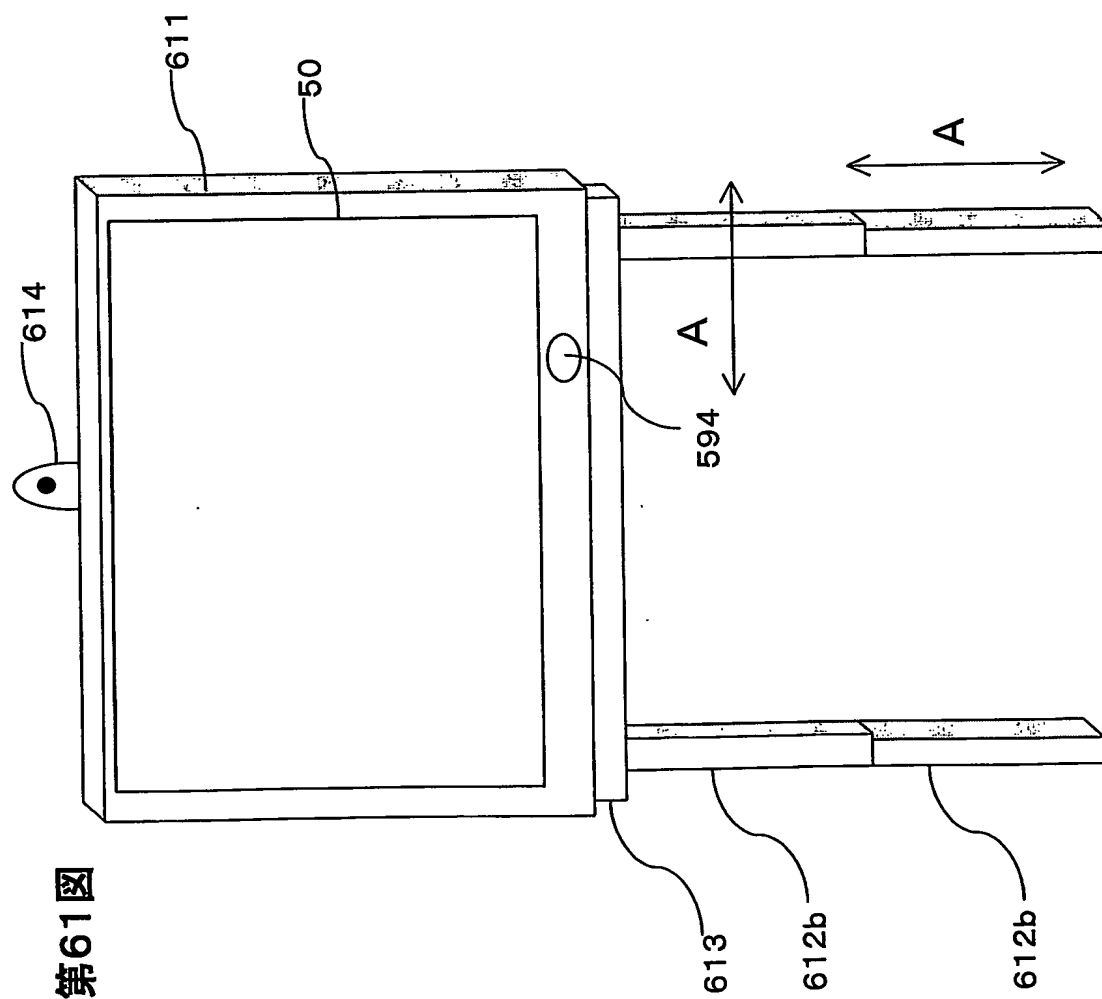
第59図

60/189

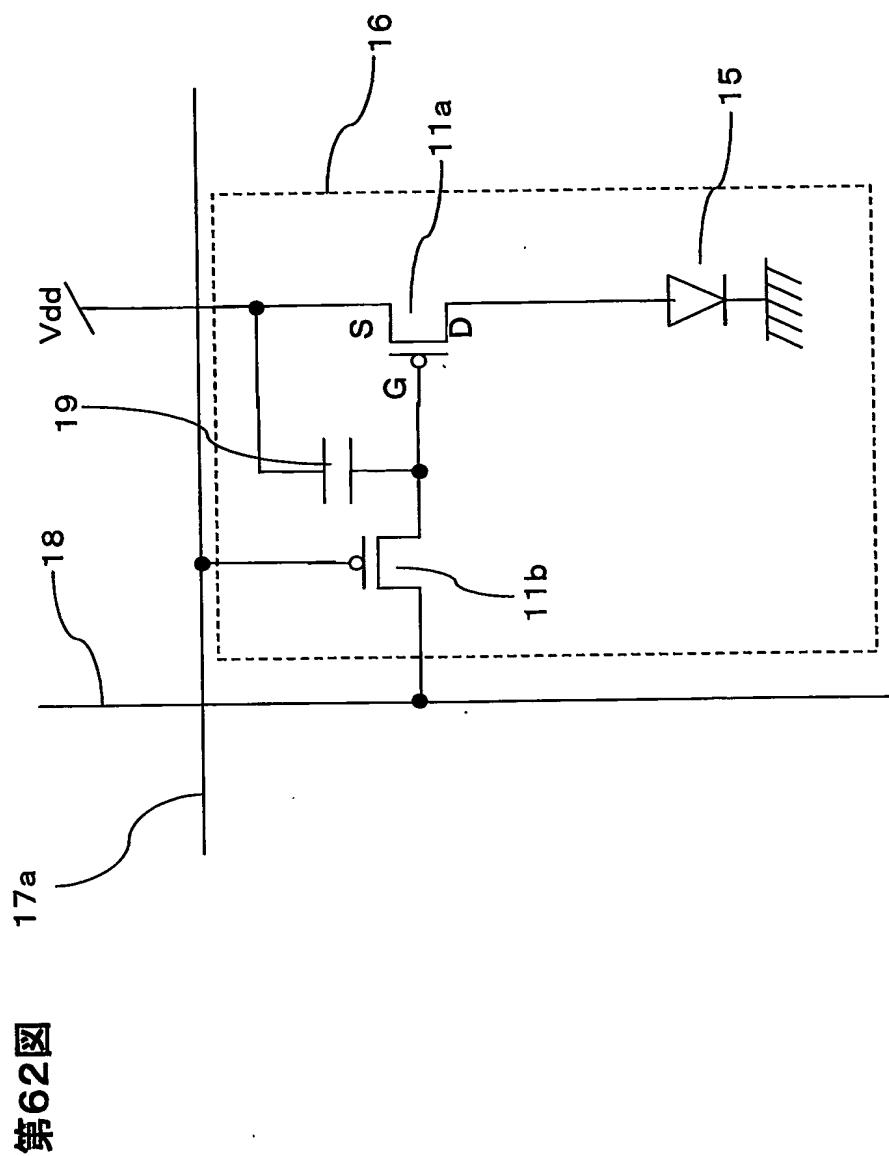


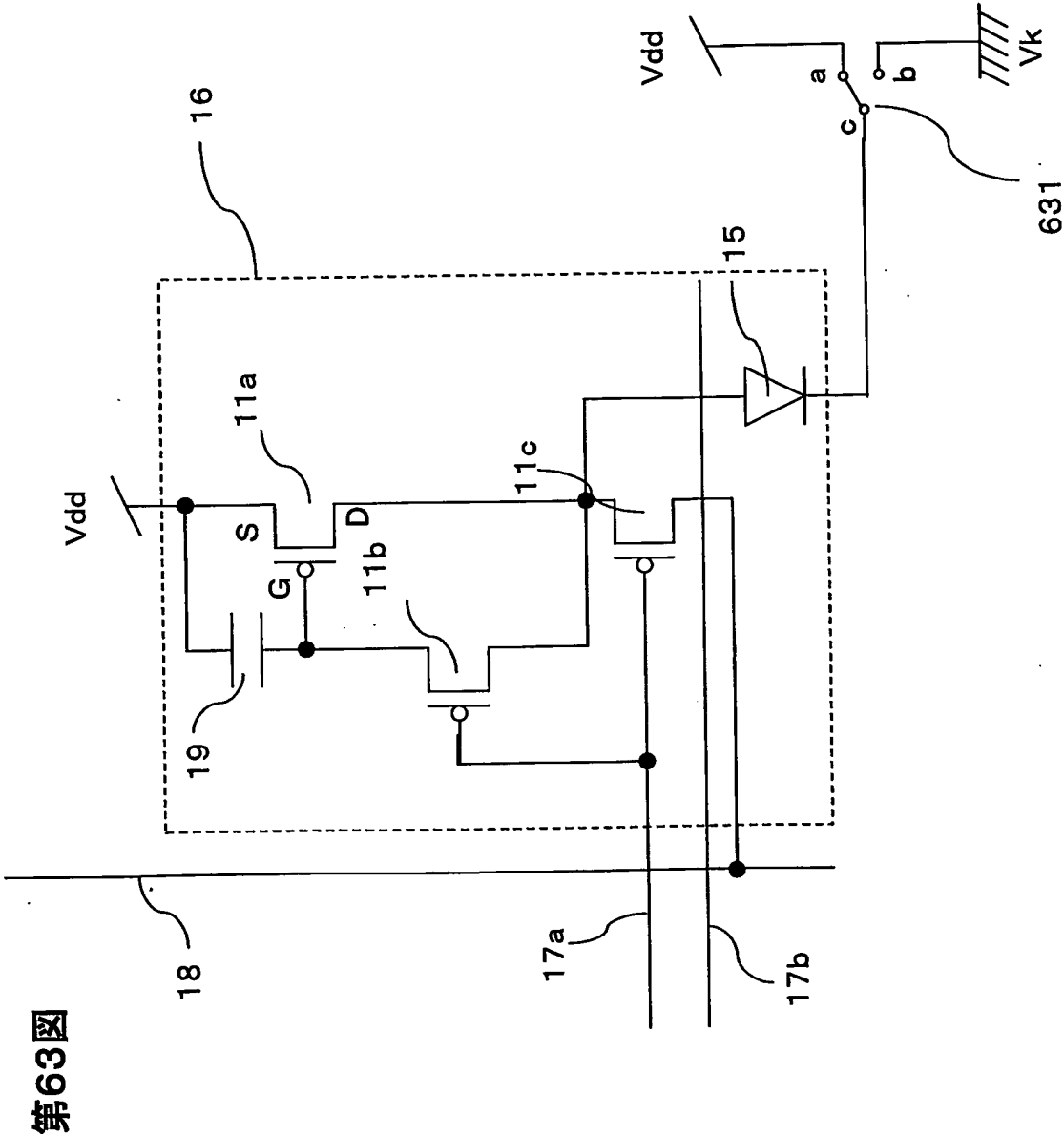
第60図

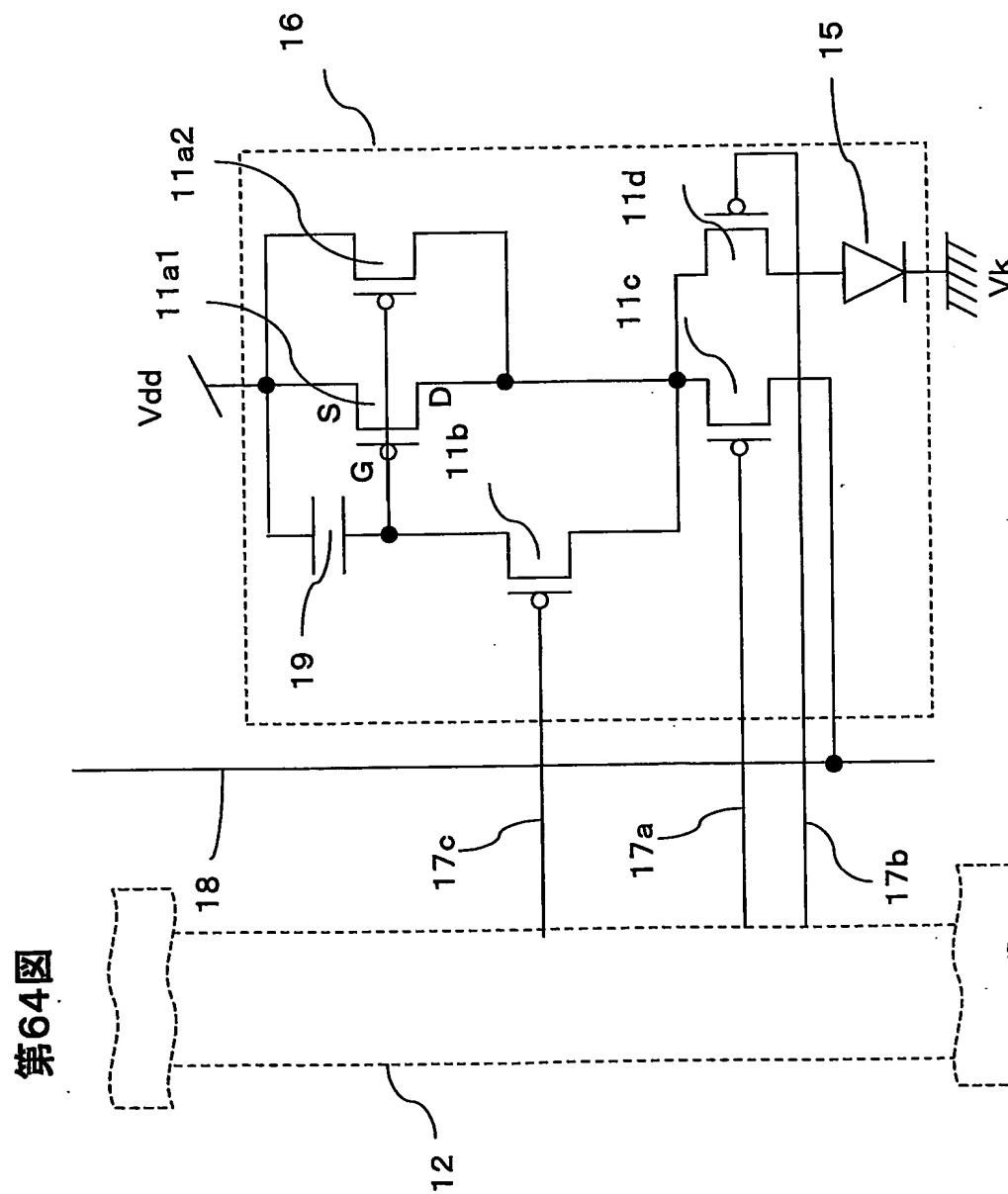
61/189



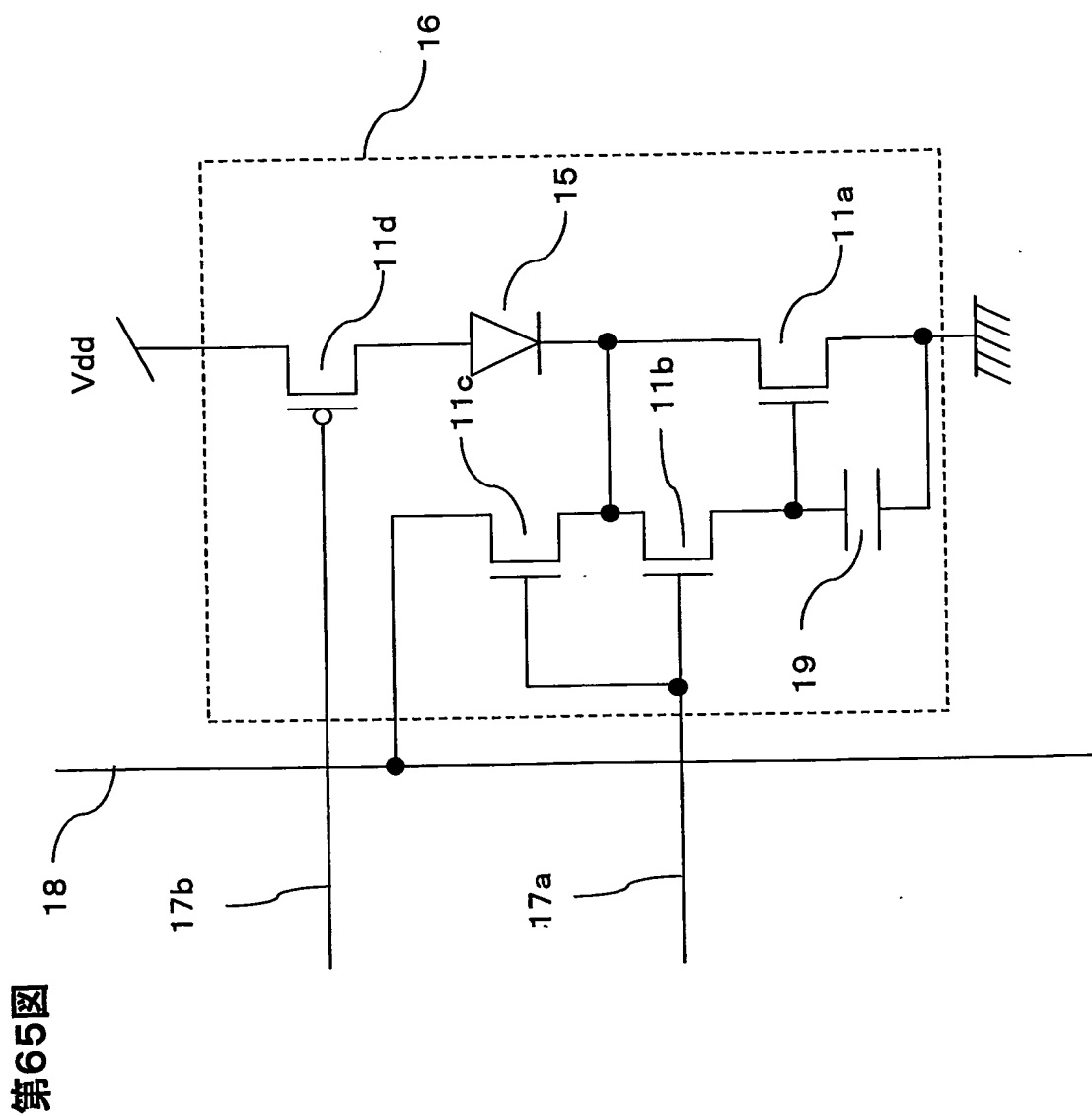
62/189





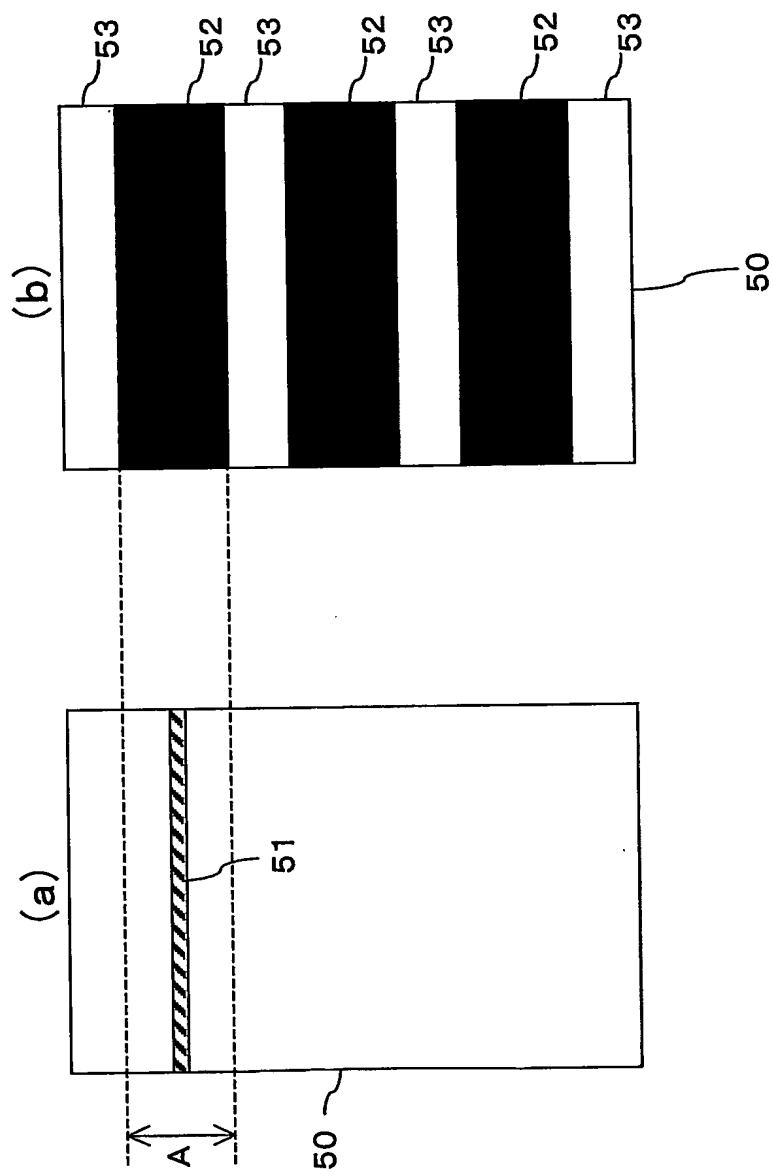


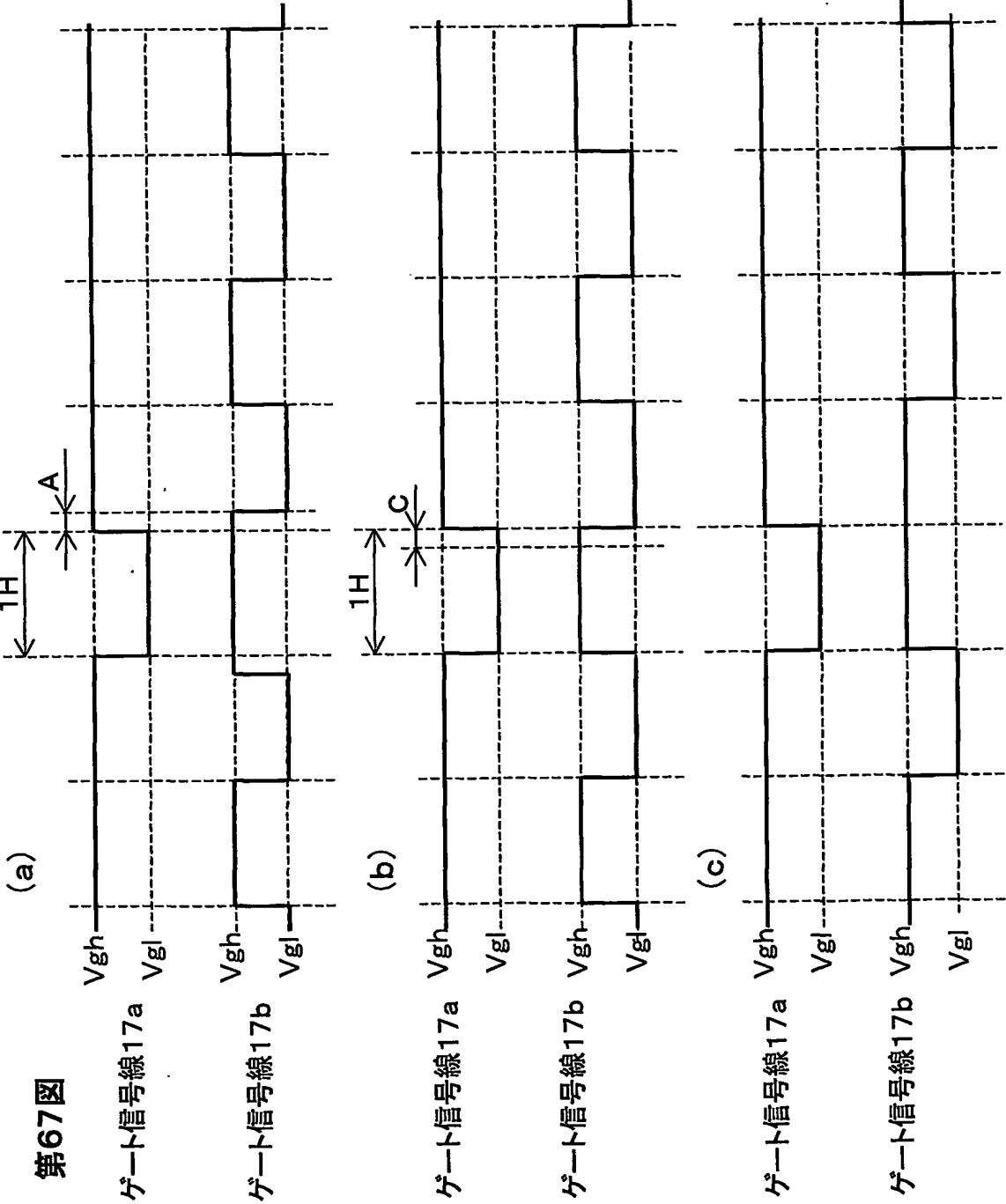
65/189



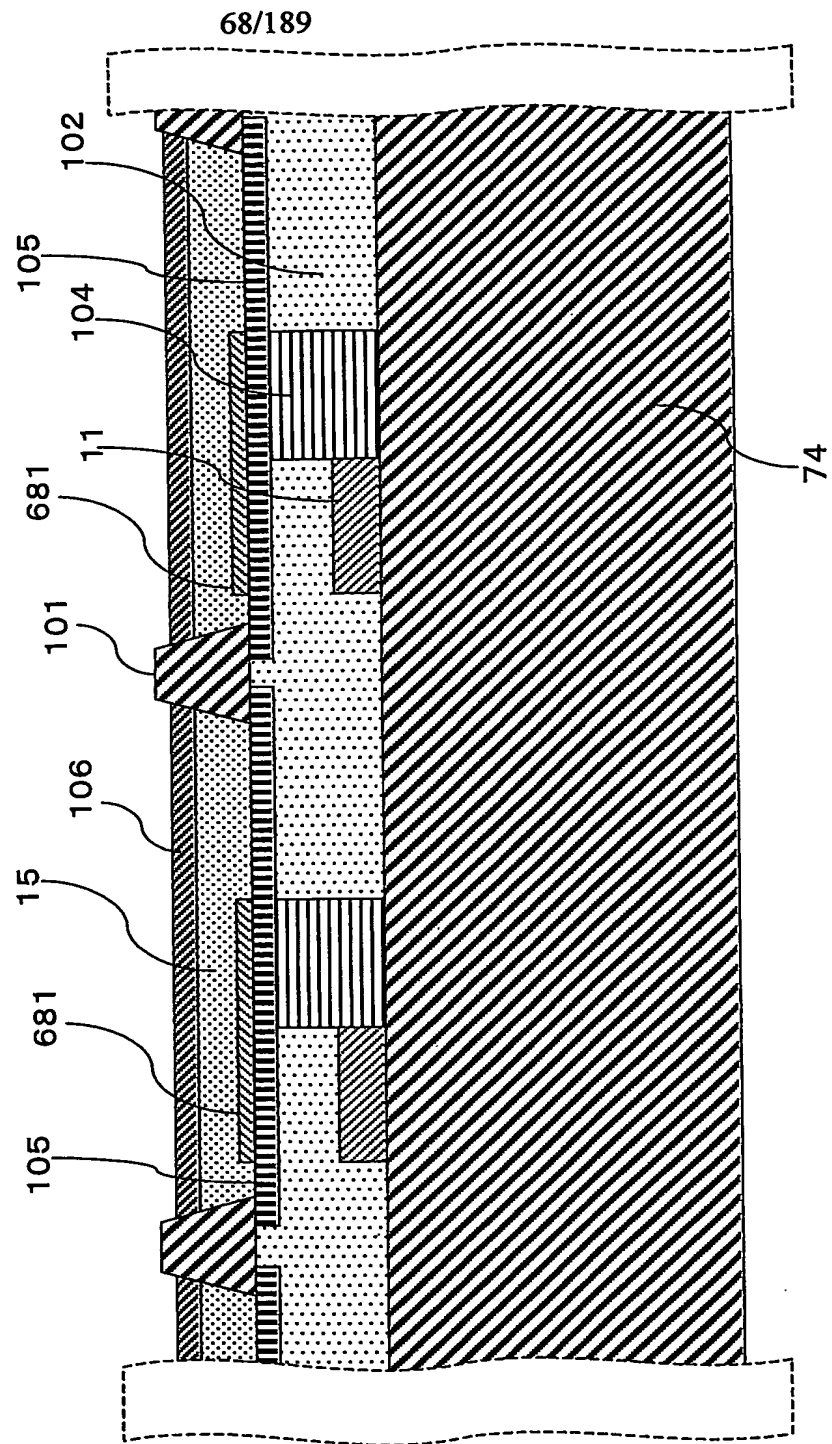
66/189

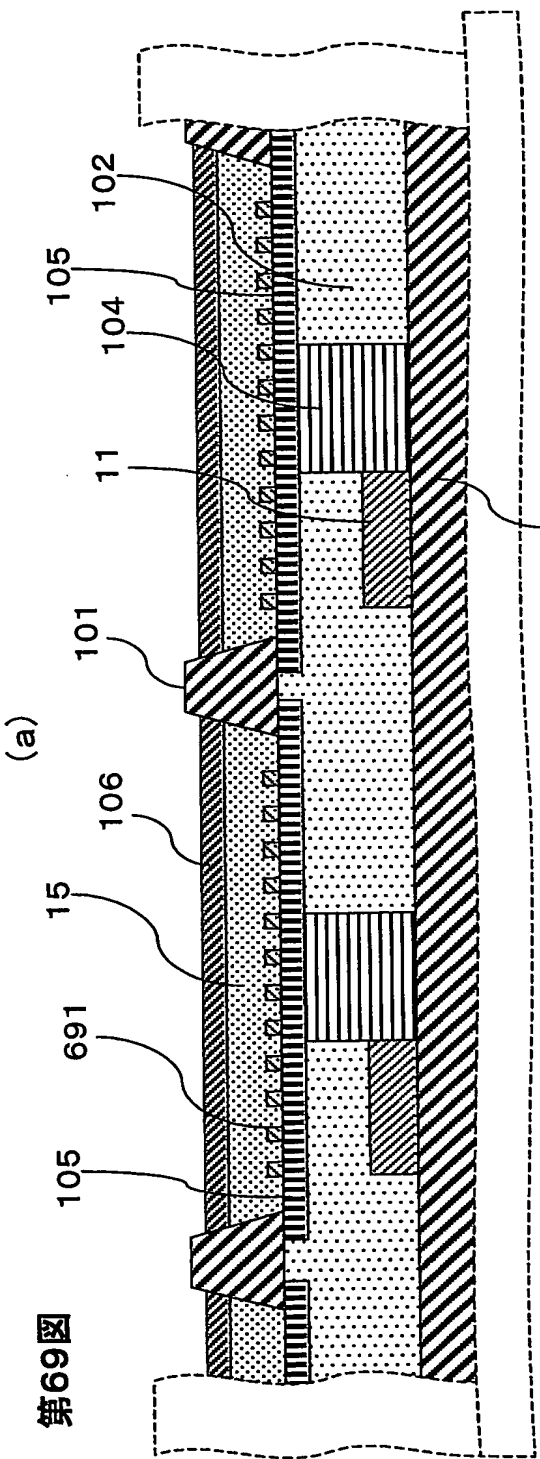
第66図



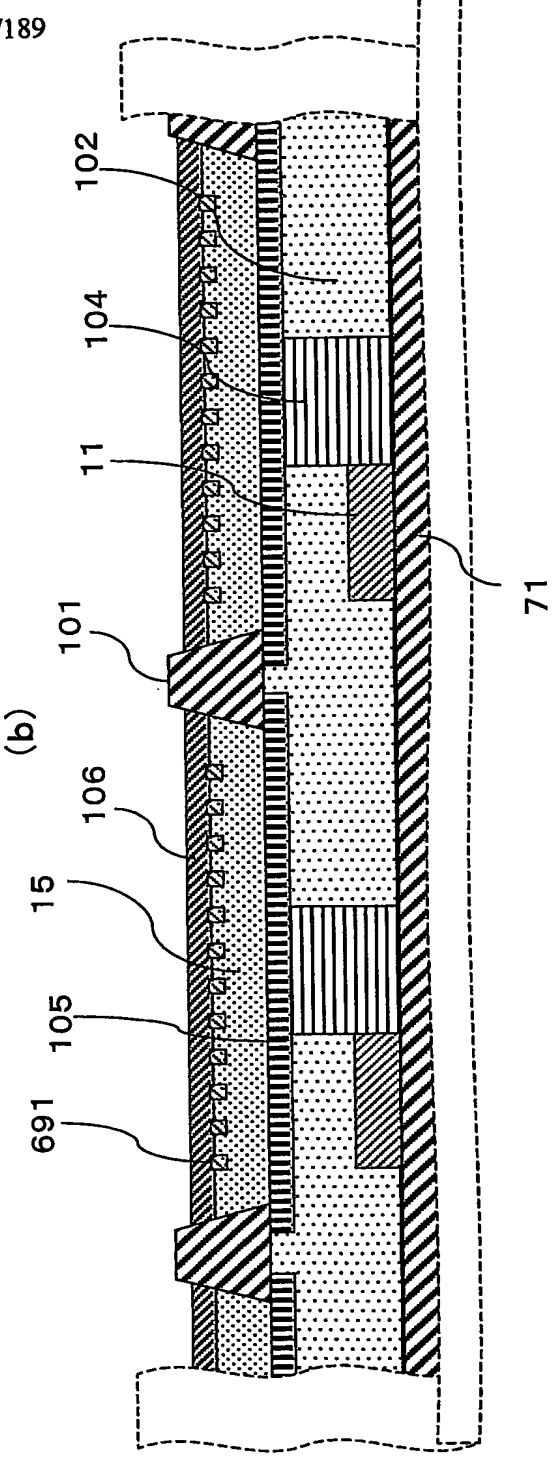


第68図

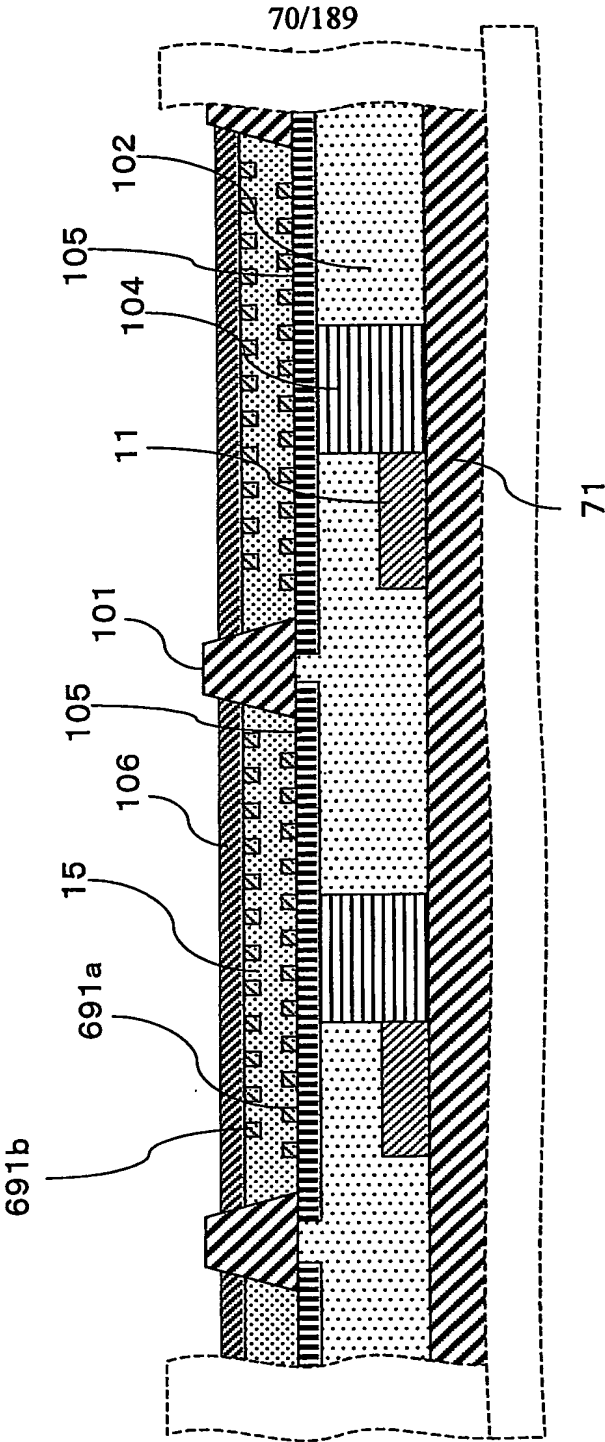




69/189

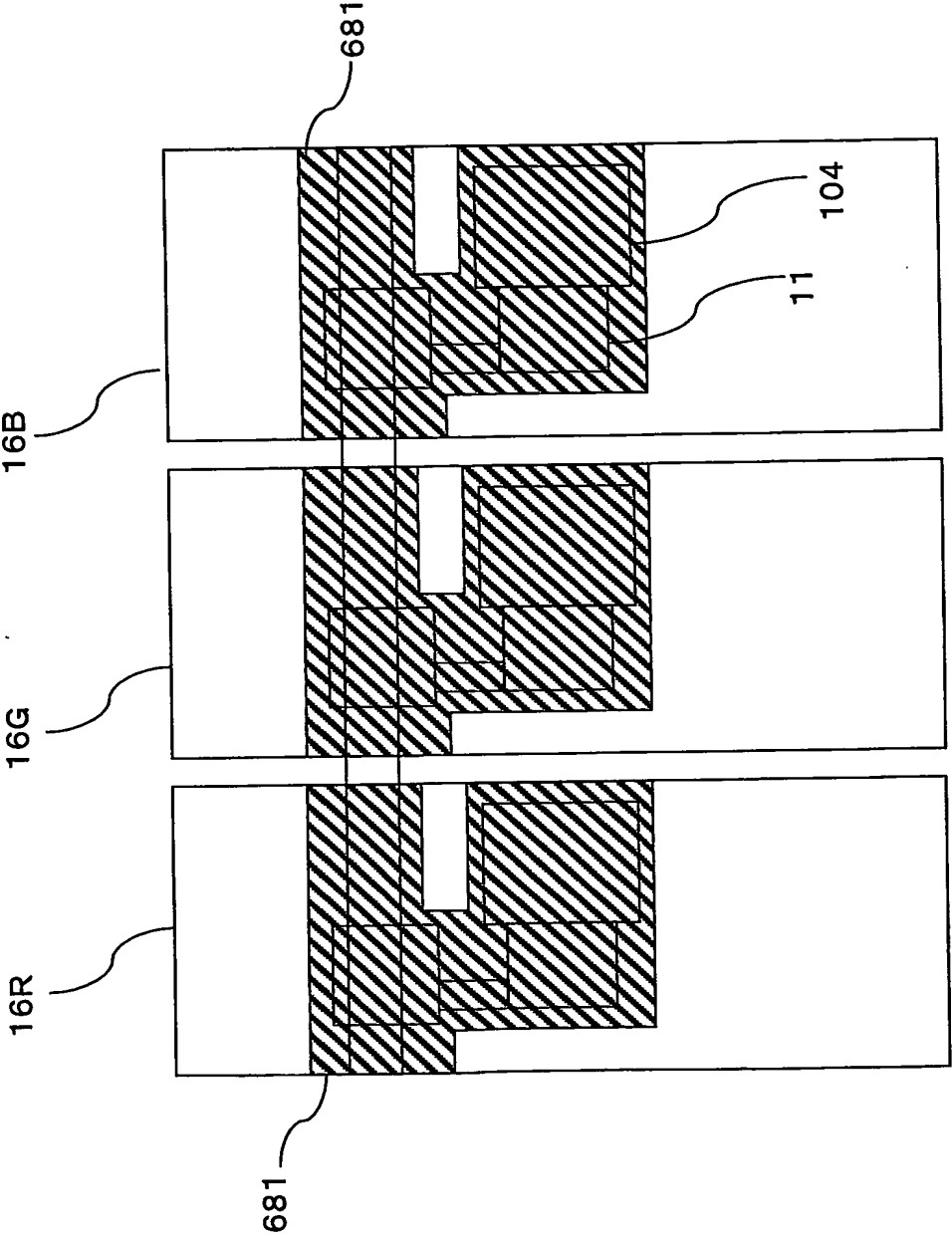


第70図

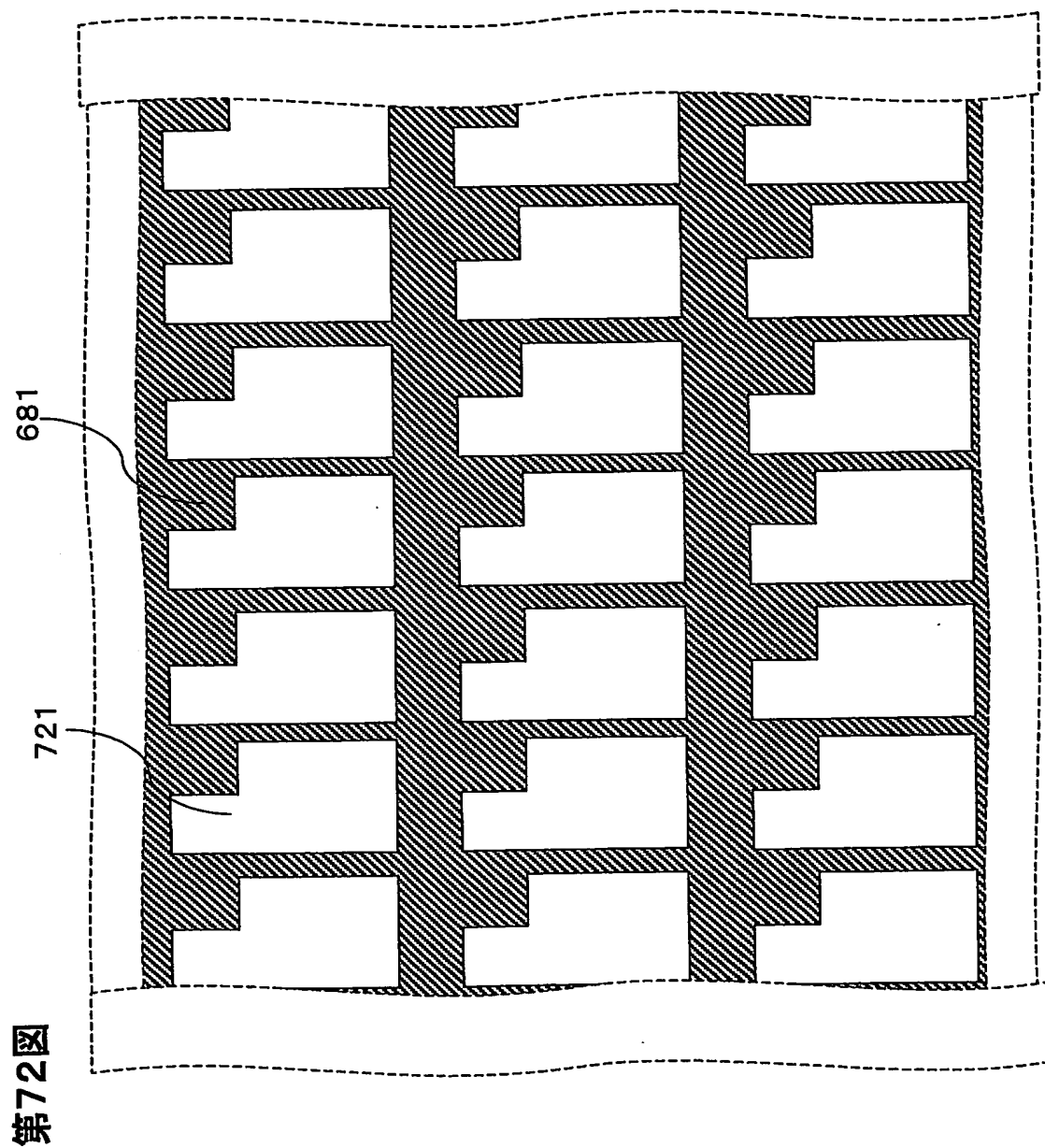


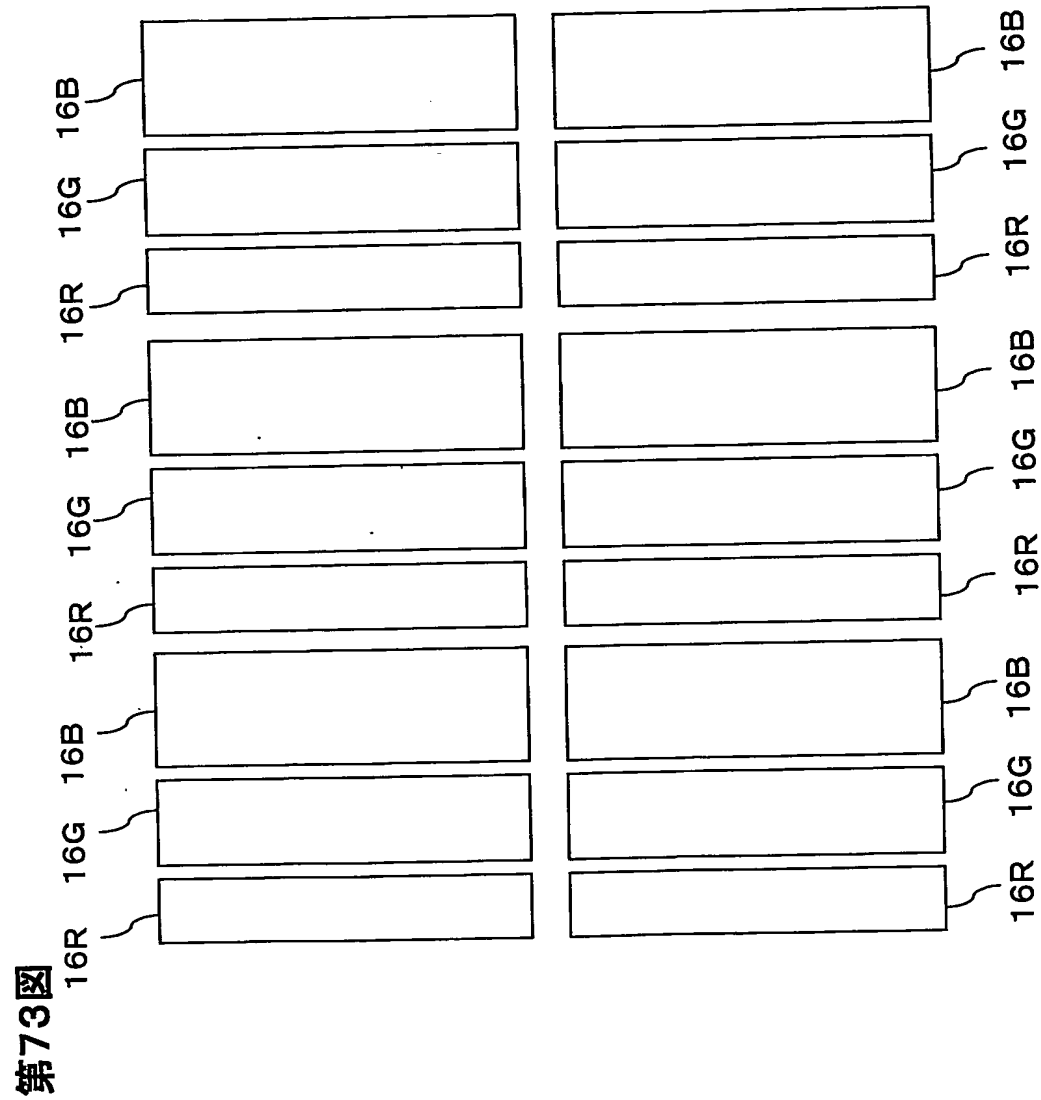
71/189

第71図



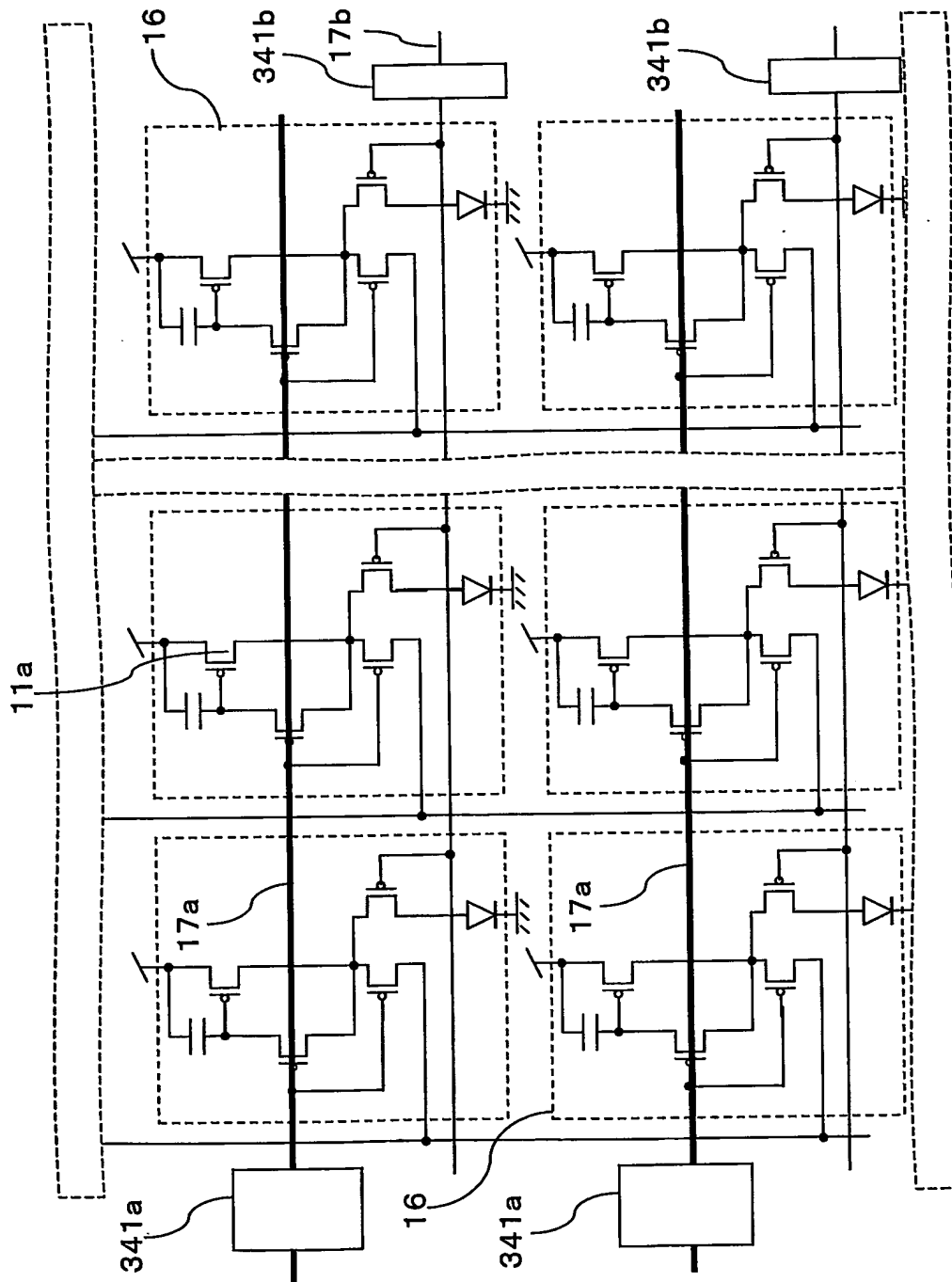
72/189



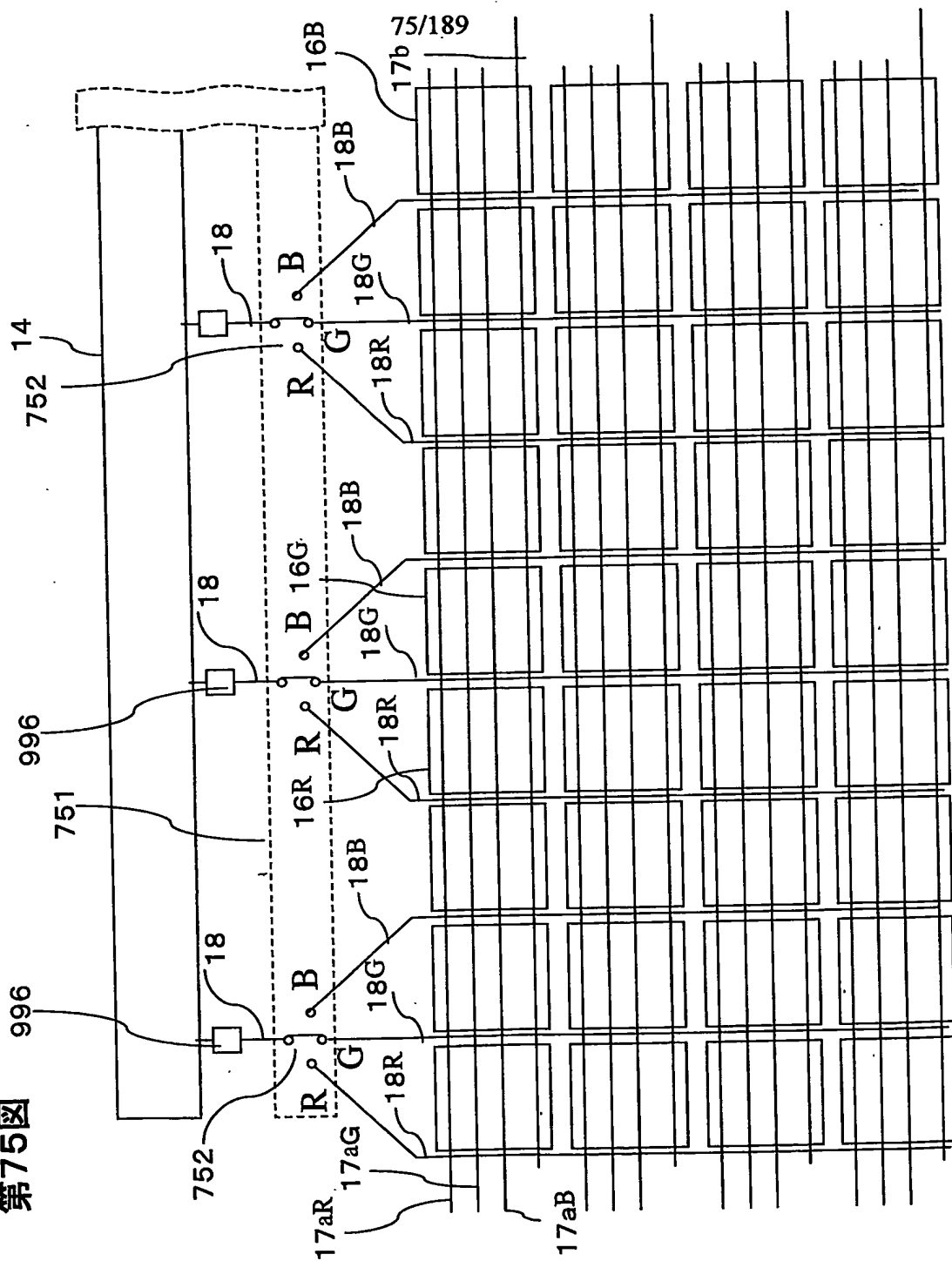


74/189

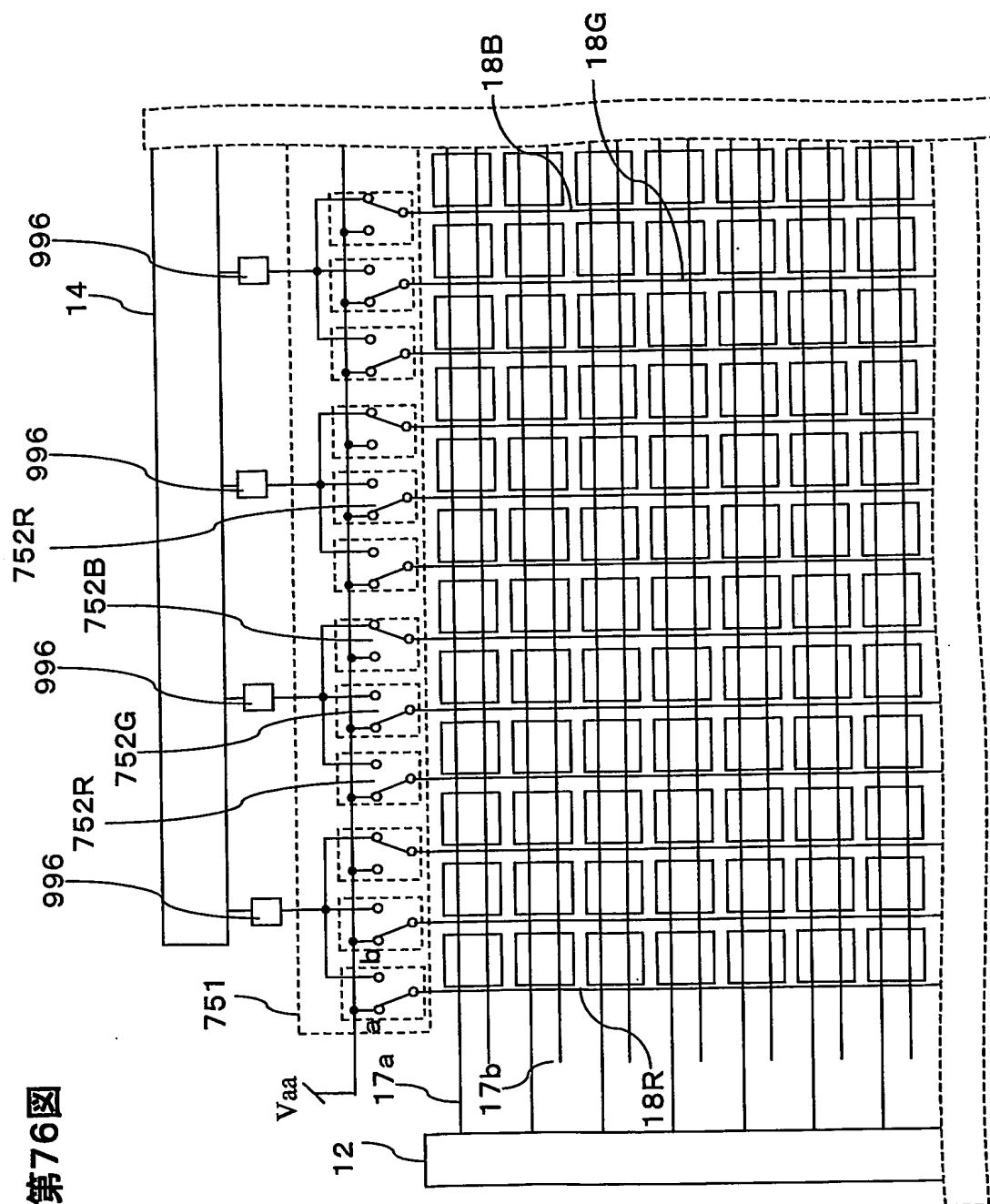
第74図



第75図

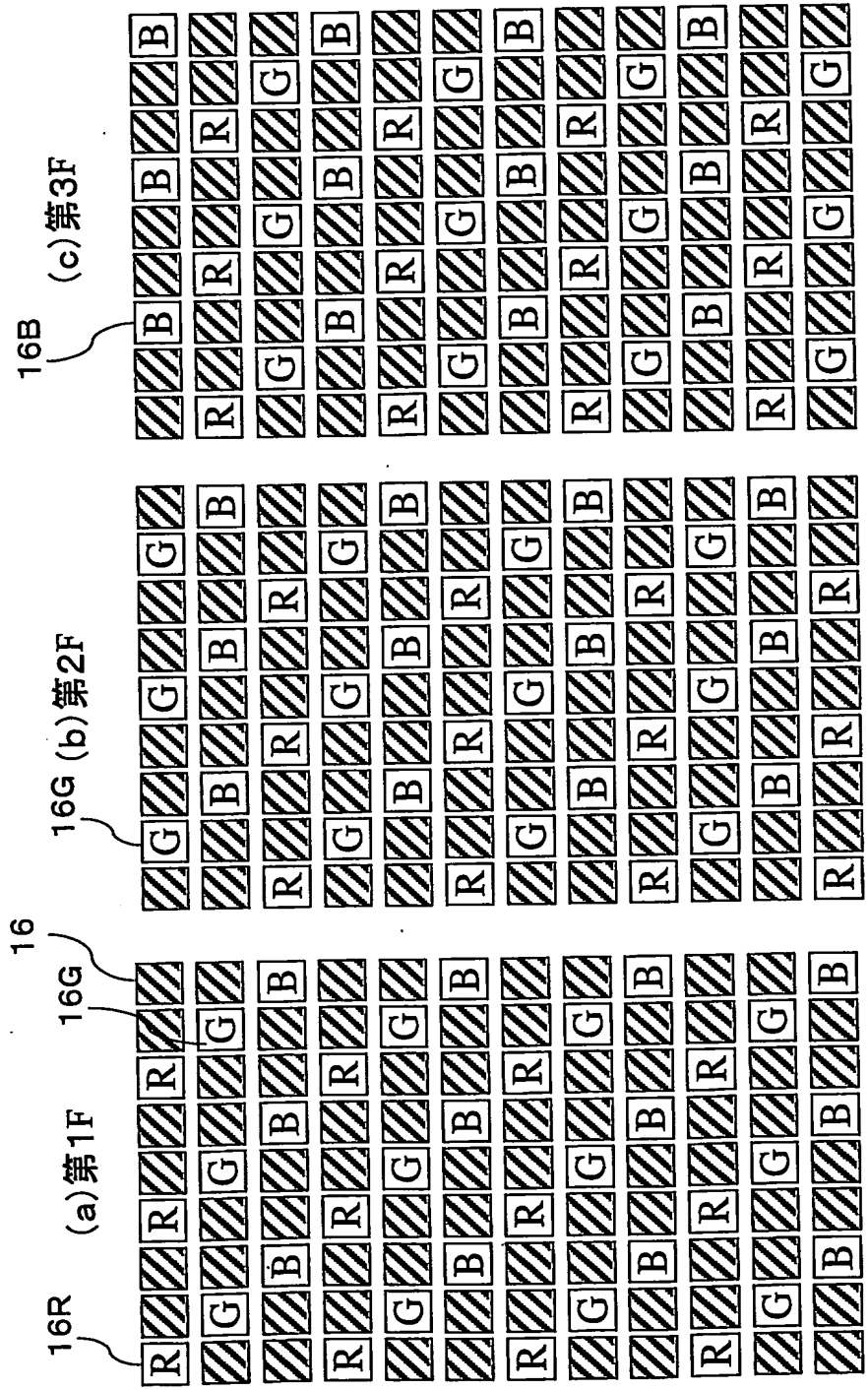


76/189



77/189

第77図



第78图

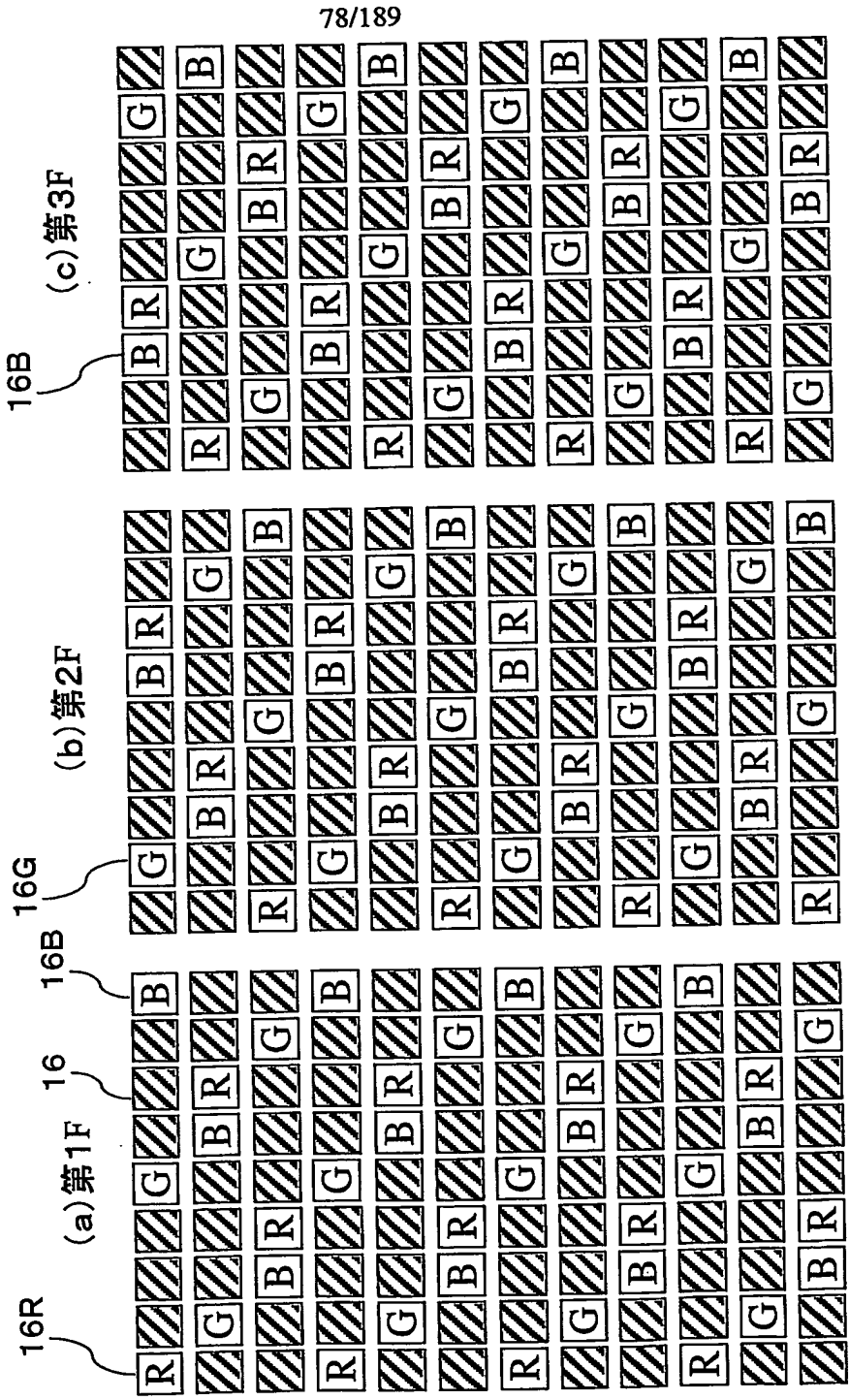
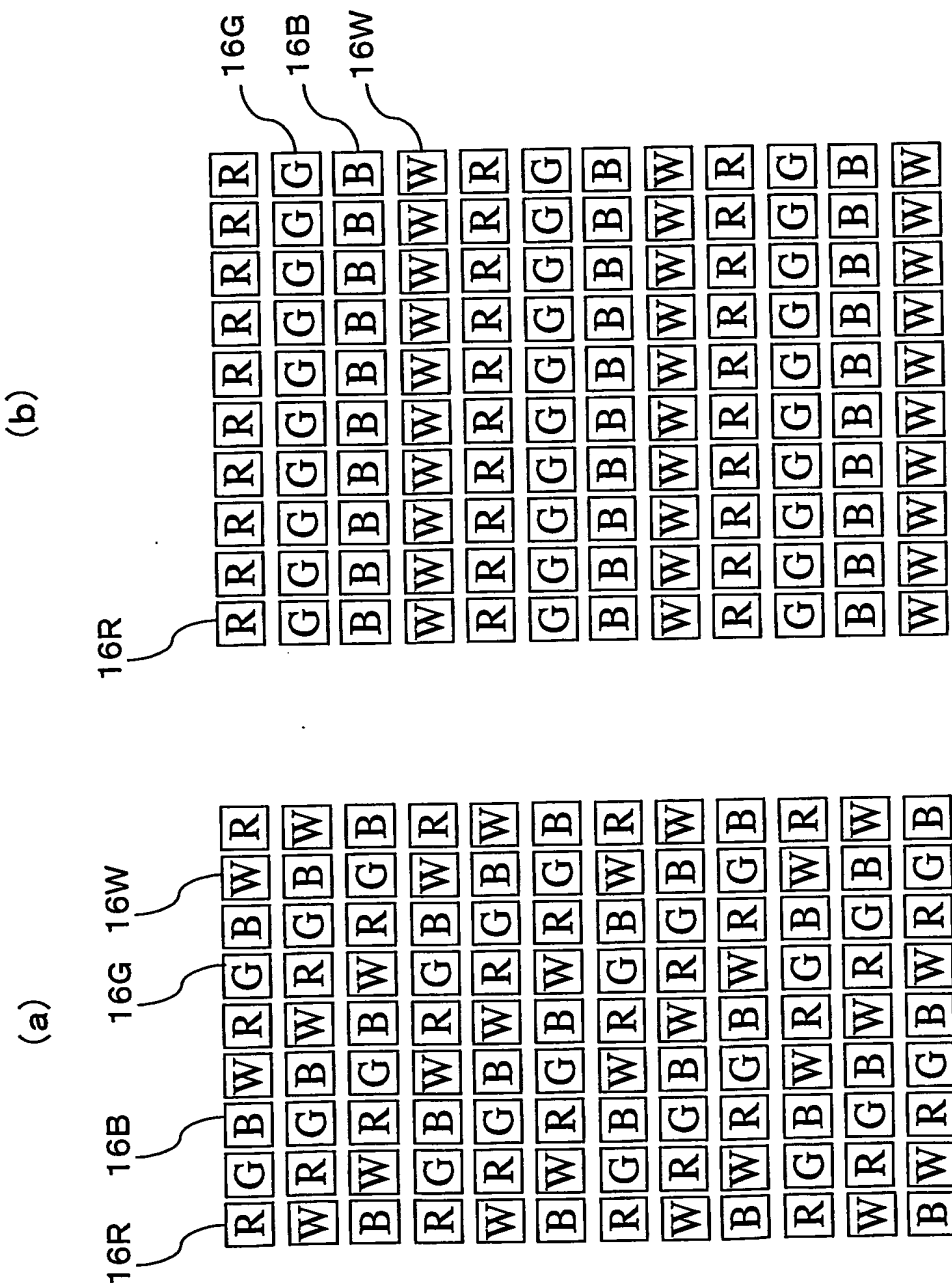
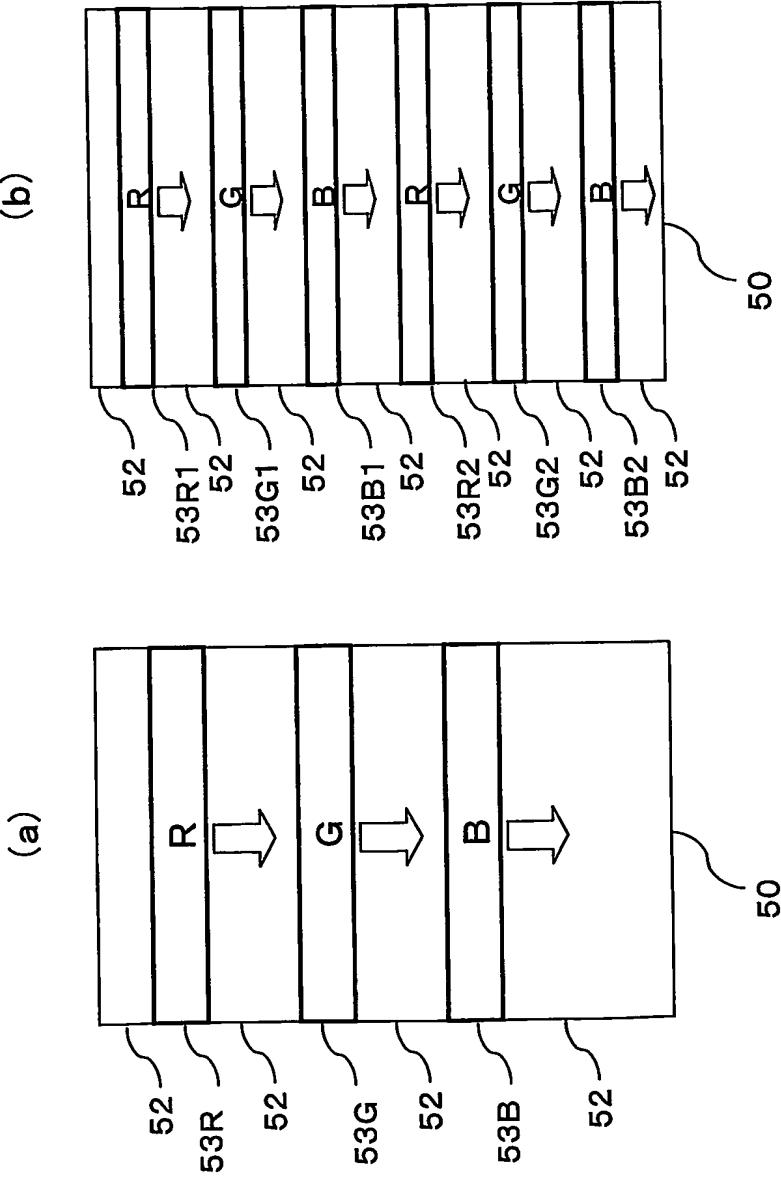


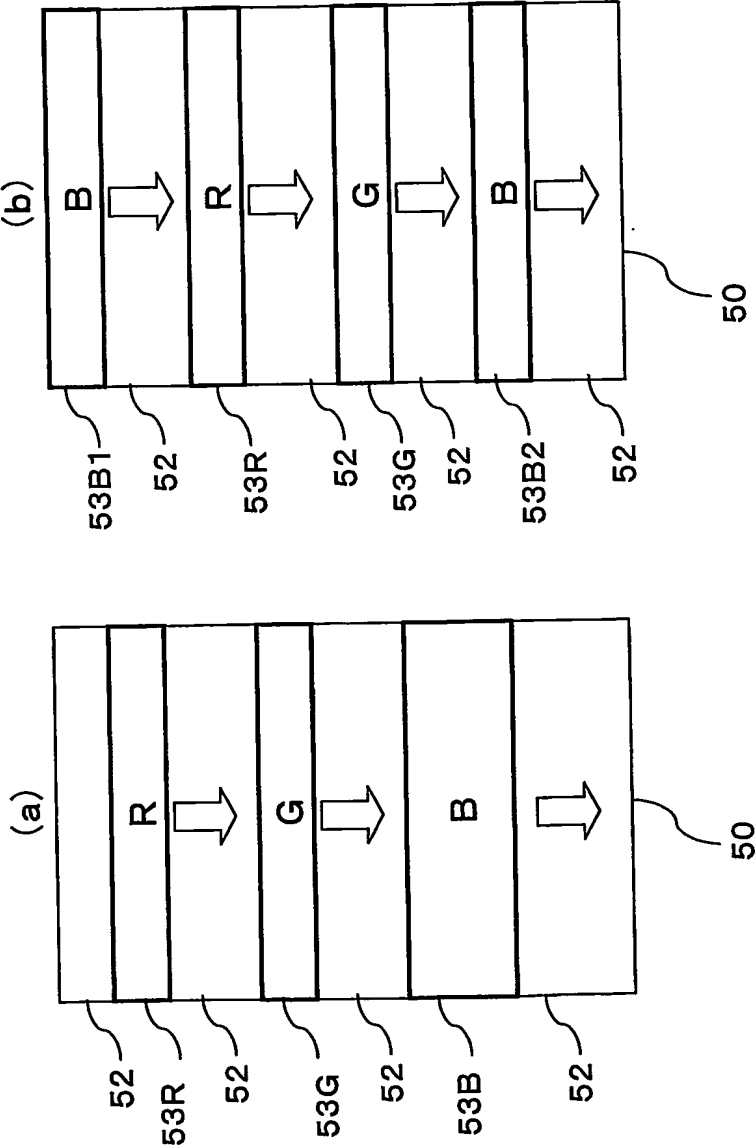
図 79 振



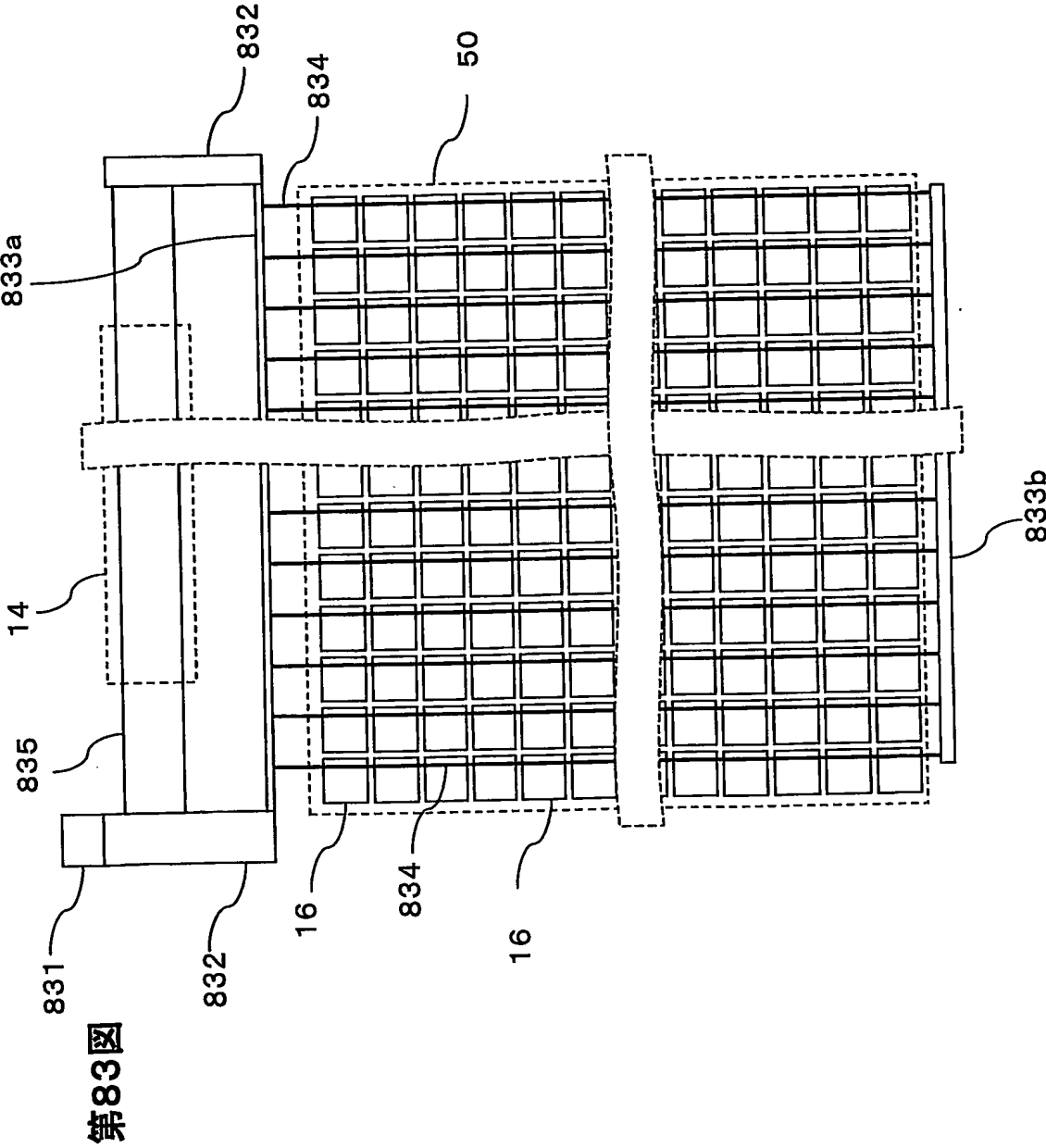
第80図



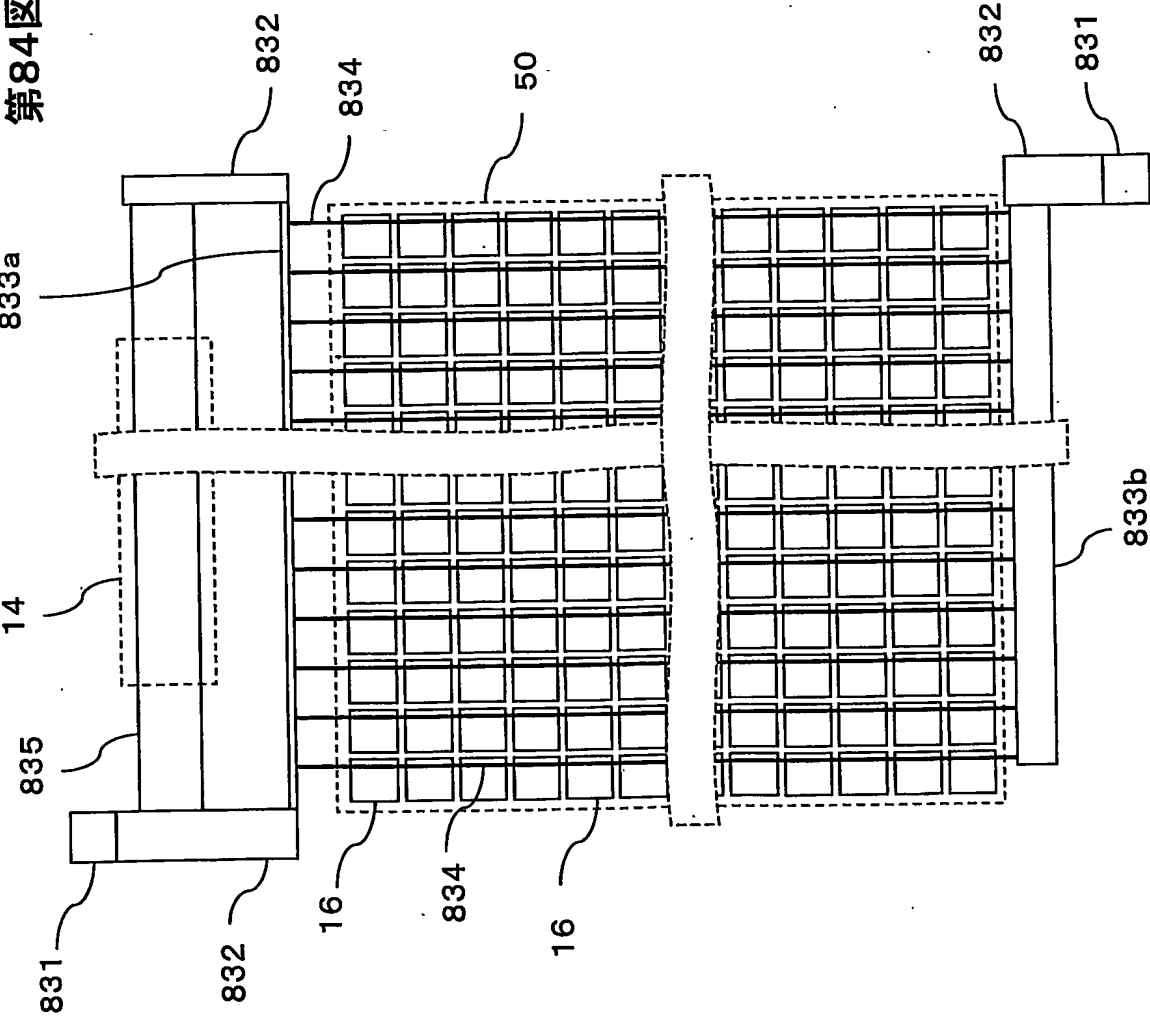
第81図



83/189

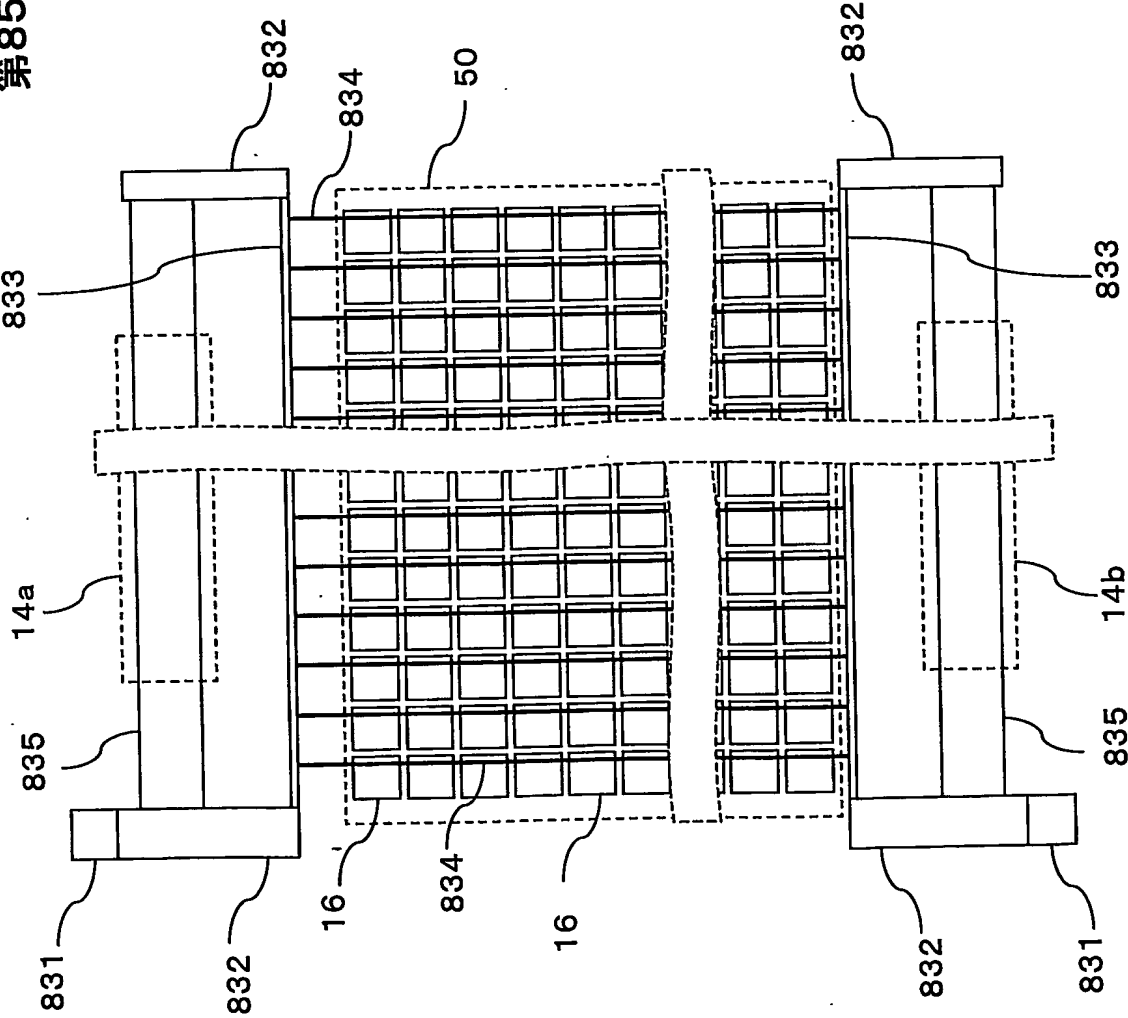


第84図

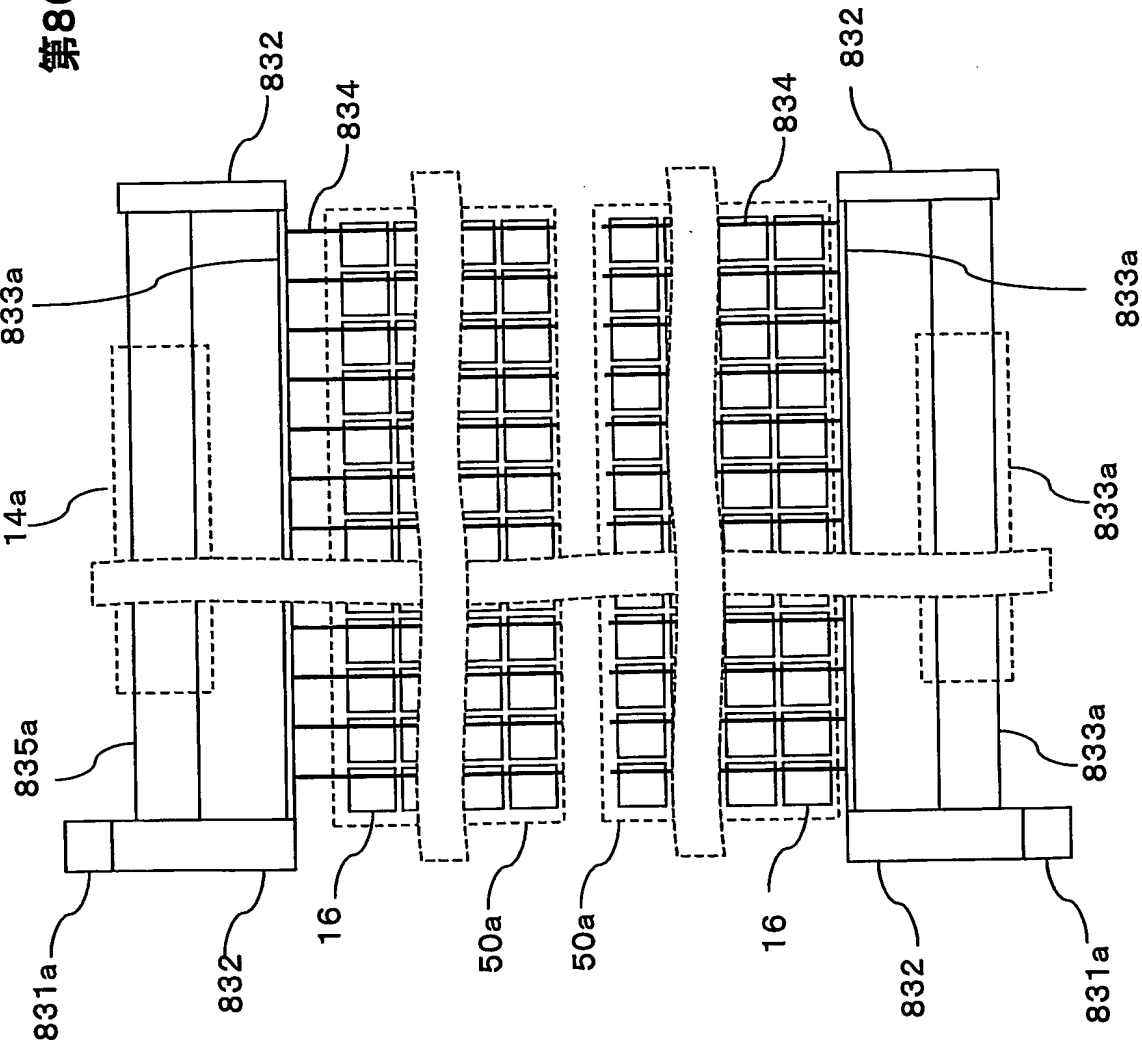


85/189

第85図

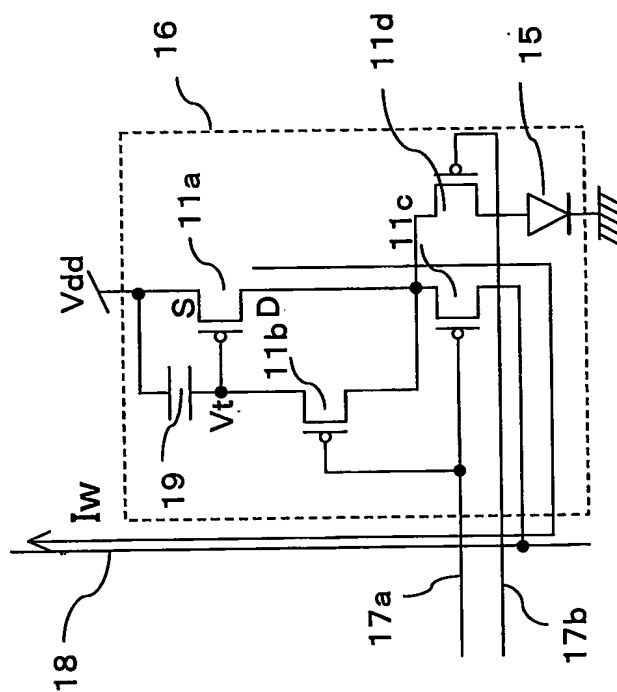


第86図



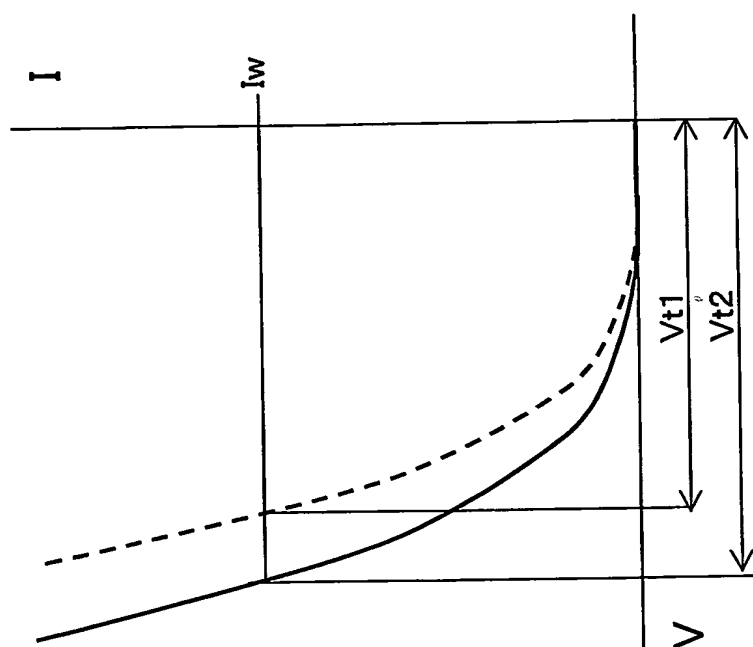
87/189

第87図



88/189

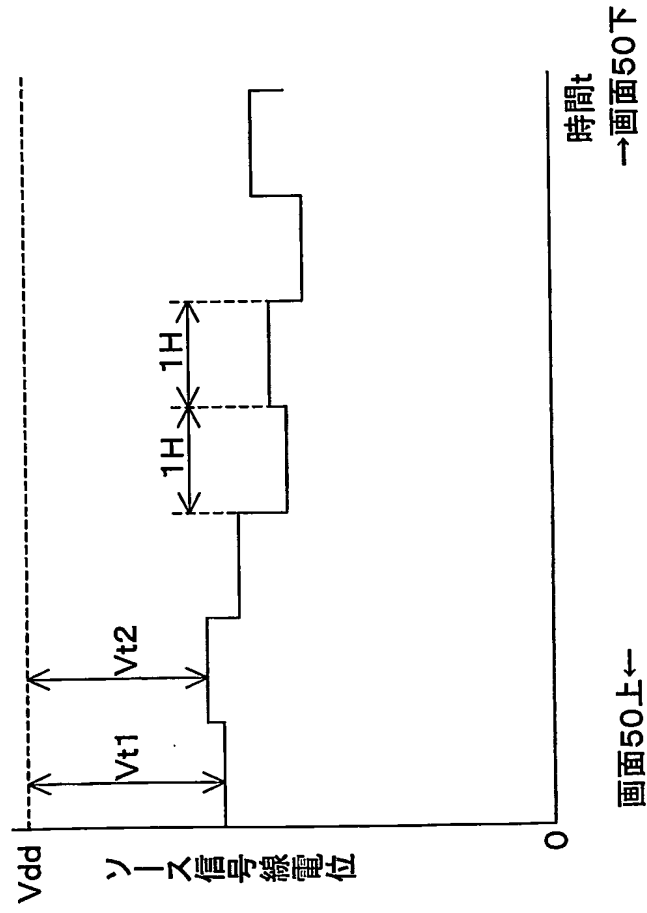
第88図



89/189

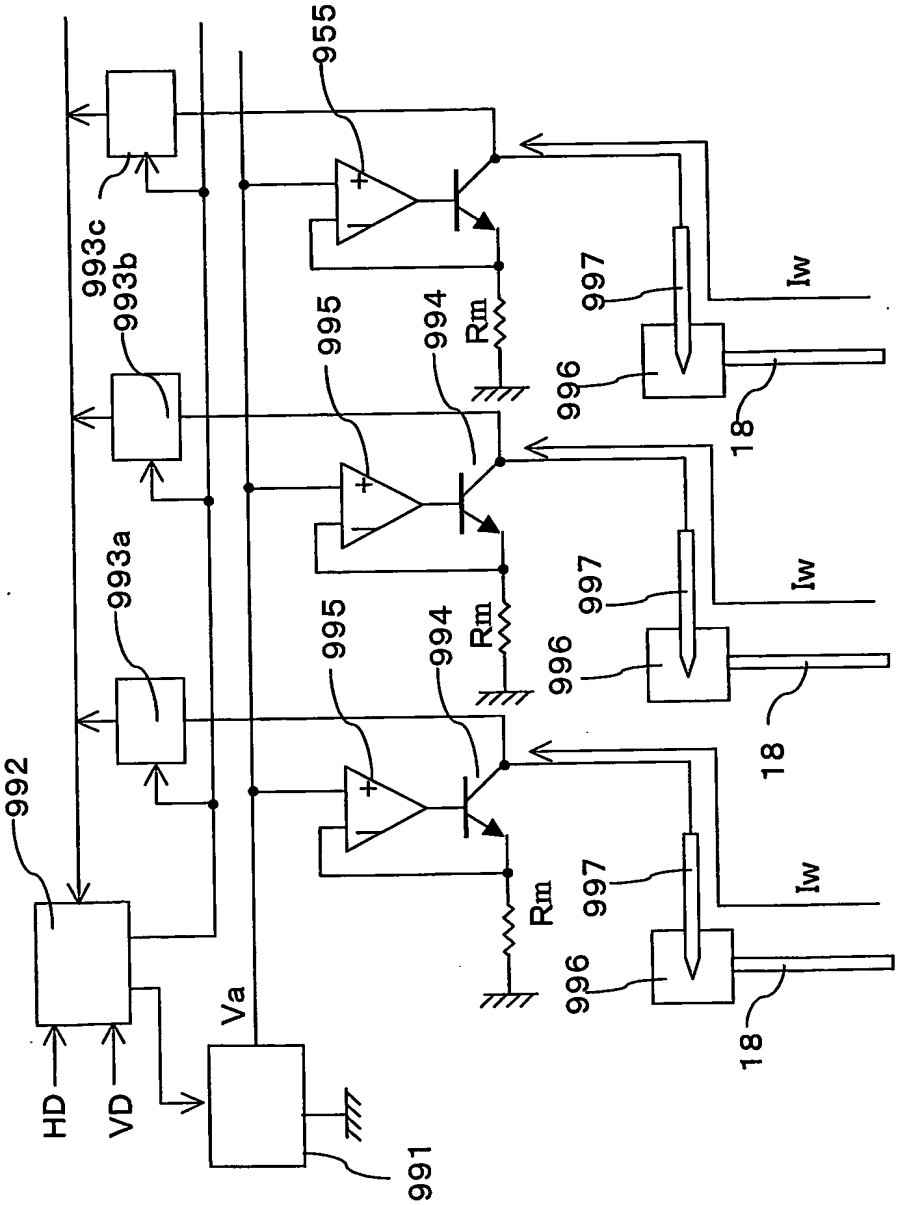
第89図

電流 I_w を印加した時のソース信号線電位

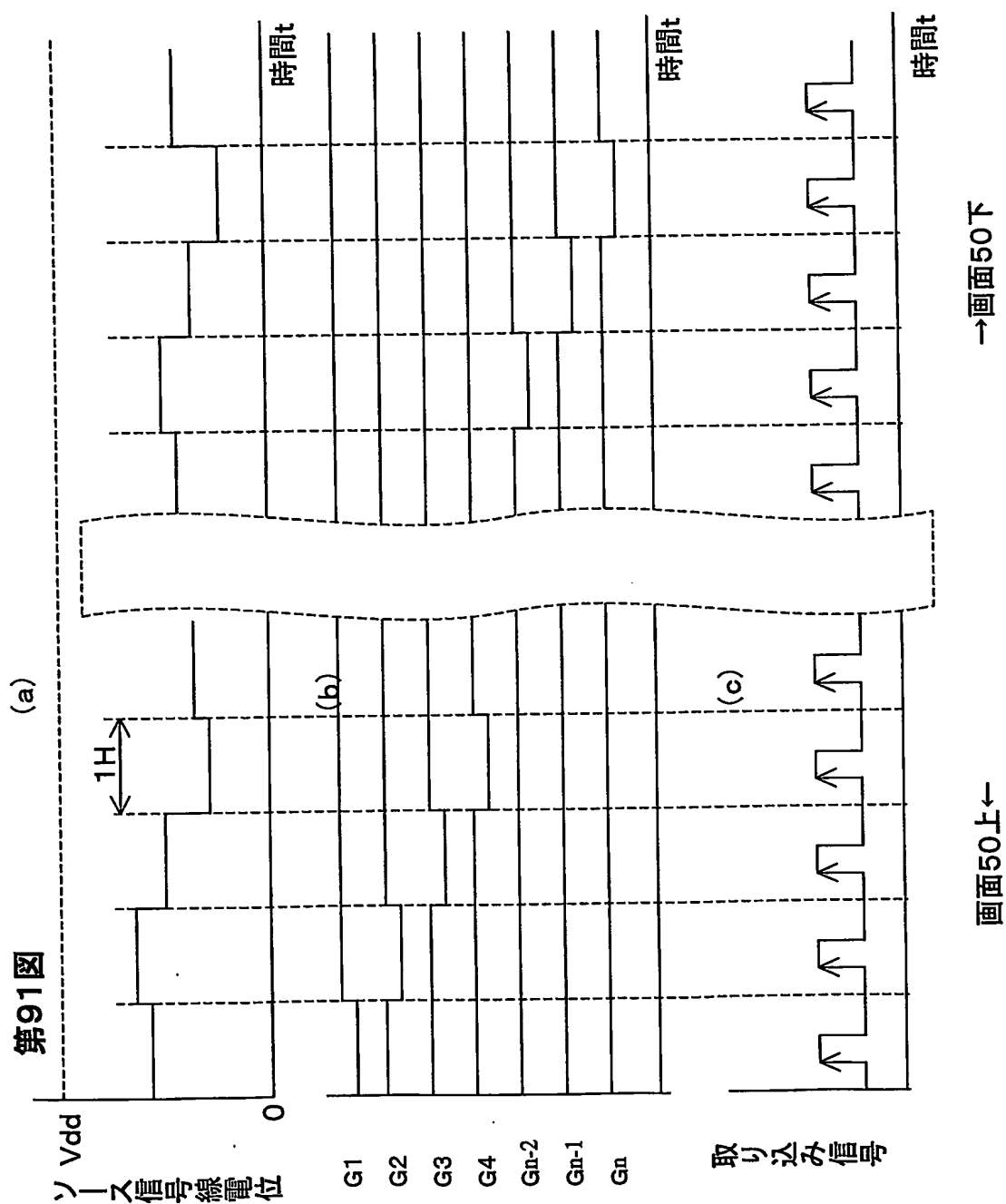


90/189

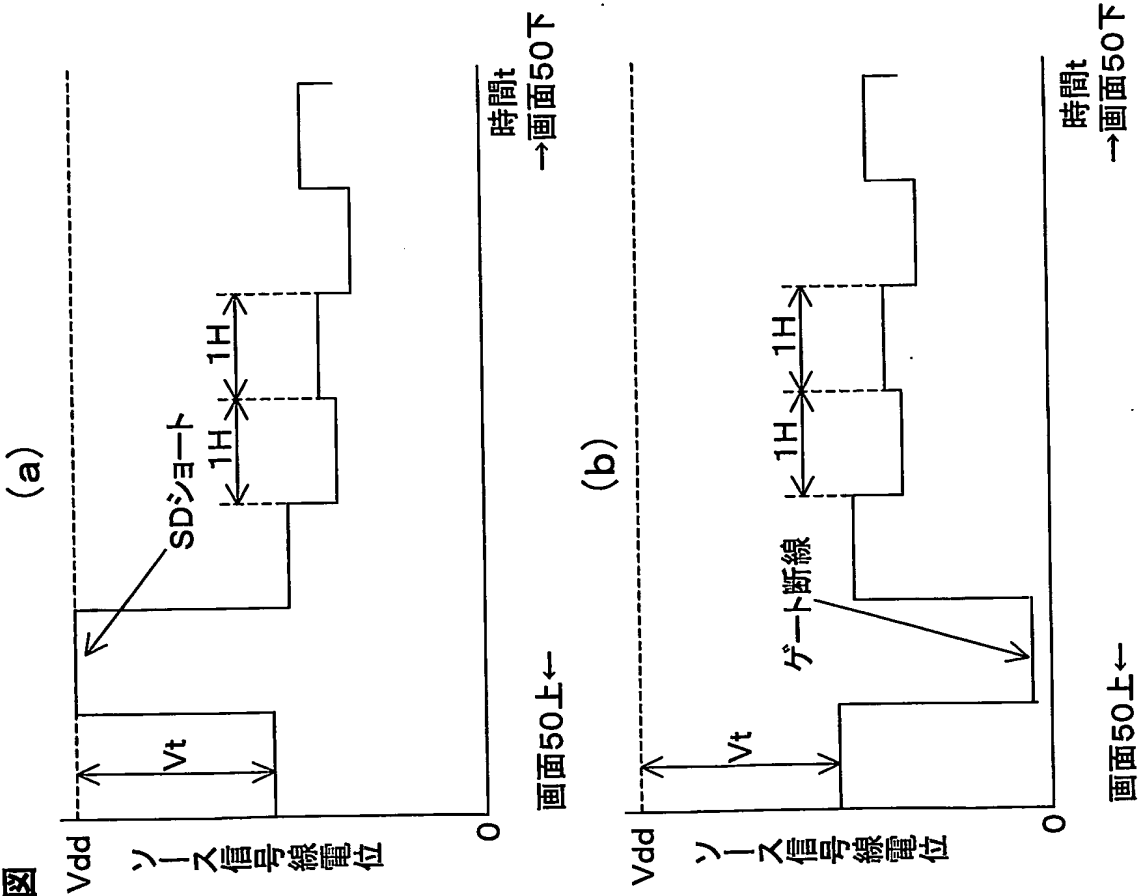
第90図



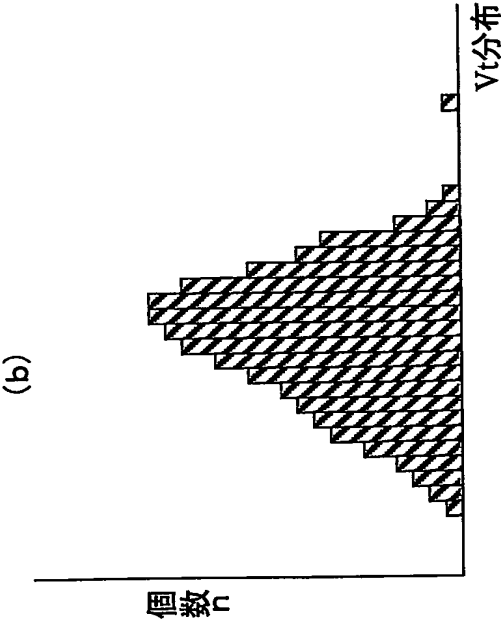
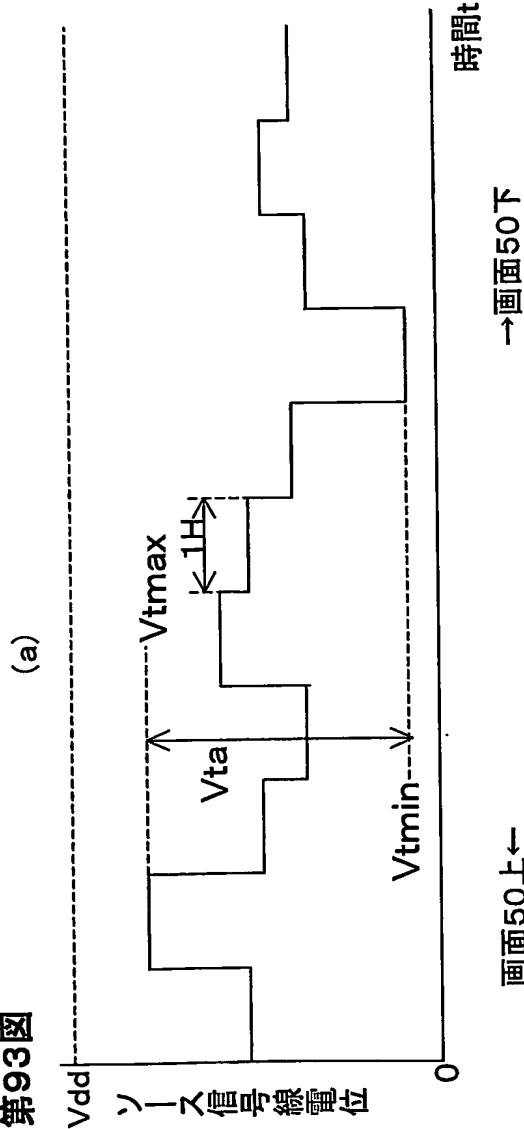
91/189



第92図

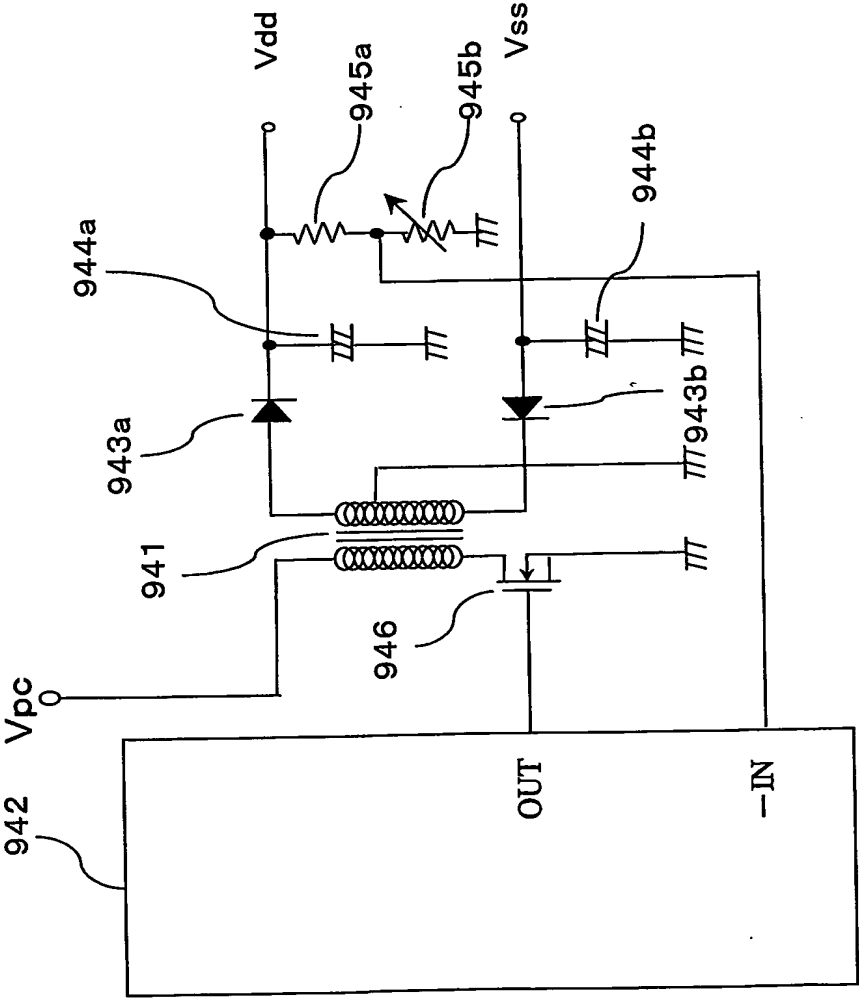


第93図

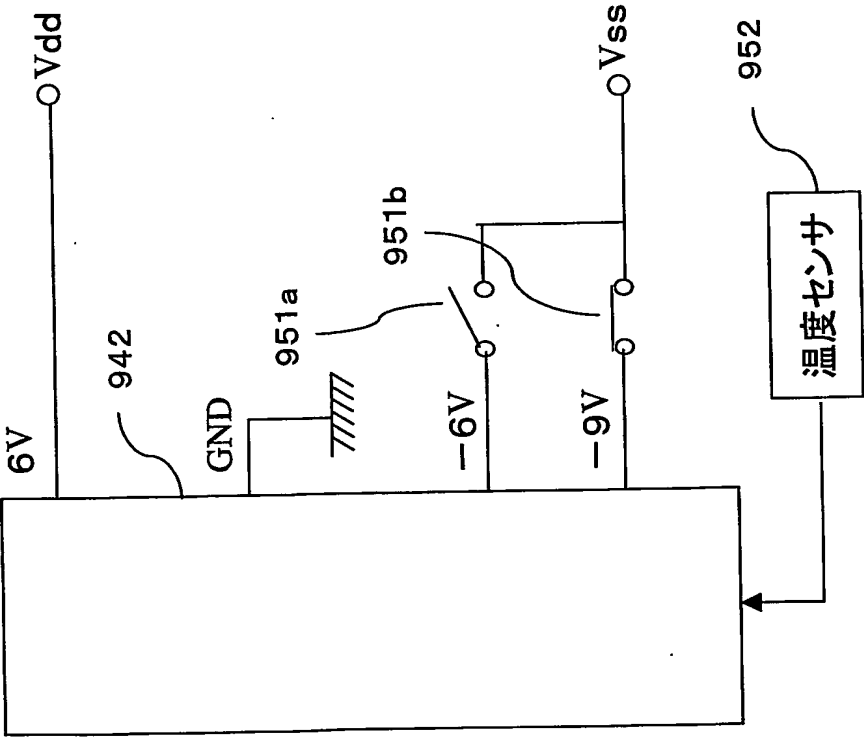


94/189

第94図

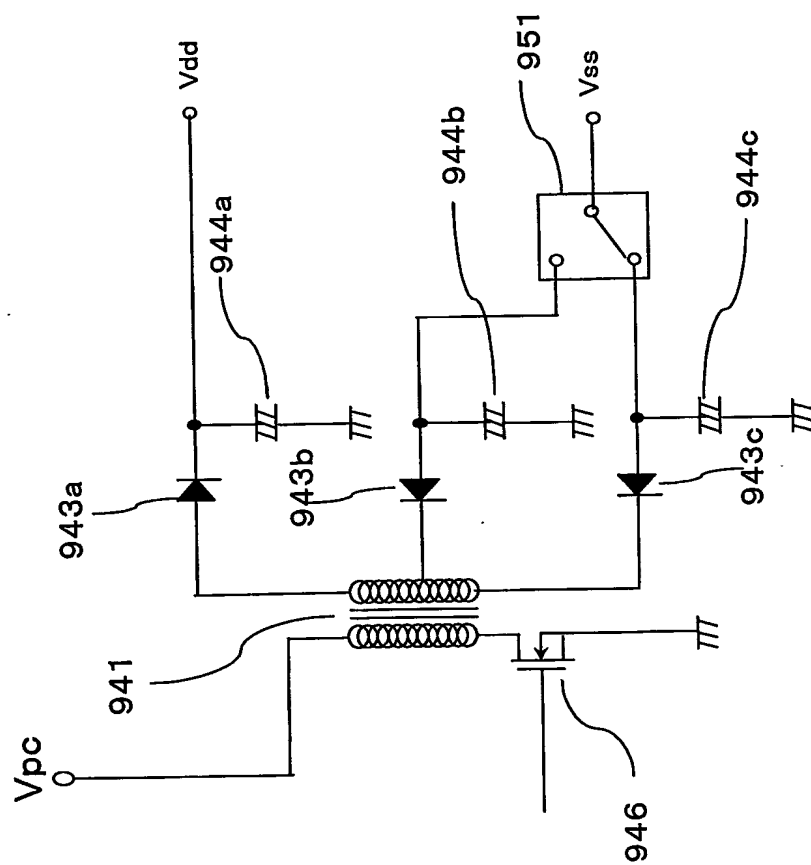


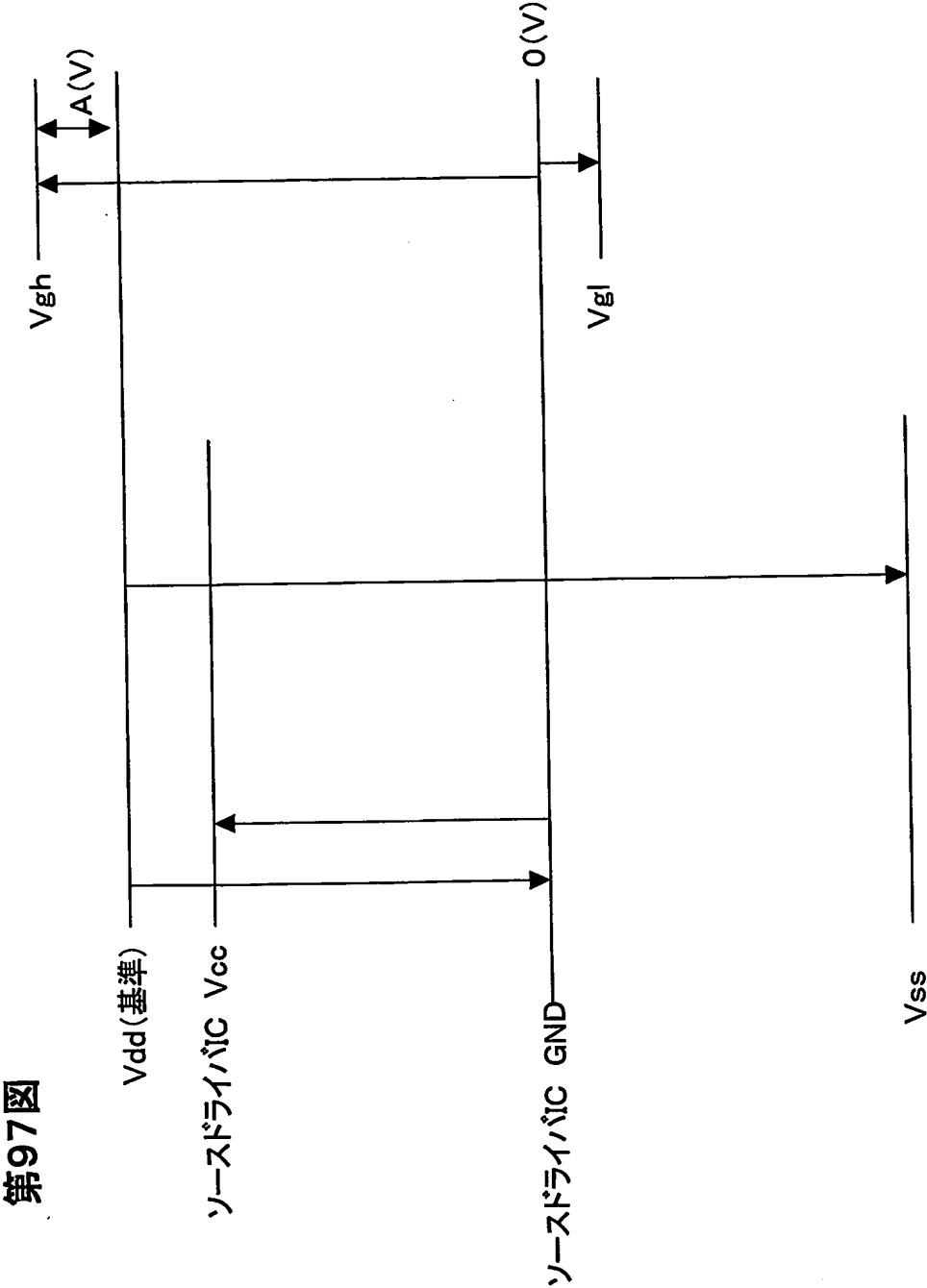
第95図



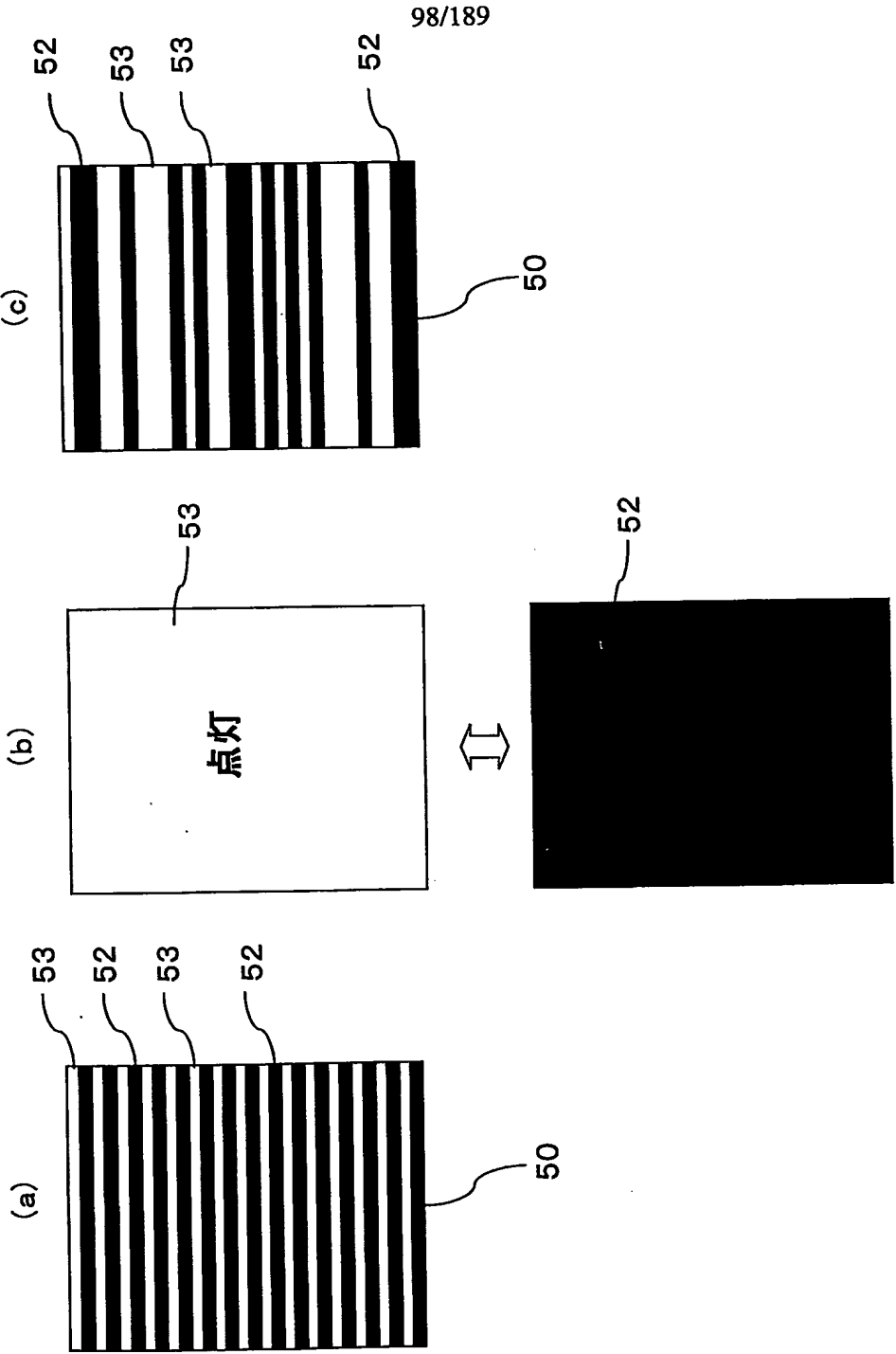
96/189

第96図

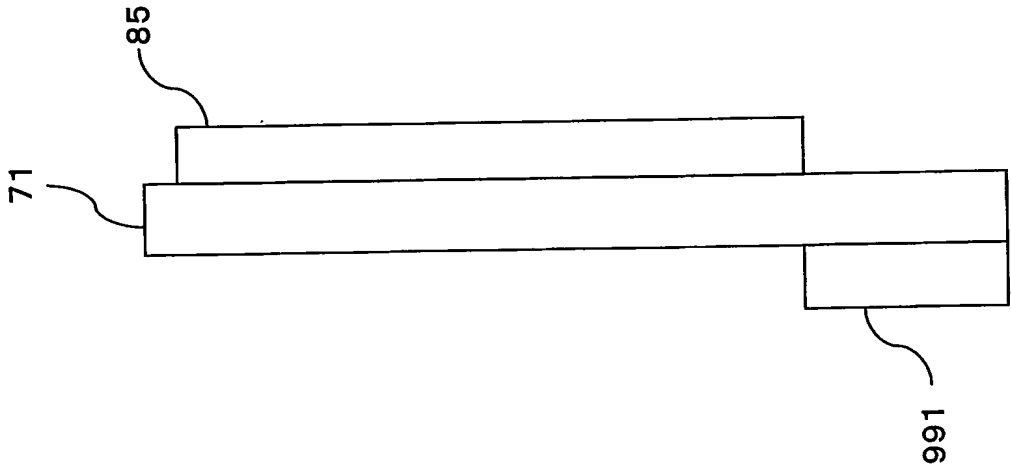




第98图

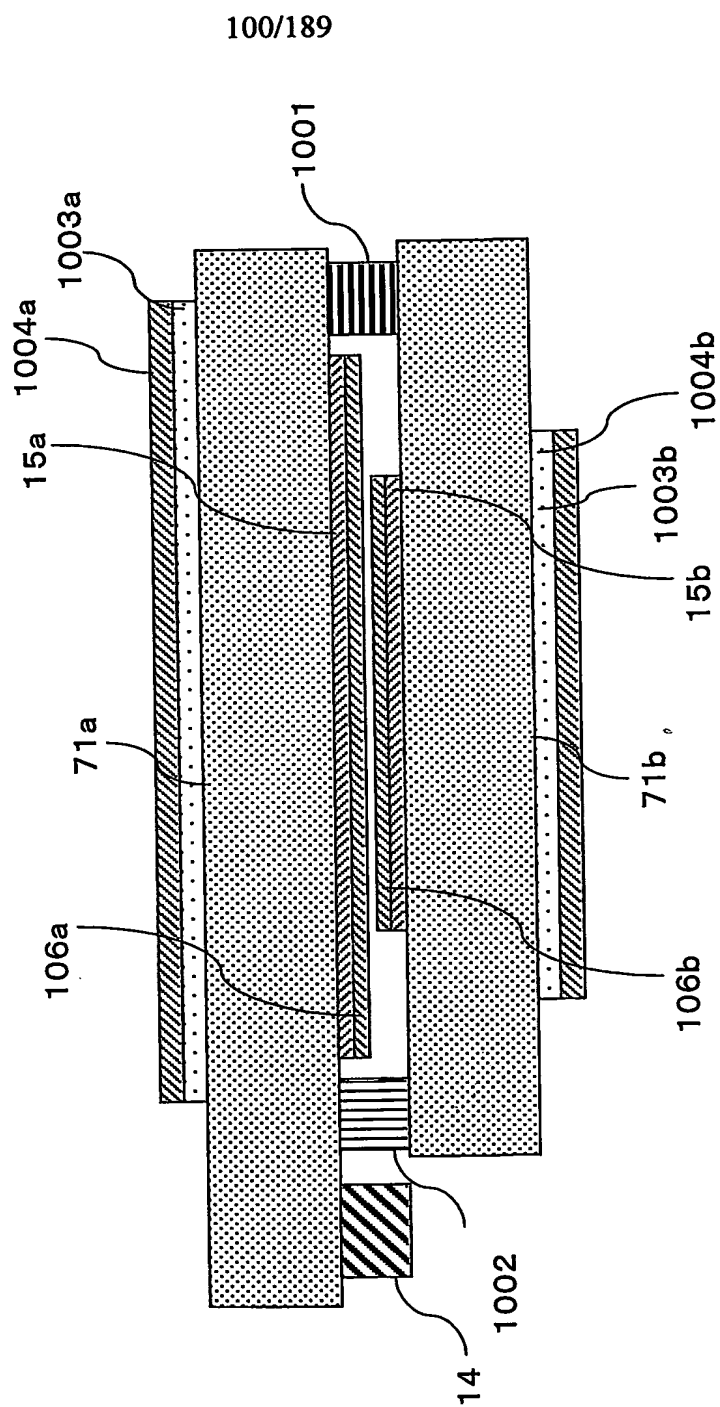


99/189

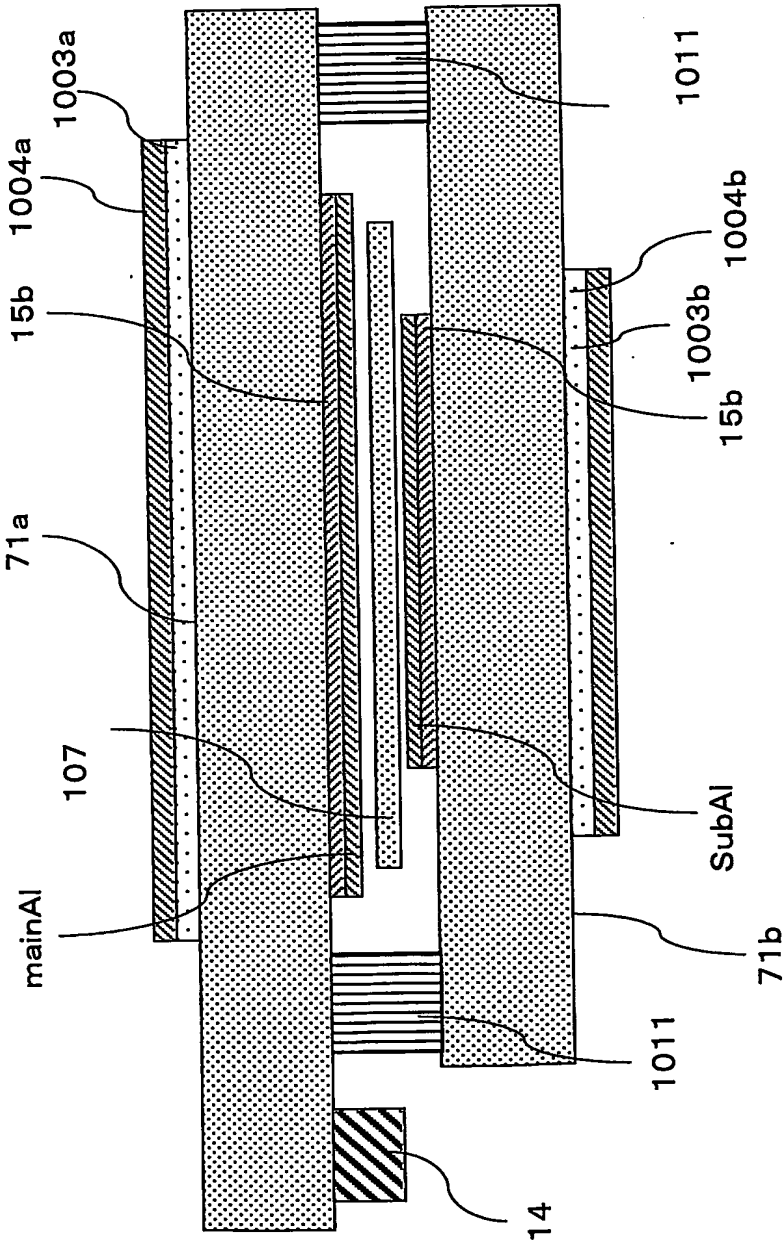


第99図

第100図

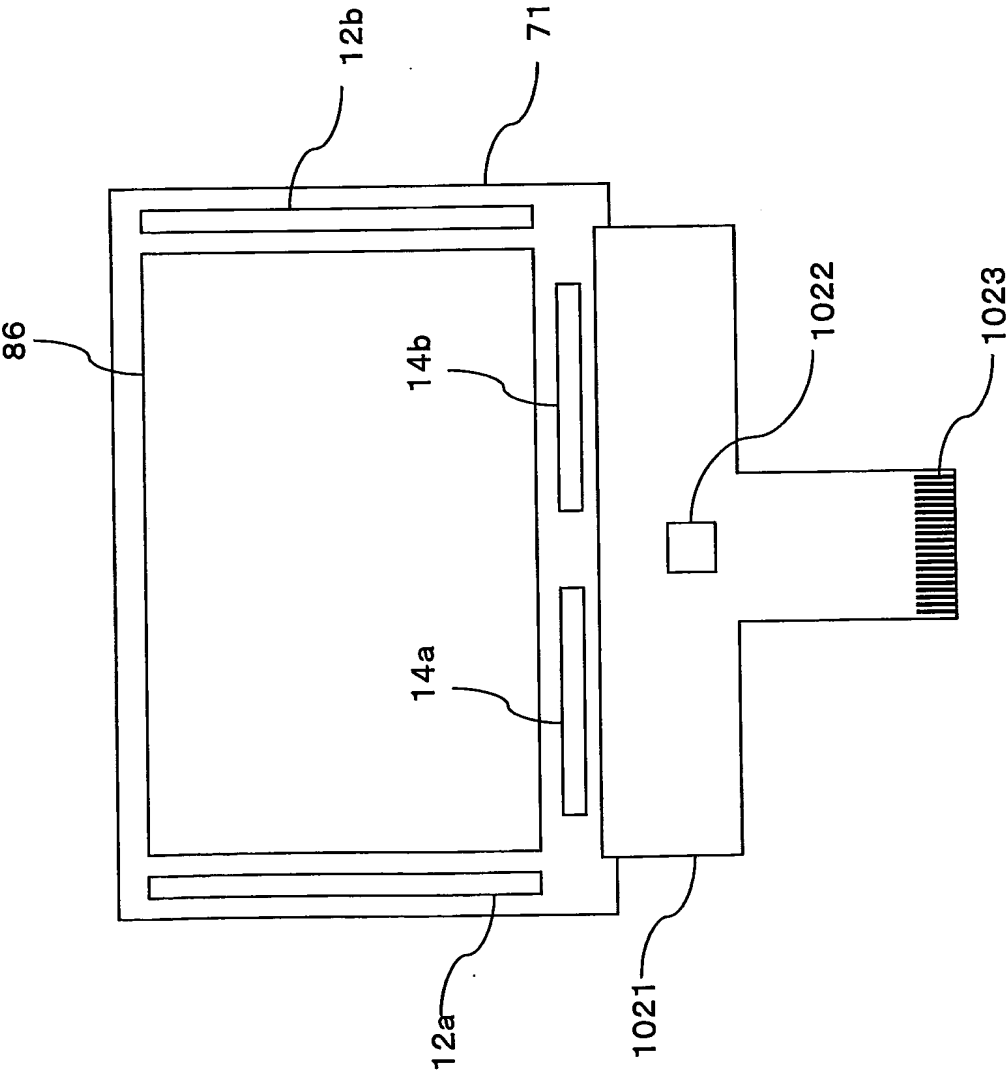


第101図

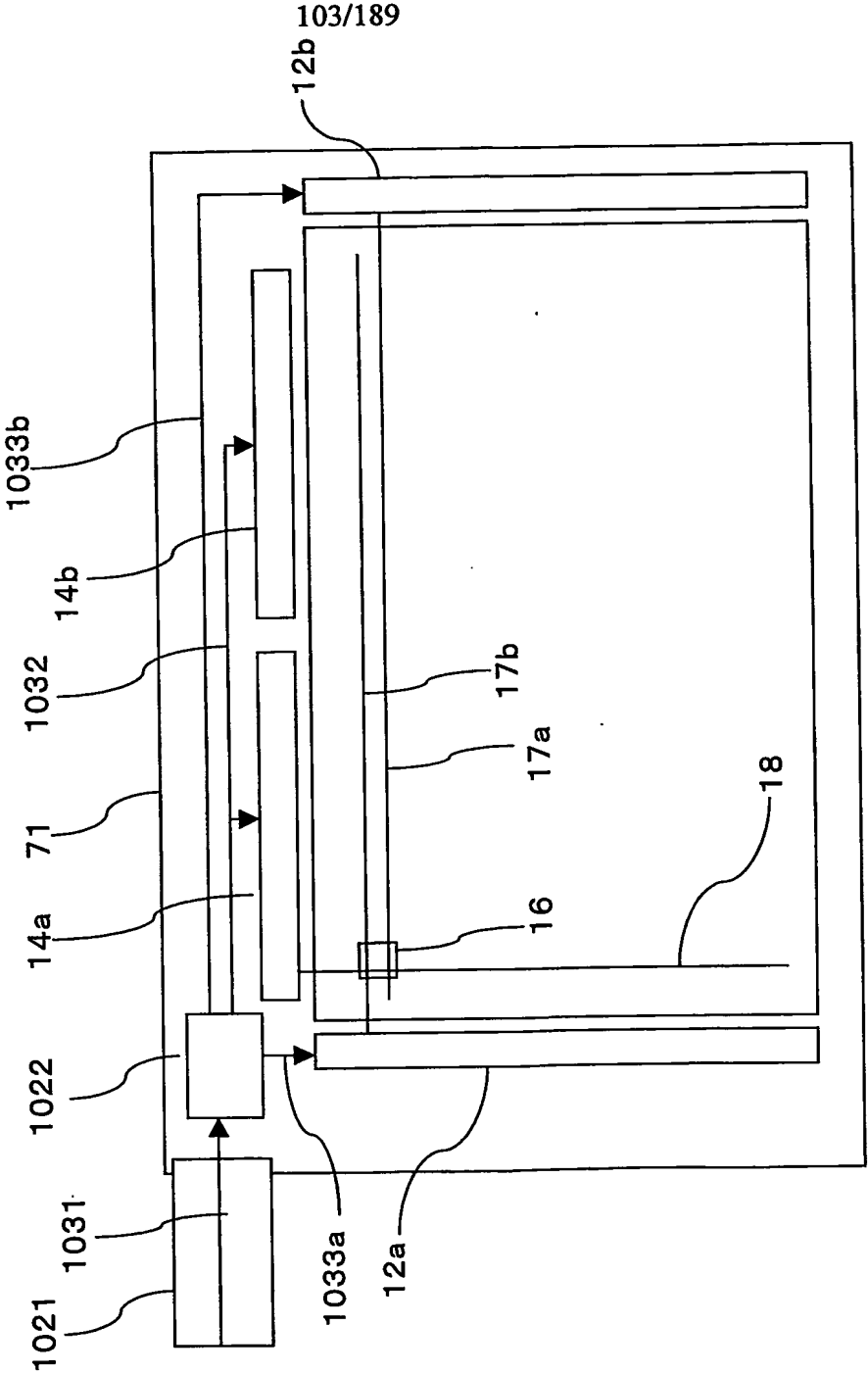


102/189

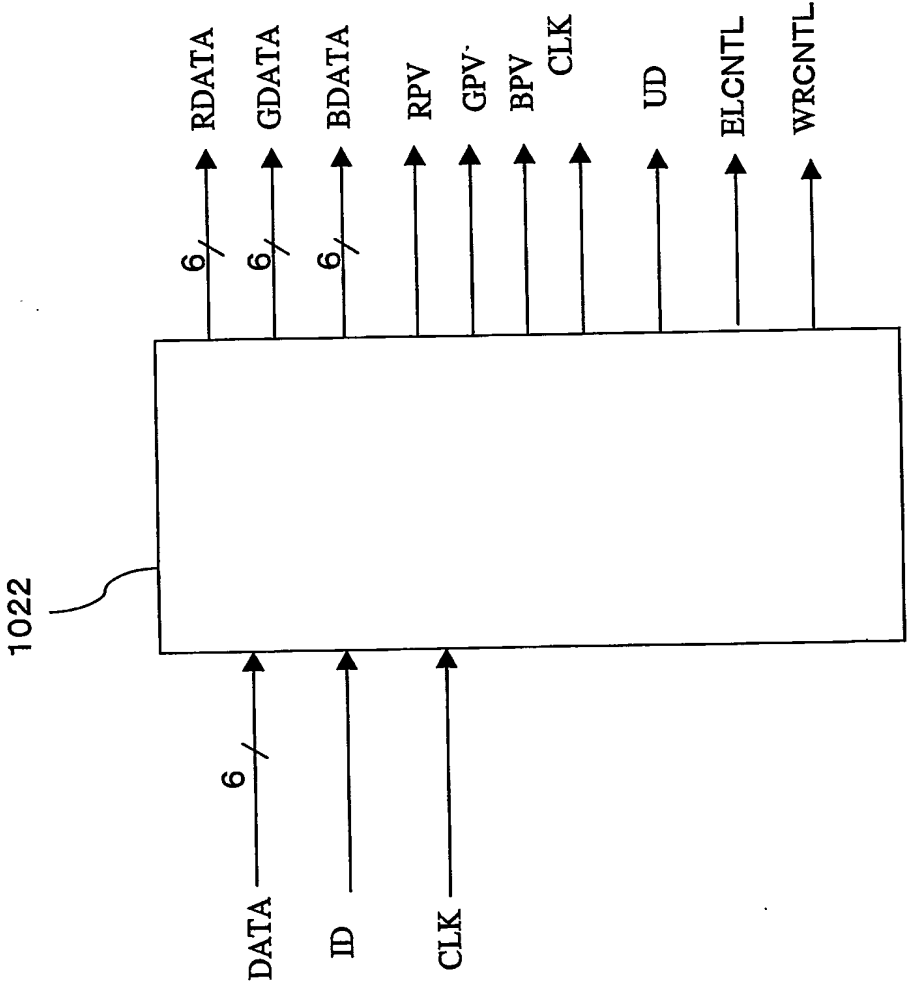
第102図



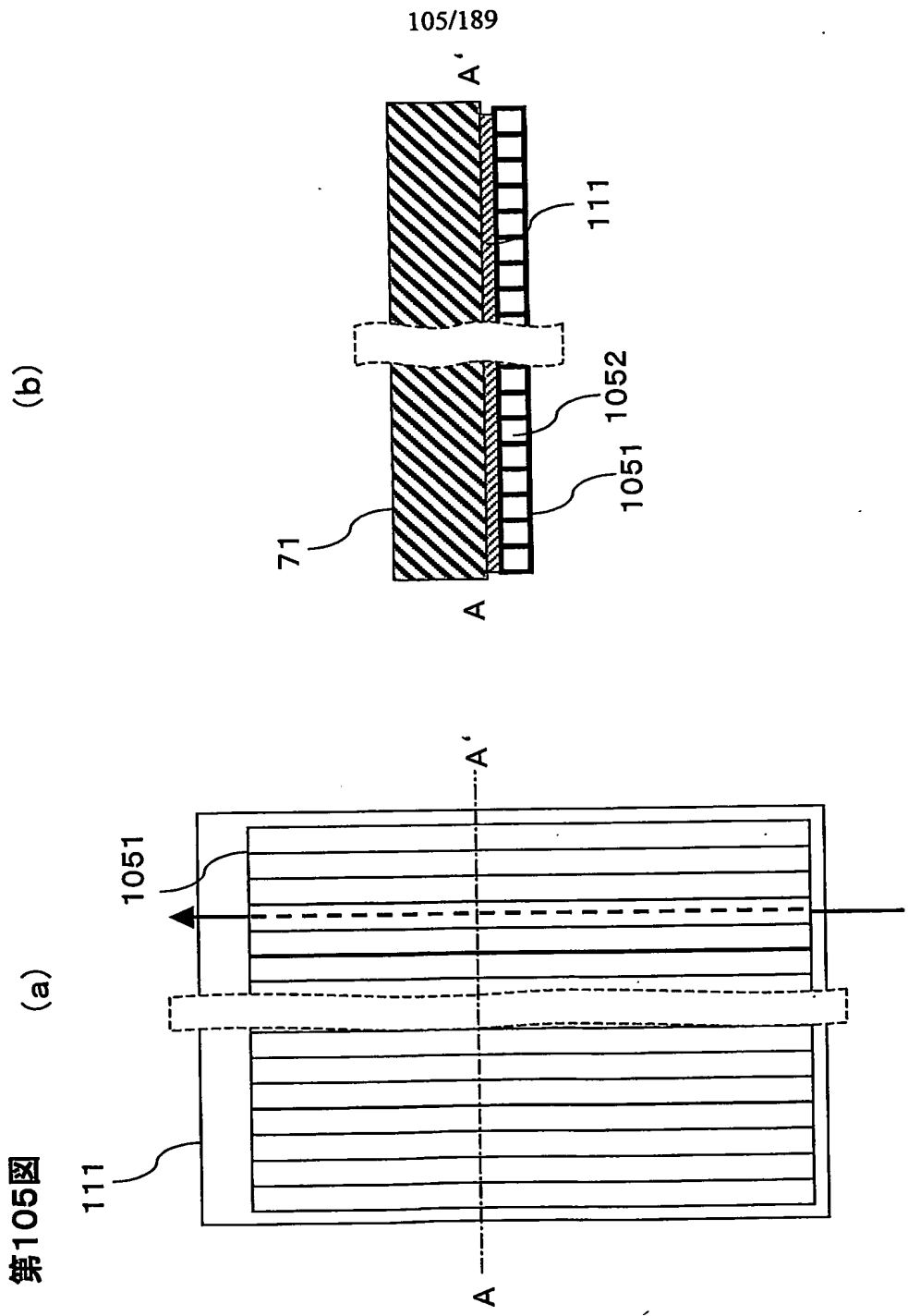
第103図



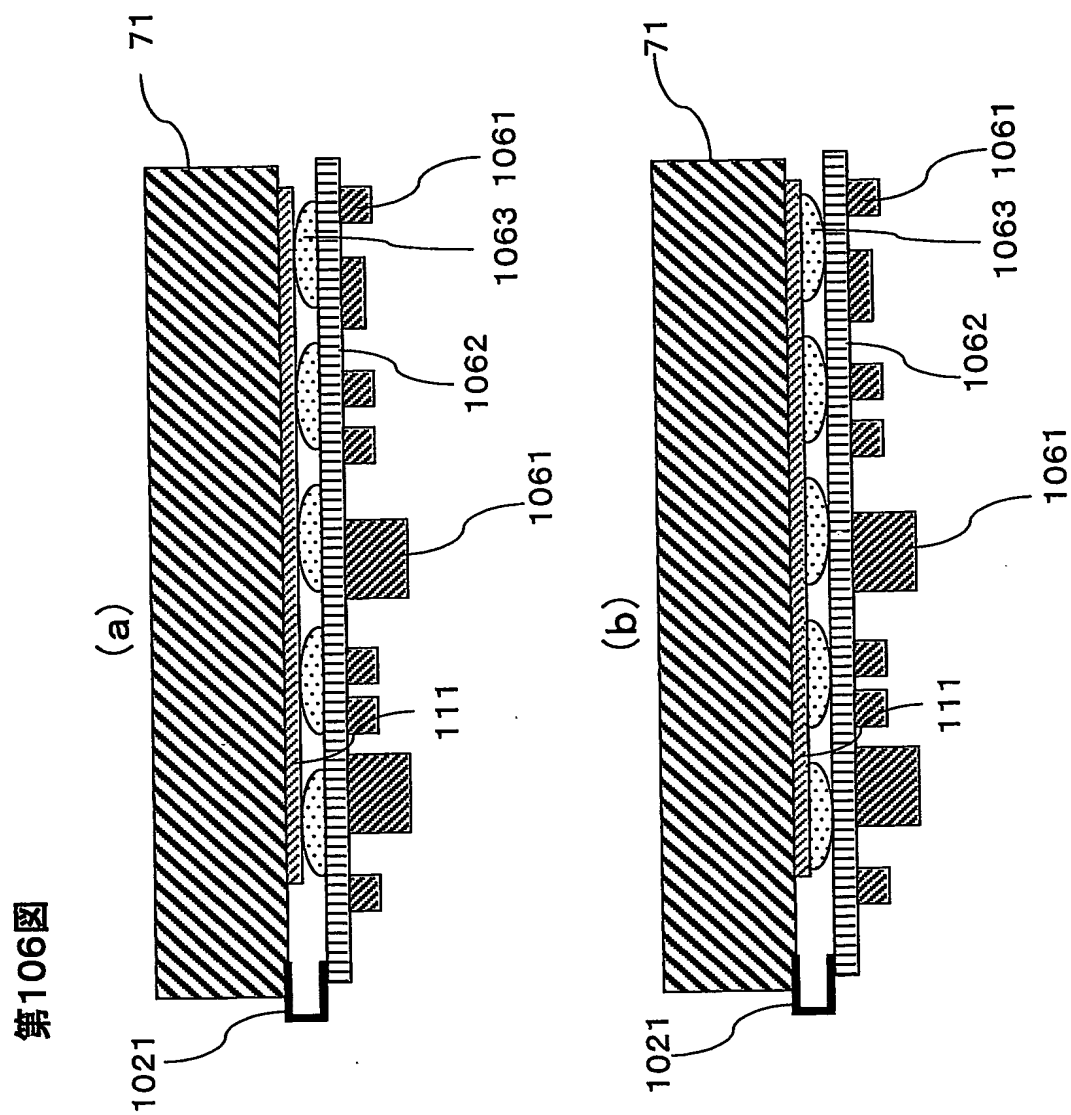
104/189



第104図

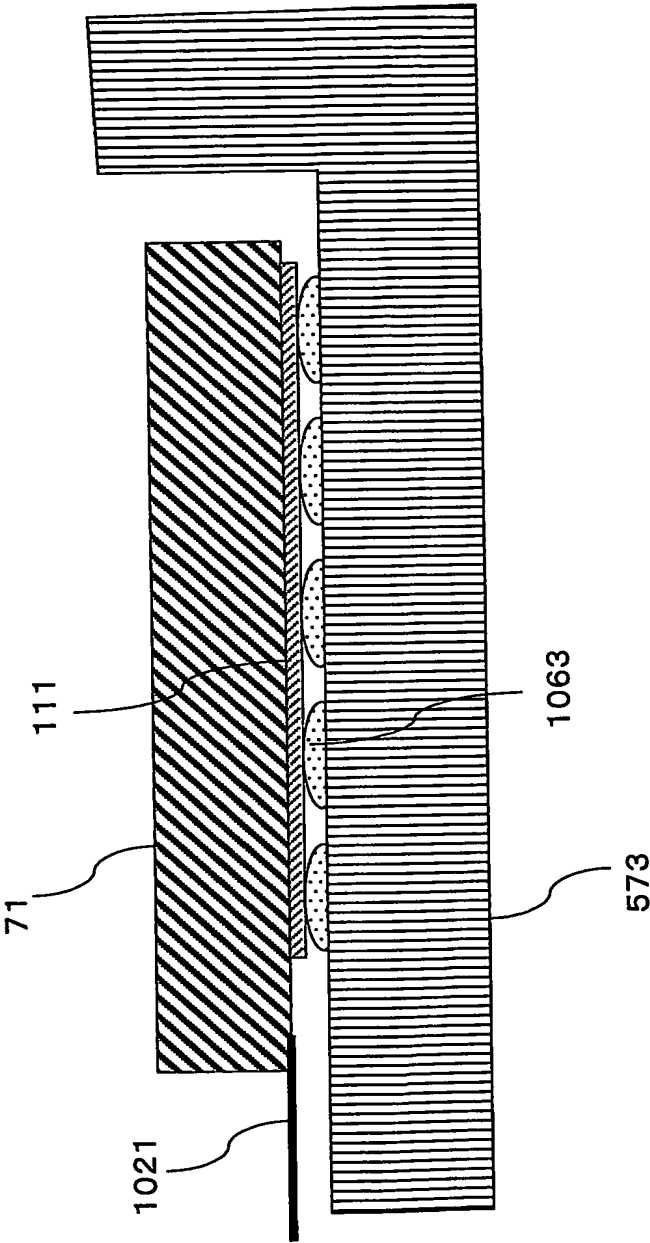


106/189

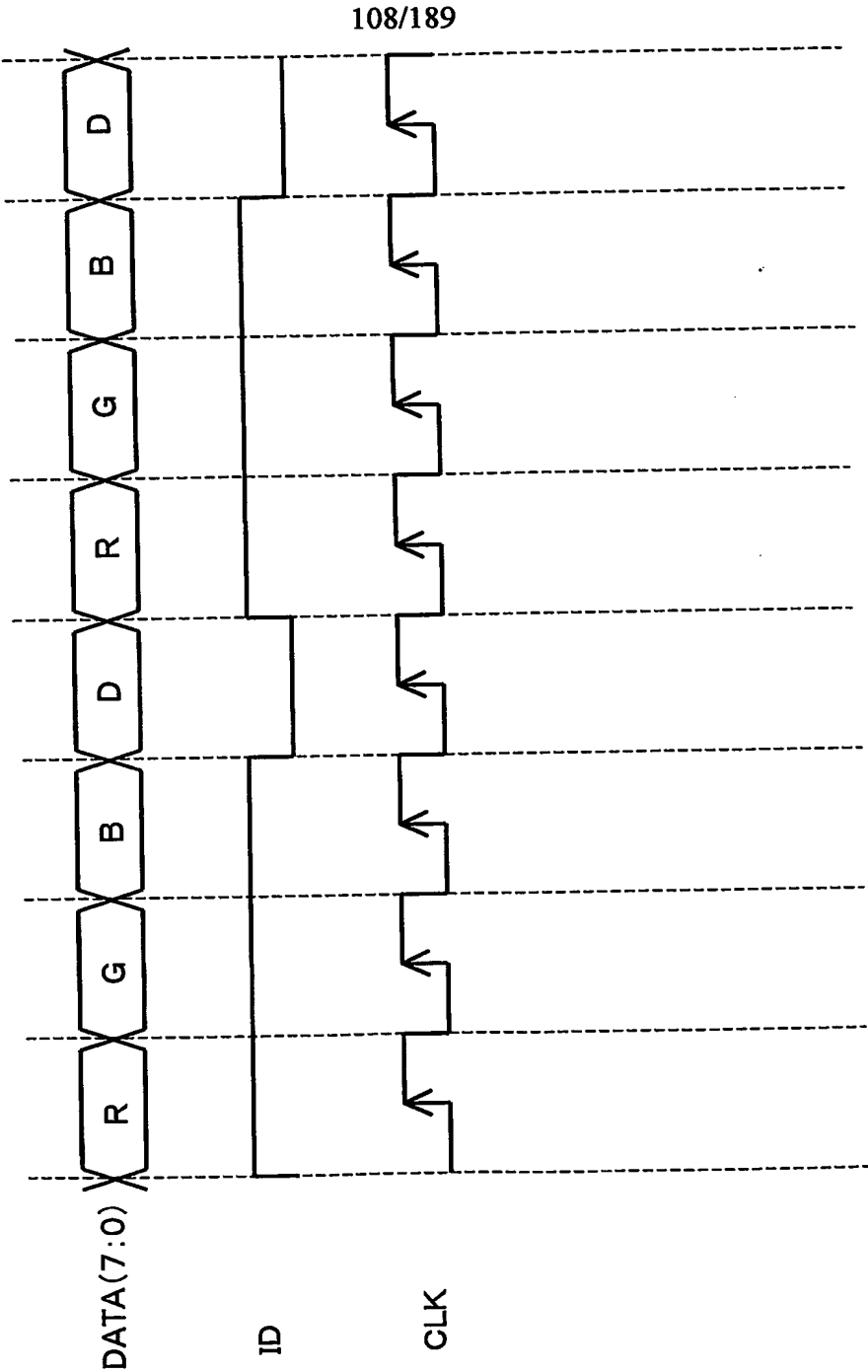


107/189

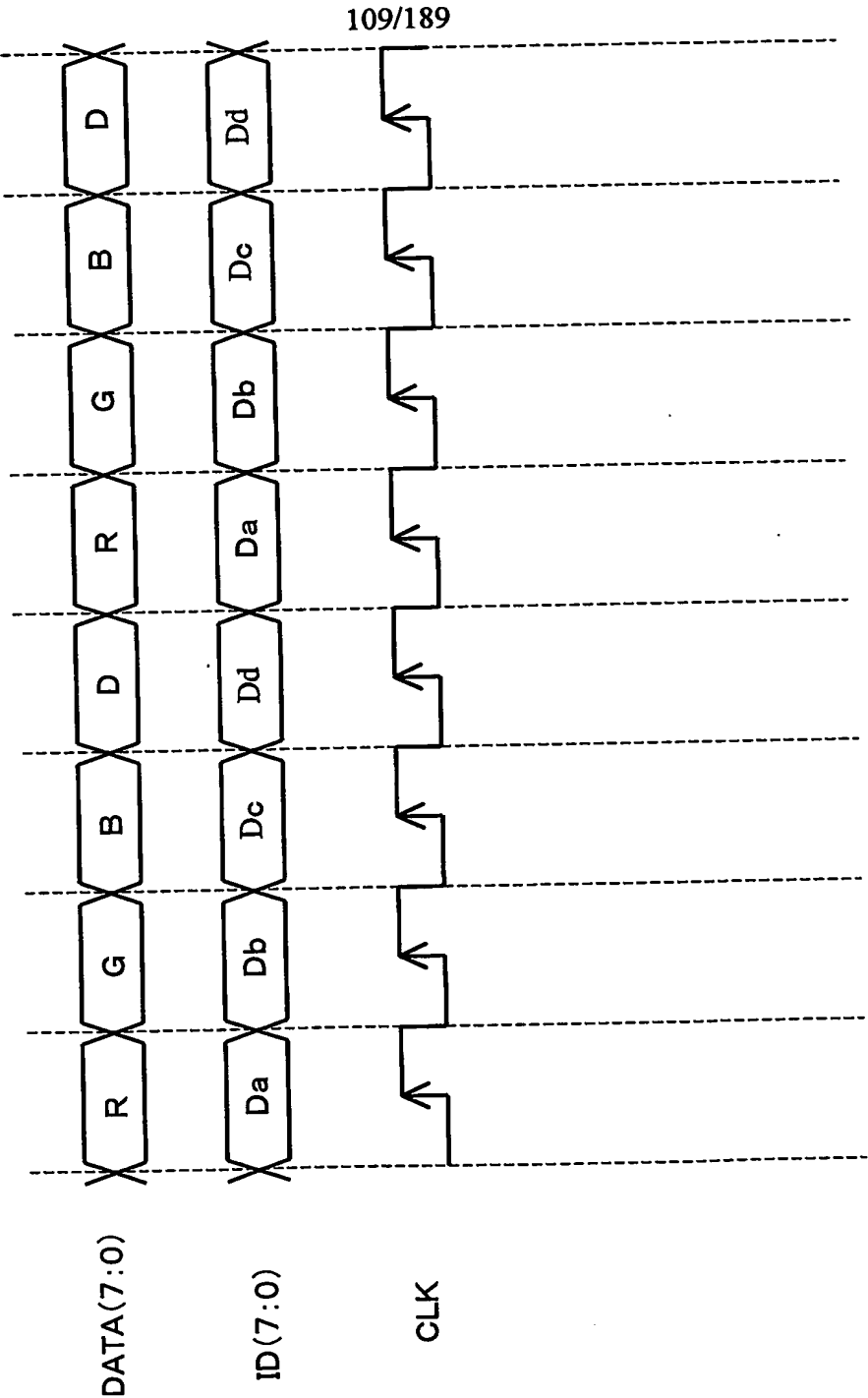
第107図



第108图

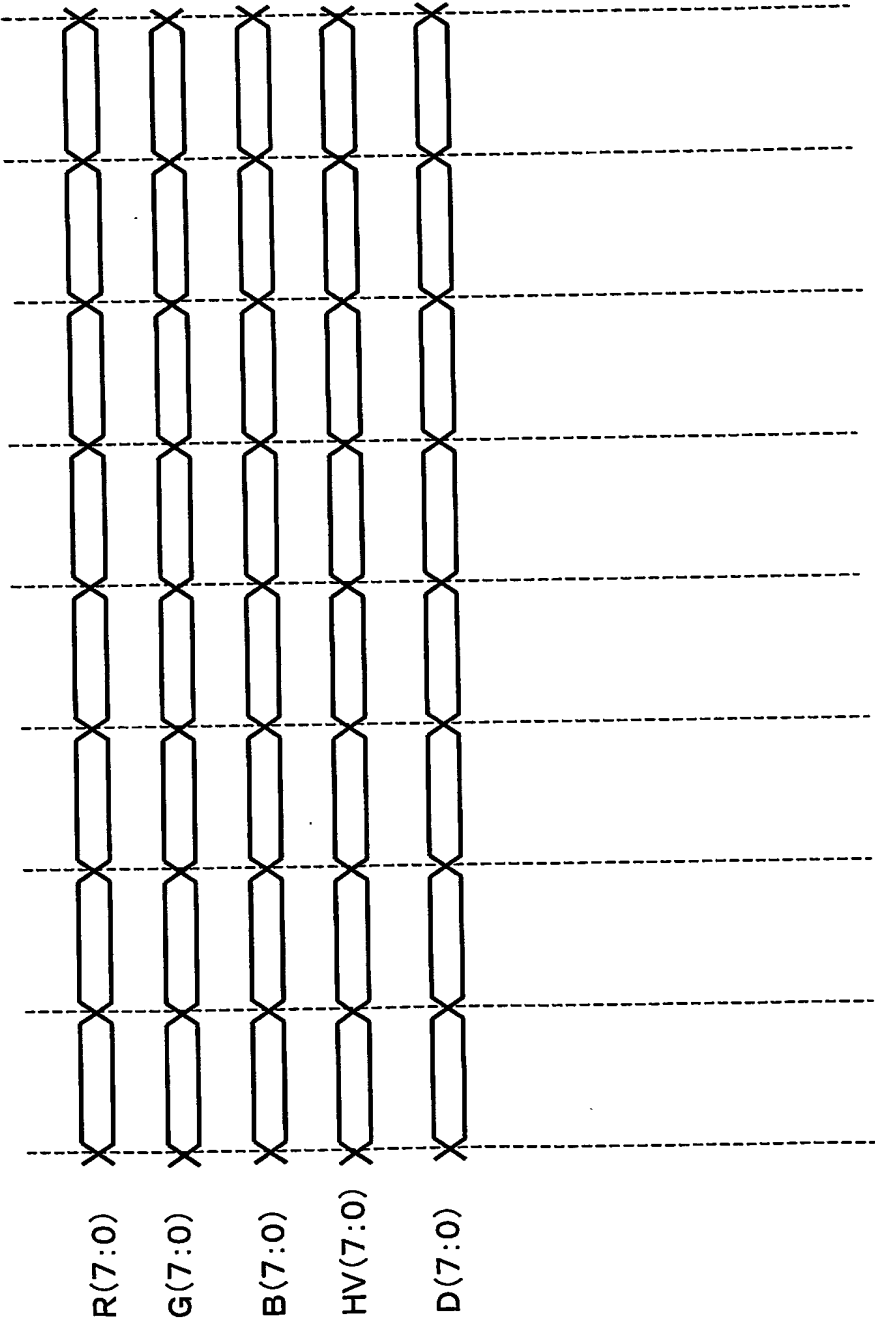


第109図



110/189

第110図



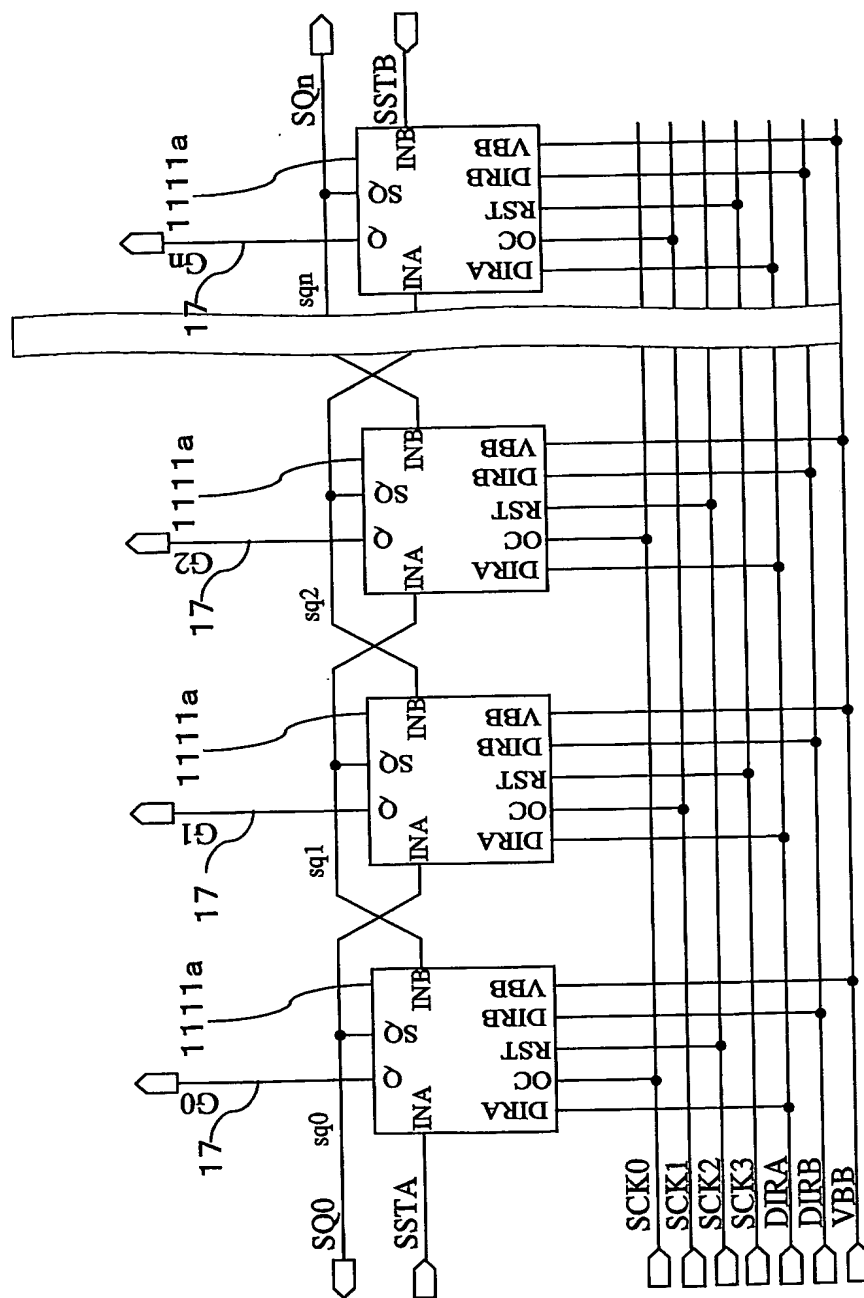
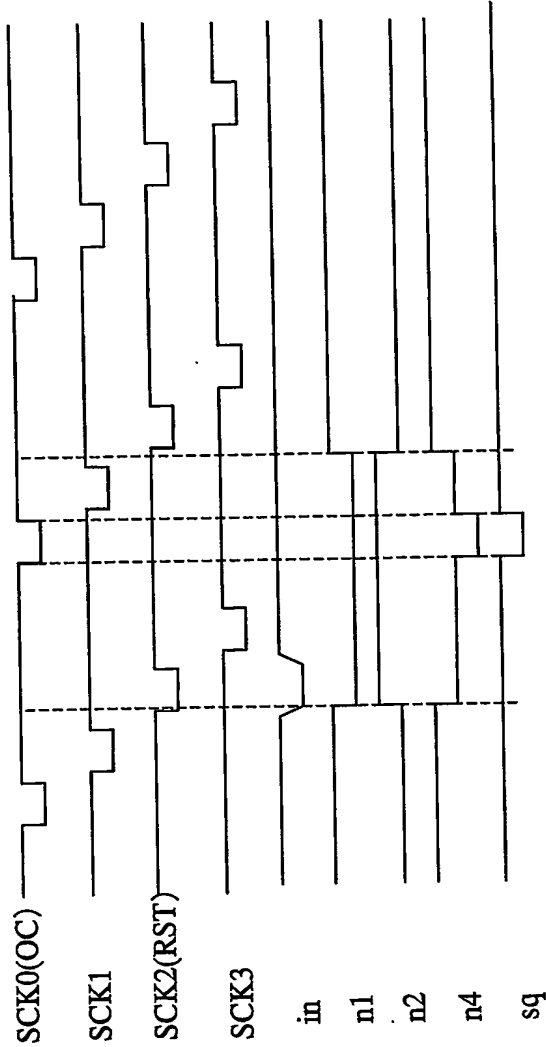


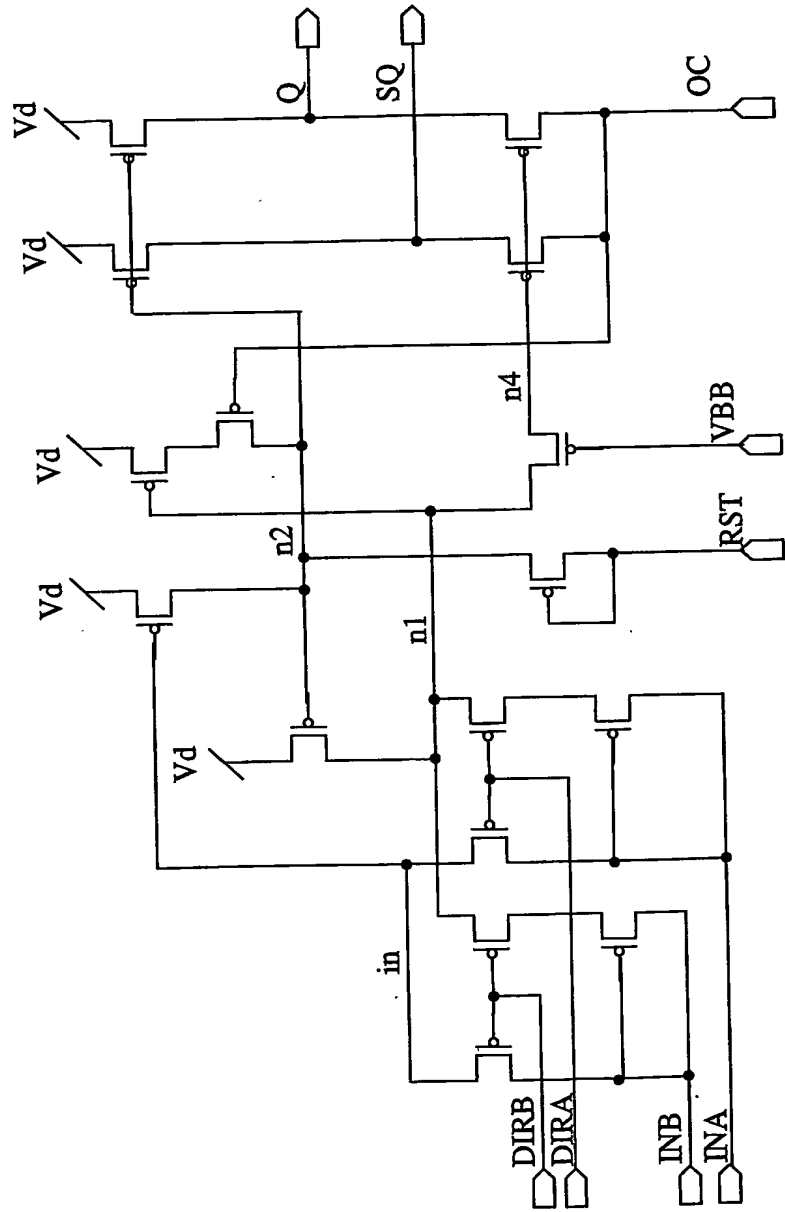
圖
111
集

112/189

第112図

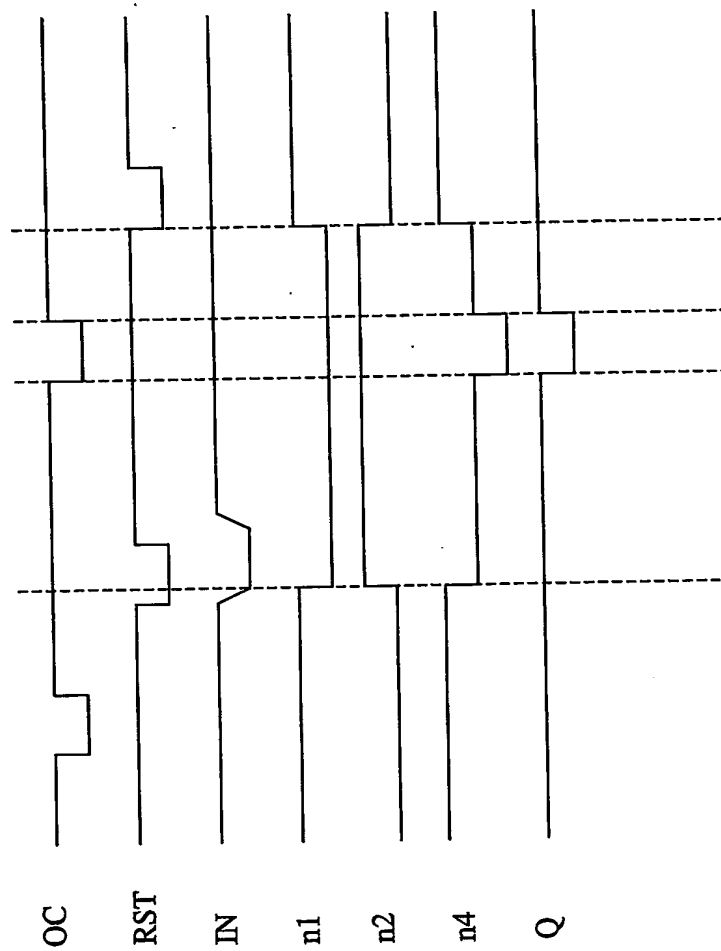


113/189



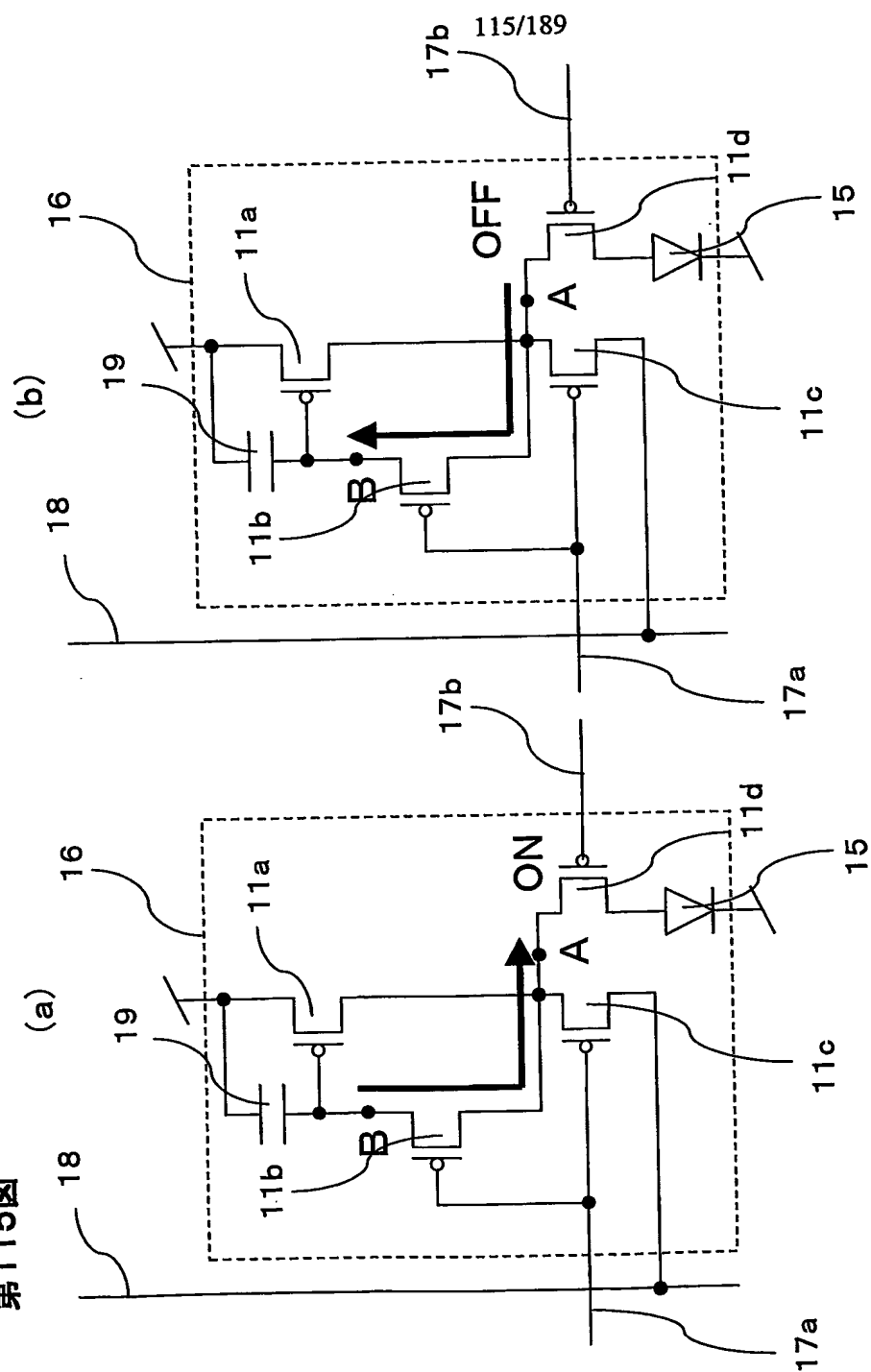
第113図

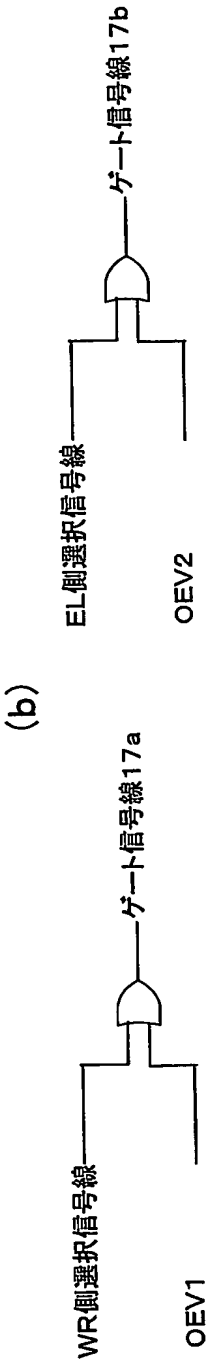
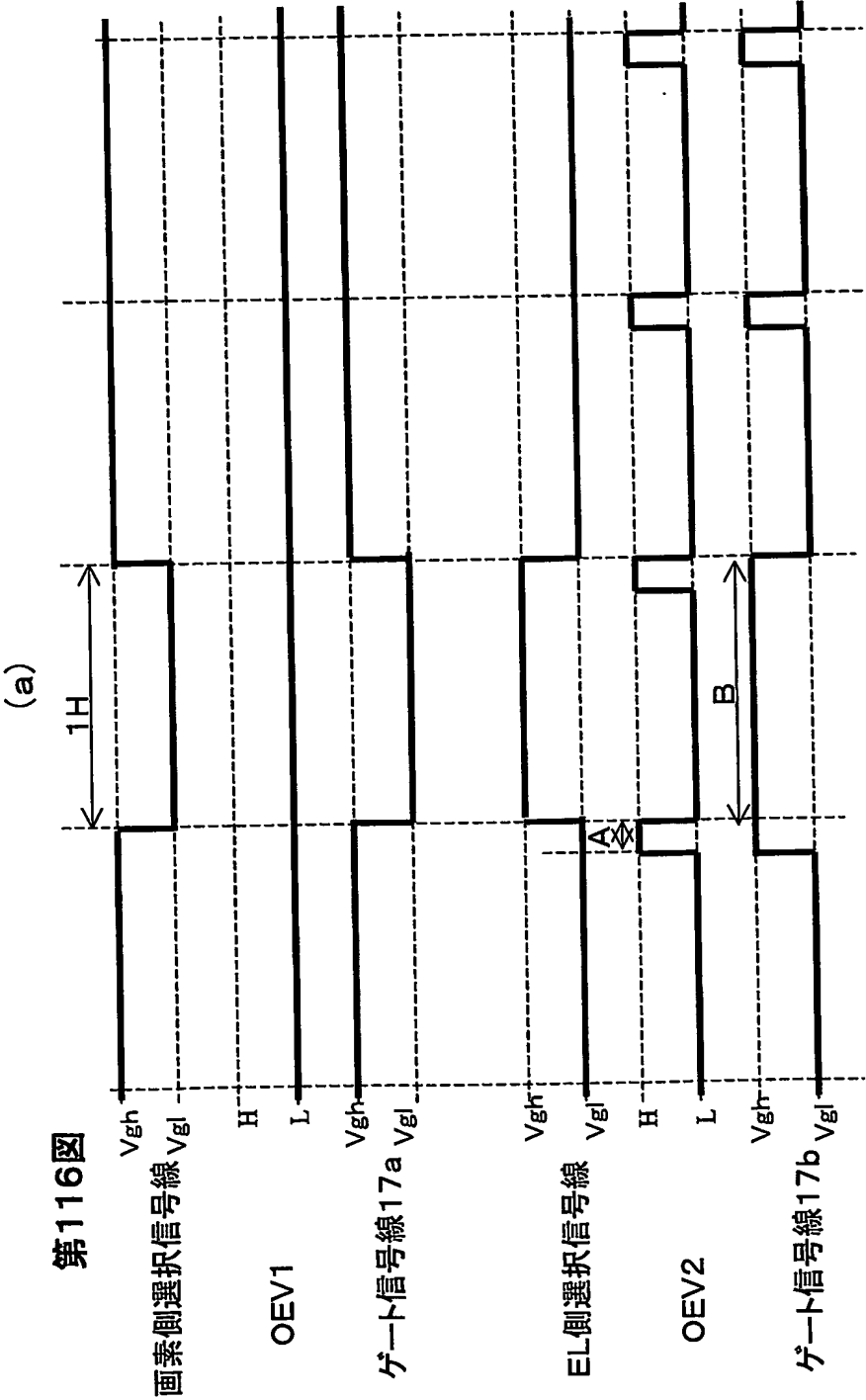
114/189



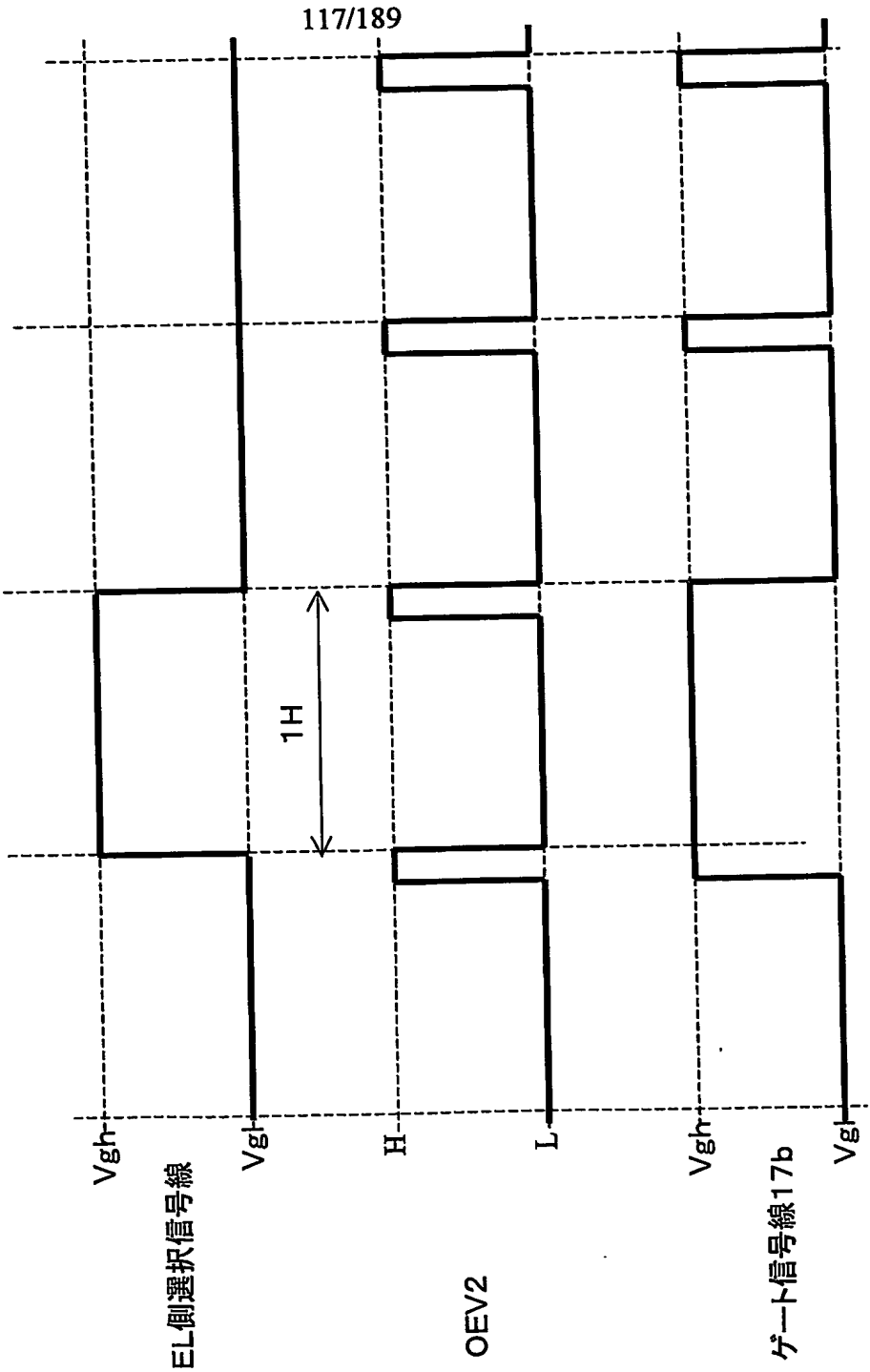
第114図

第115圖

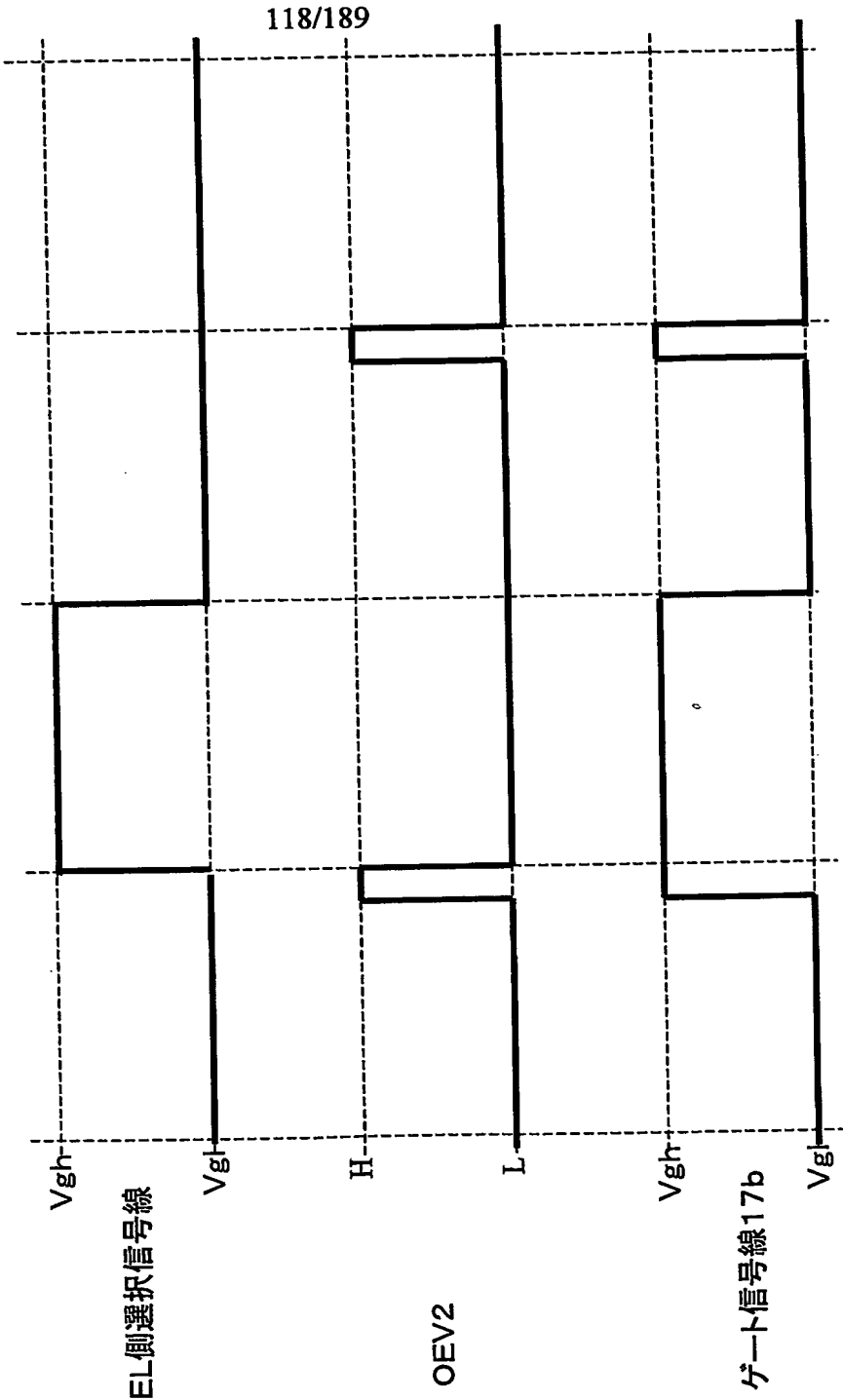




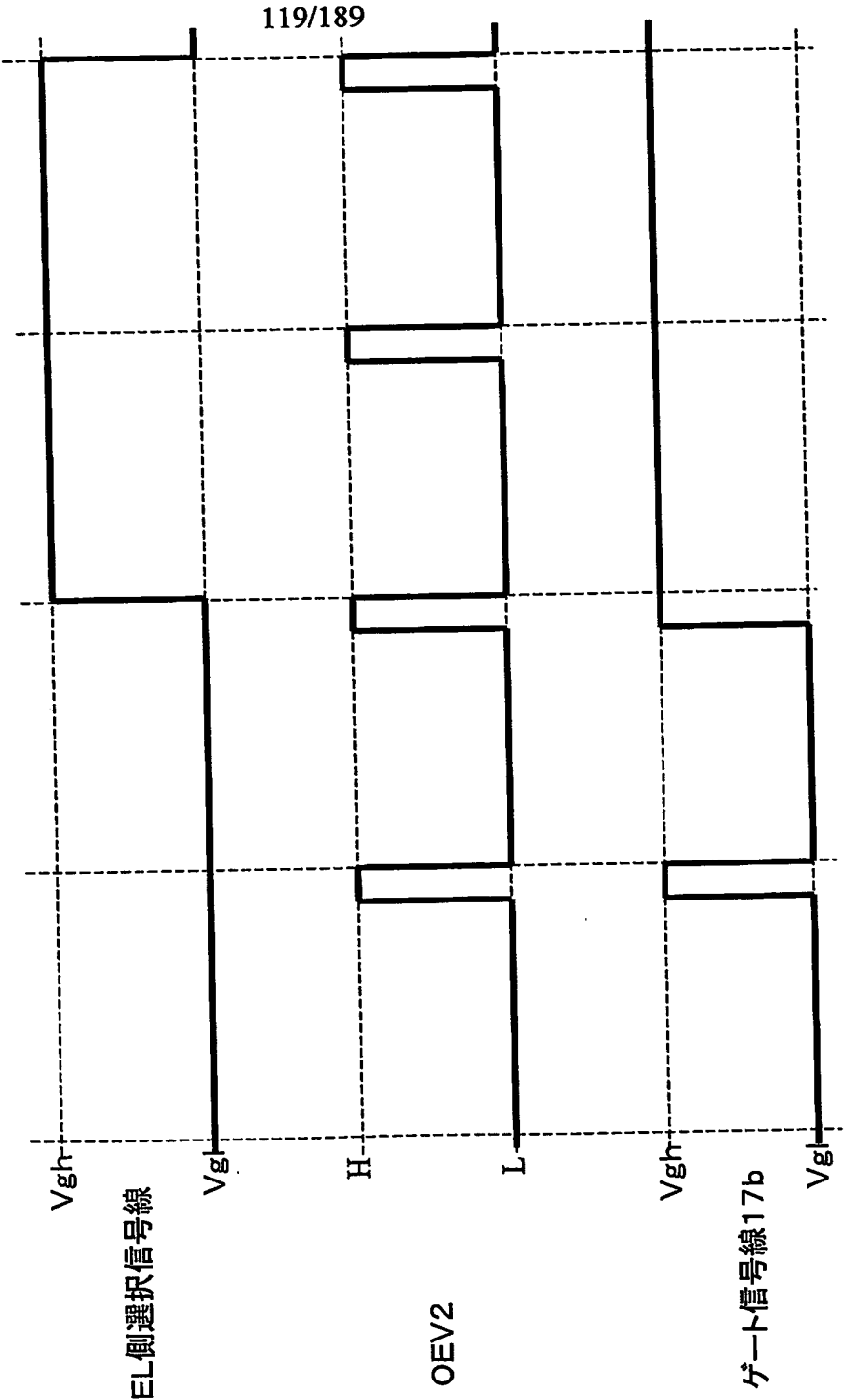
第117図



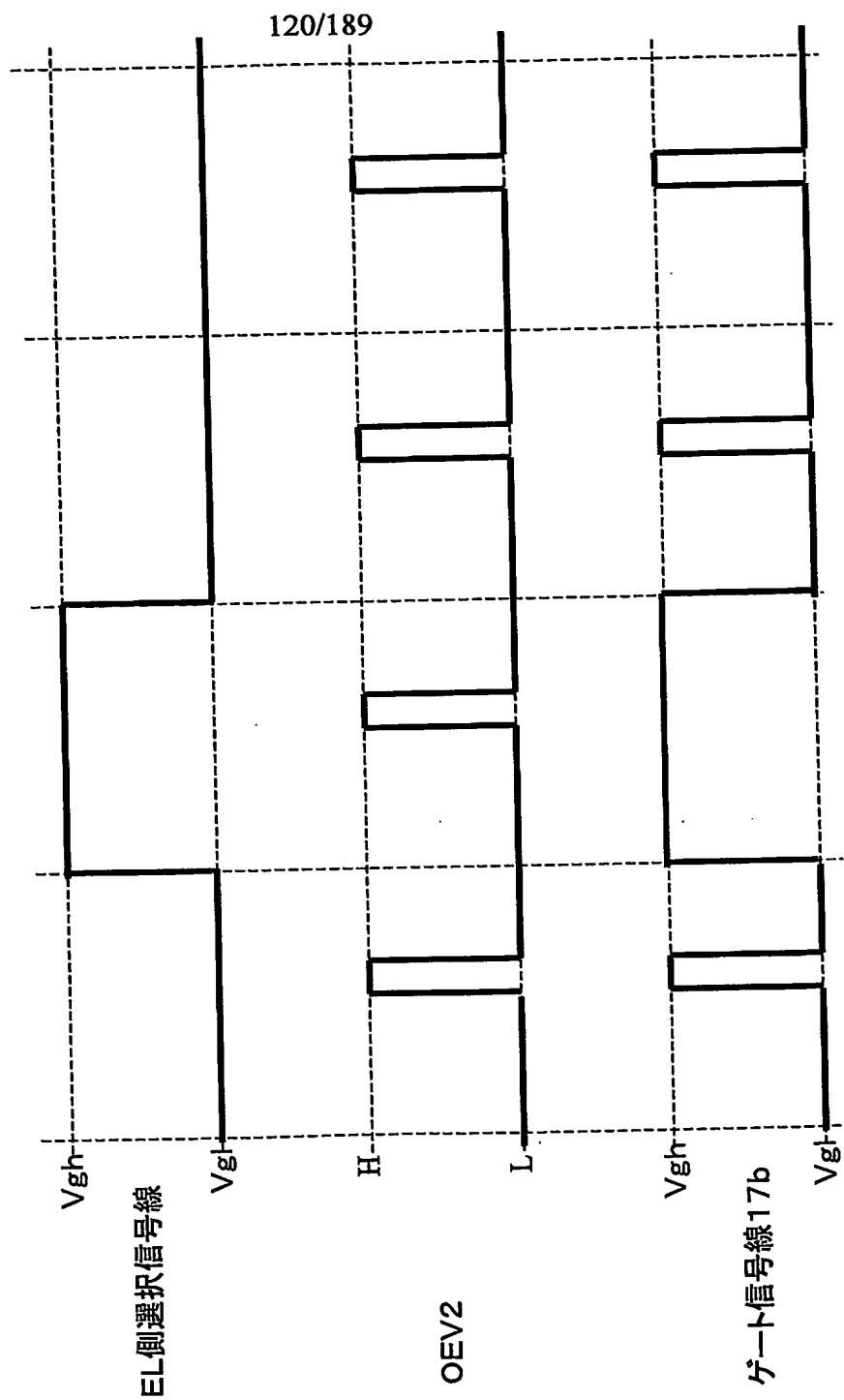
第118図



第119図

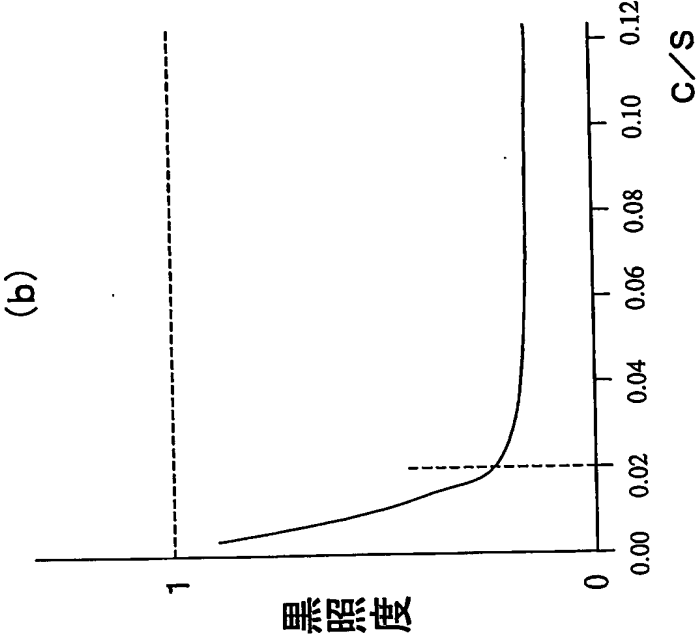
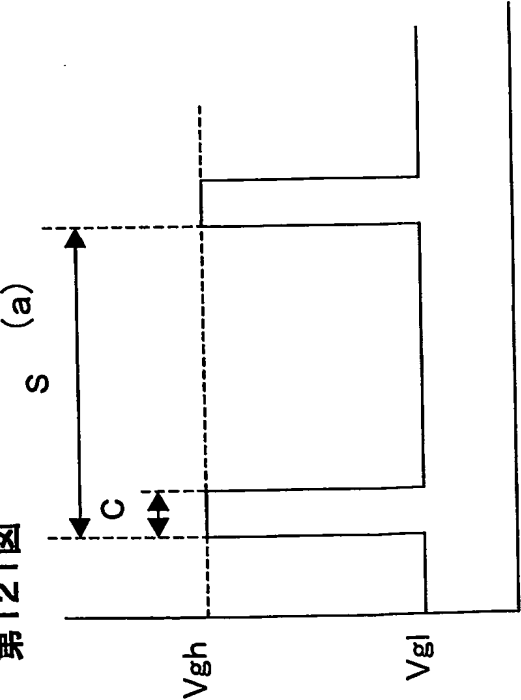


第120図

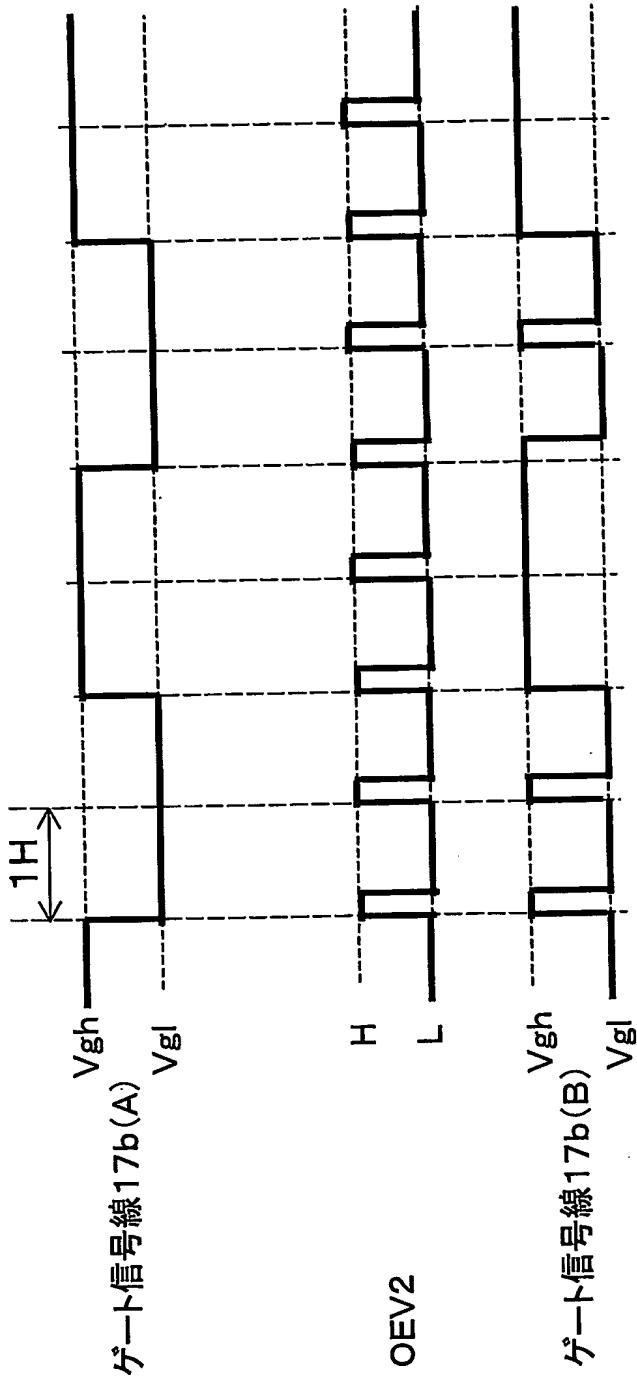


121/189

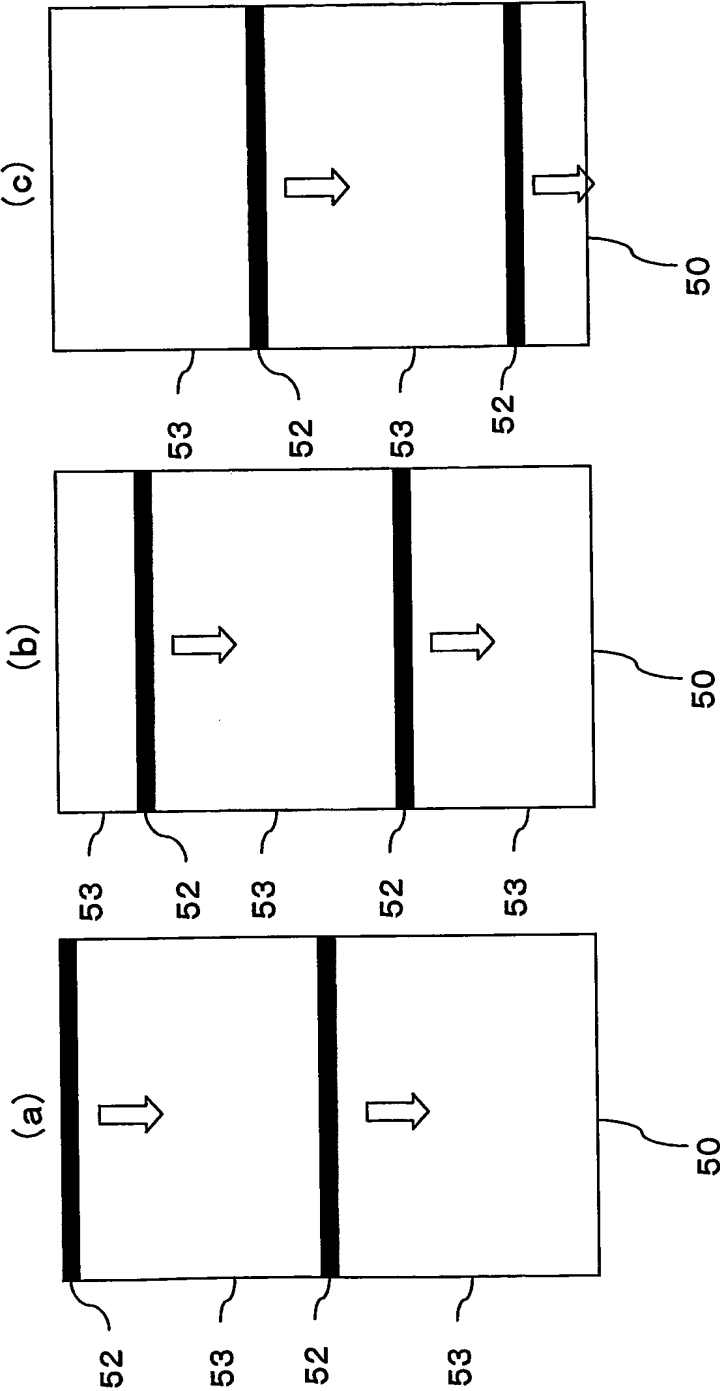
第121図



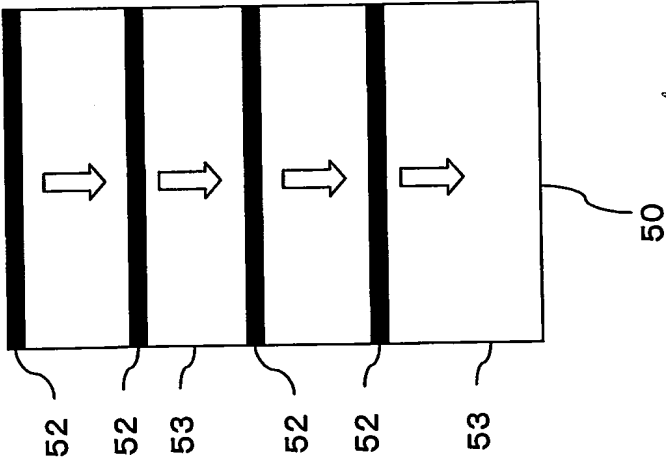
第122図



第123図

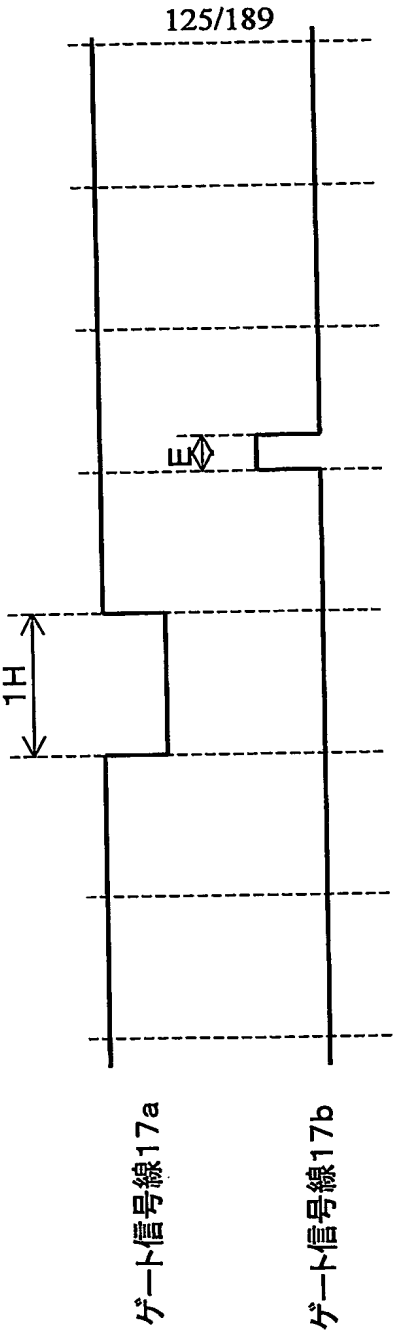


124/189

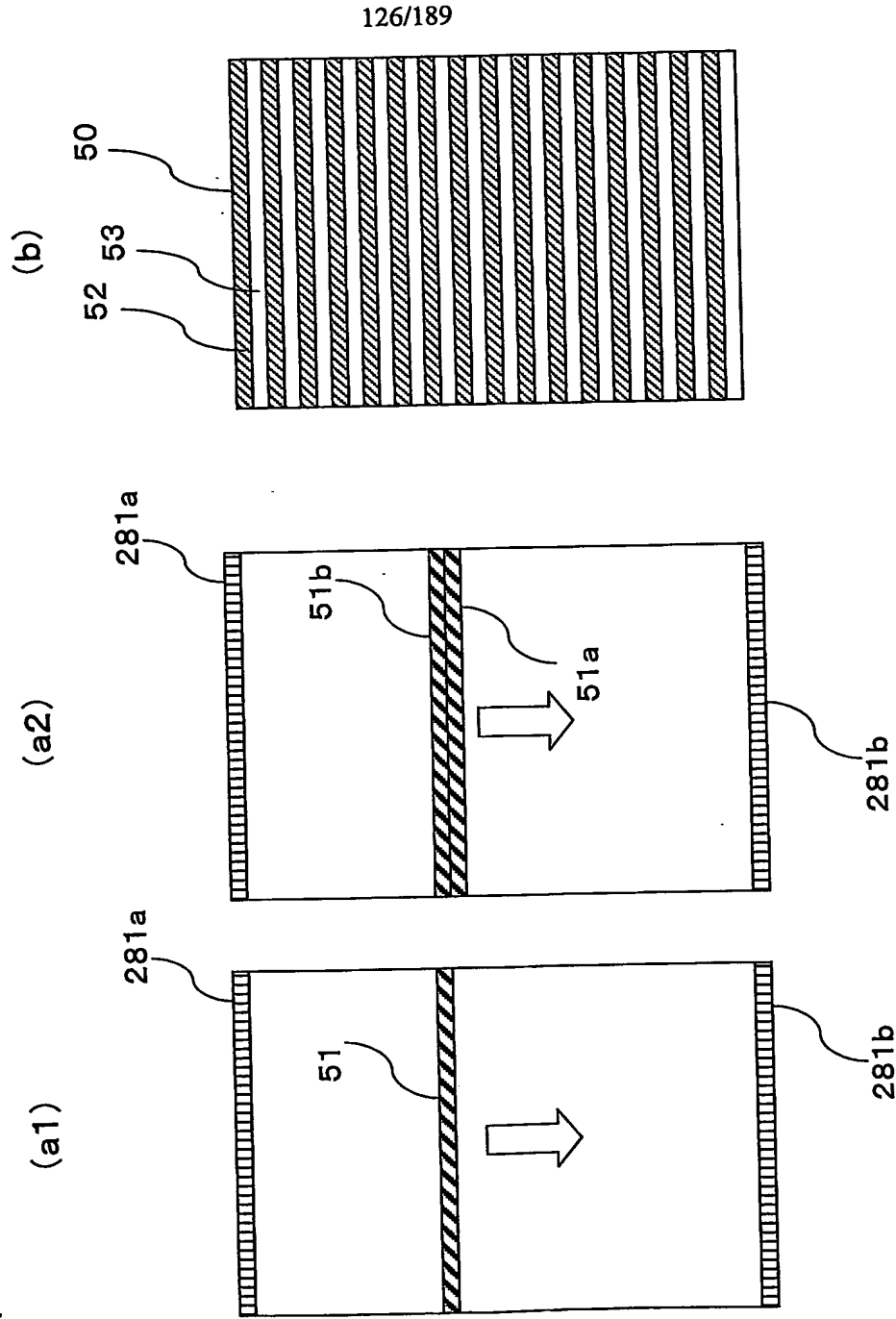


第124図

第125図

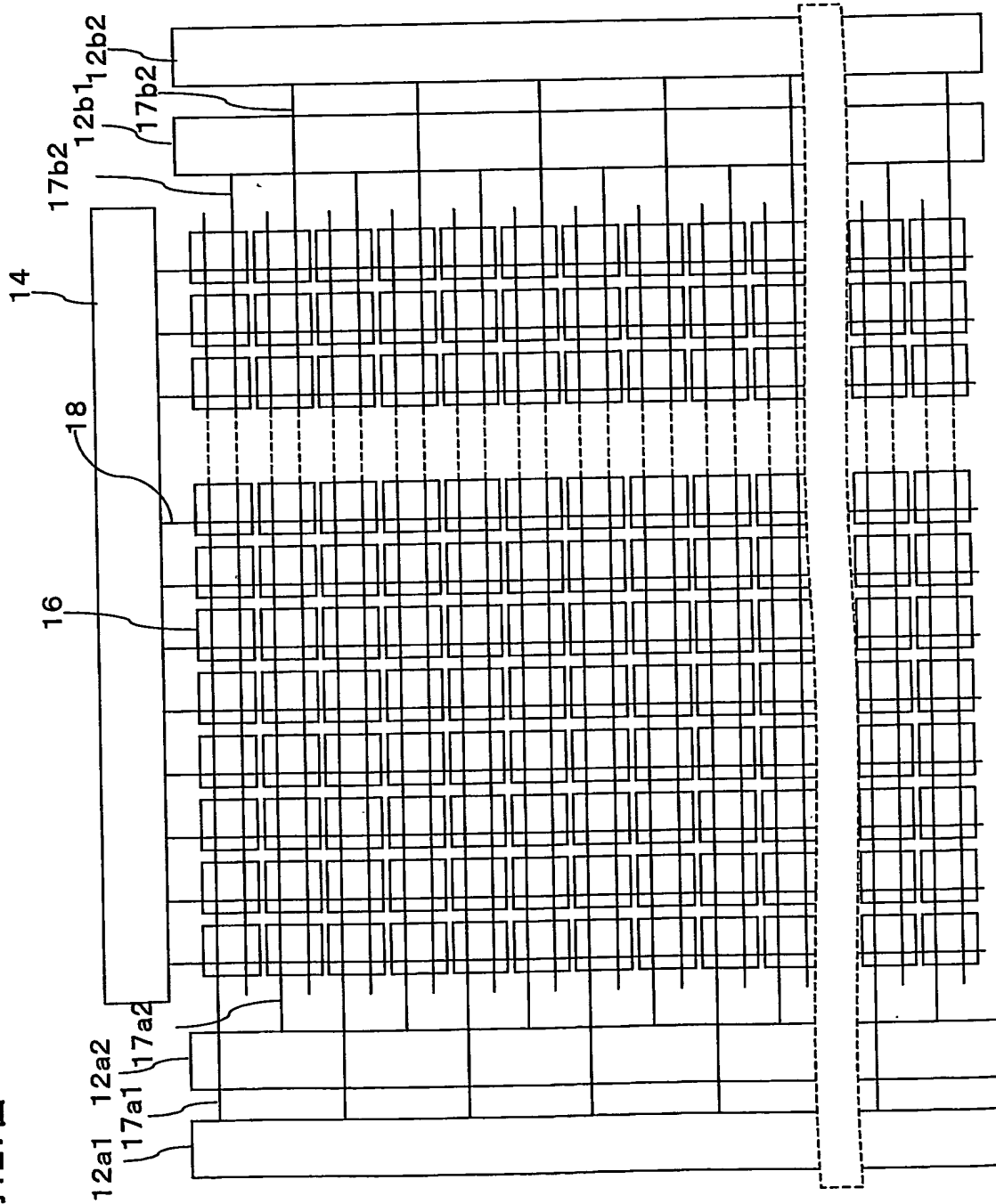


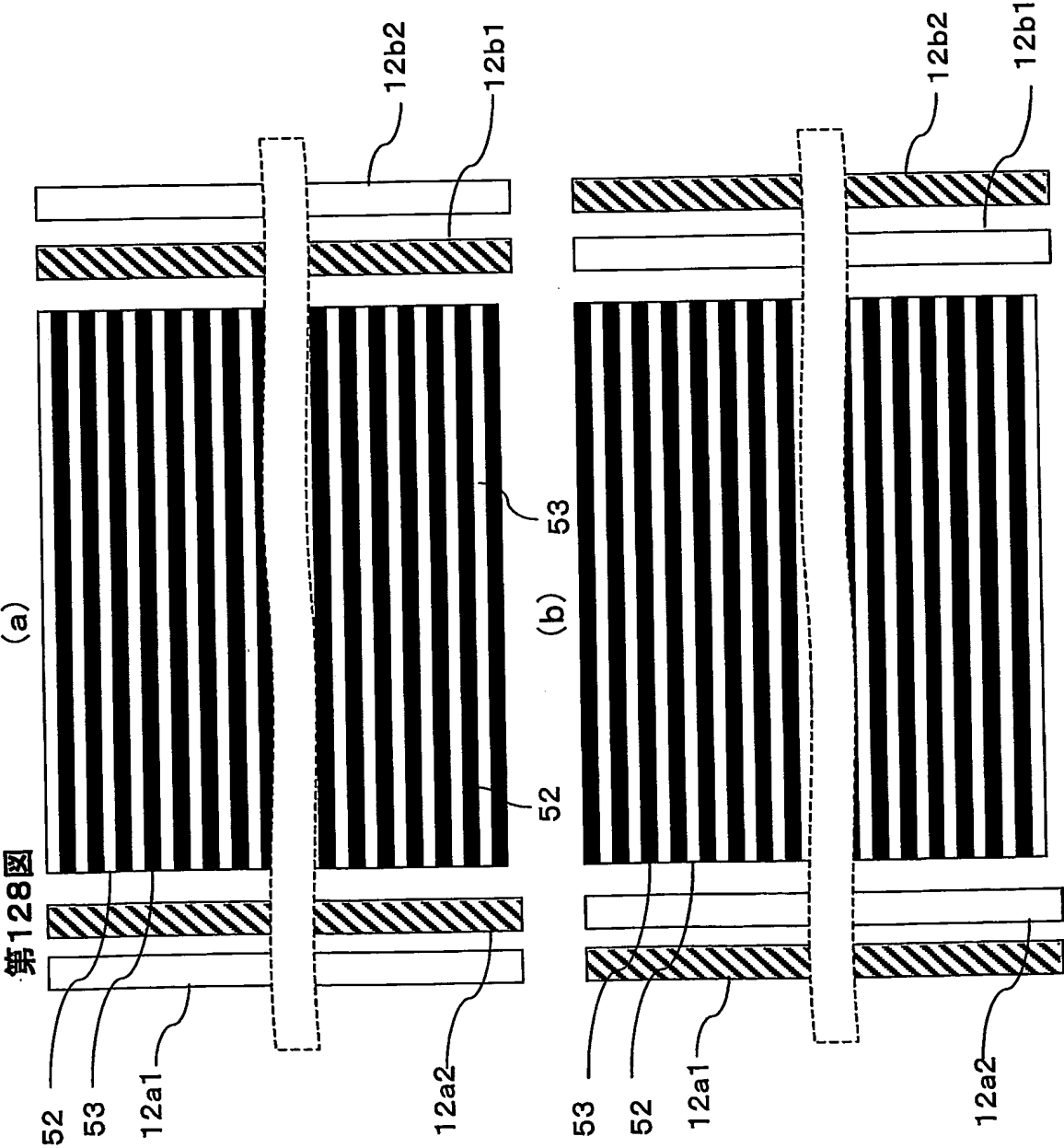
第126図



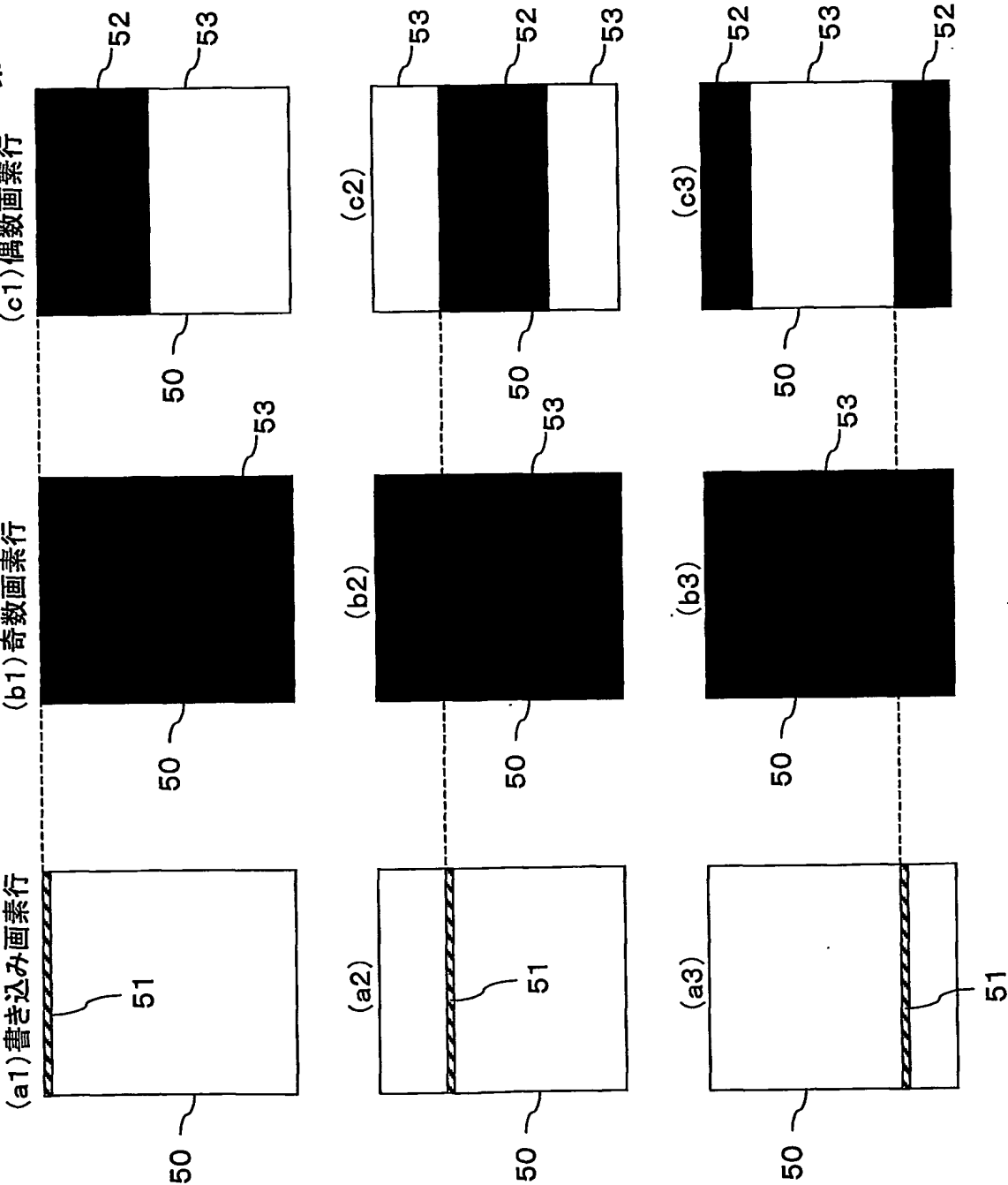
127/189

第127図

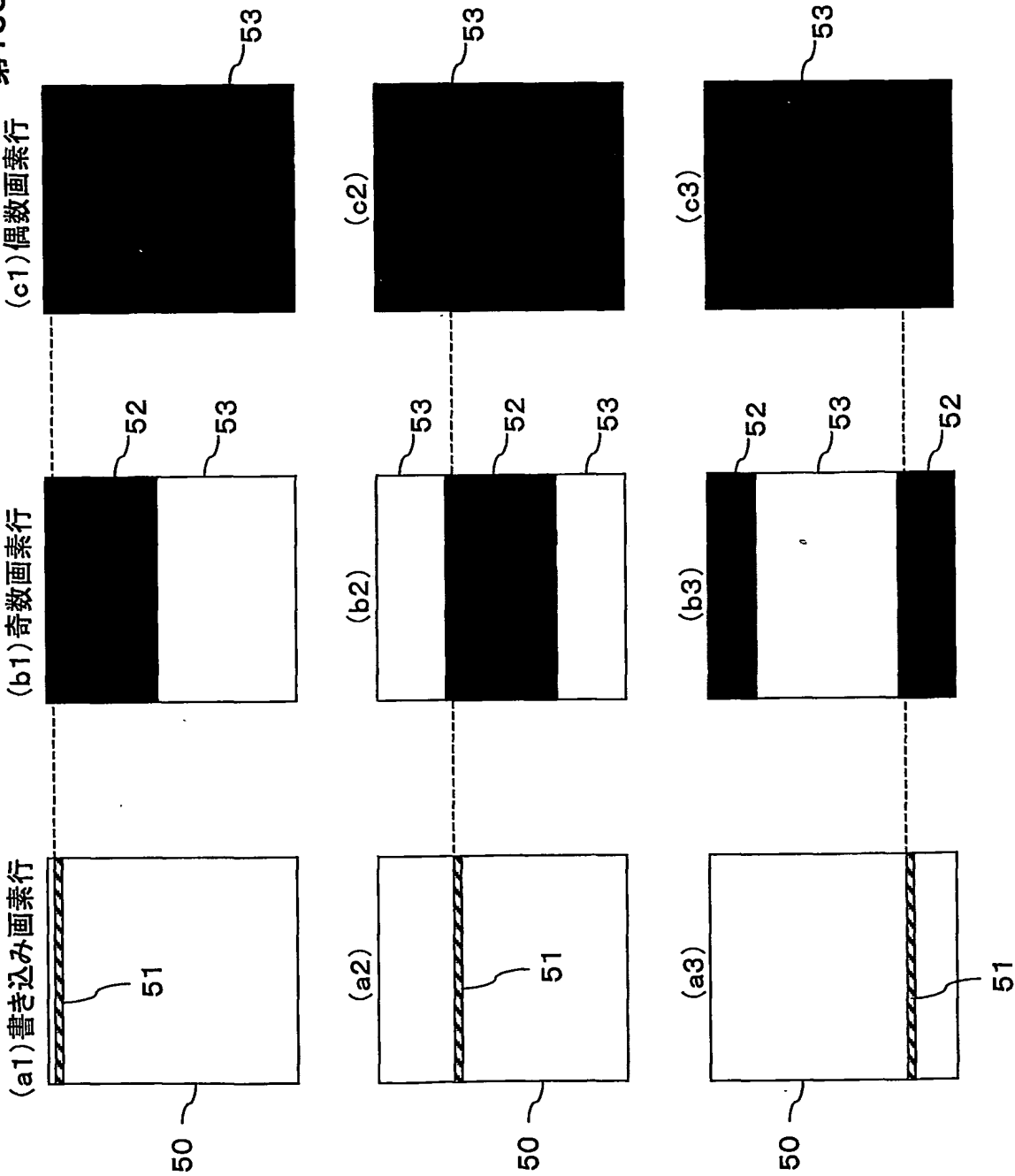




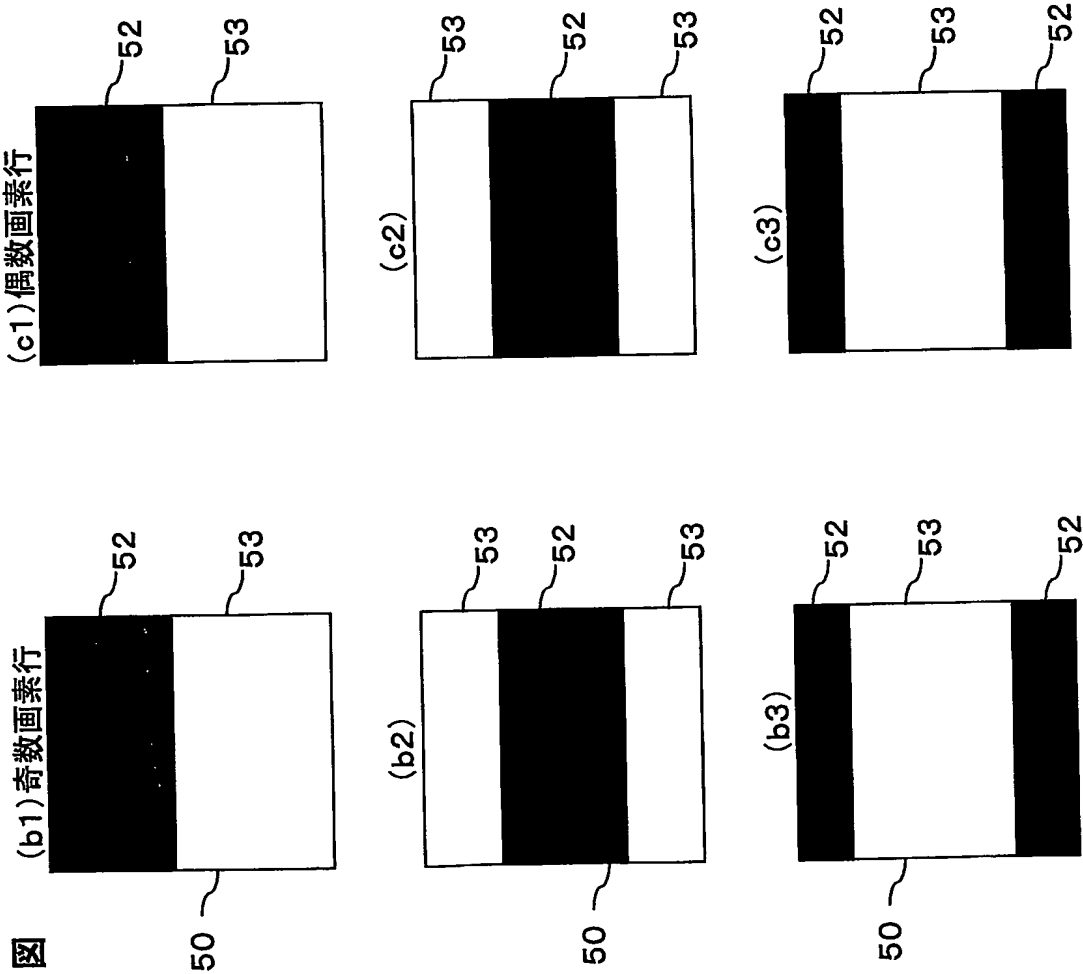
第129図



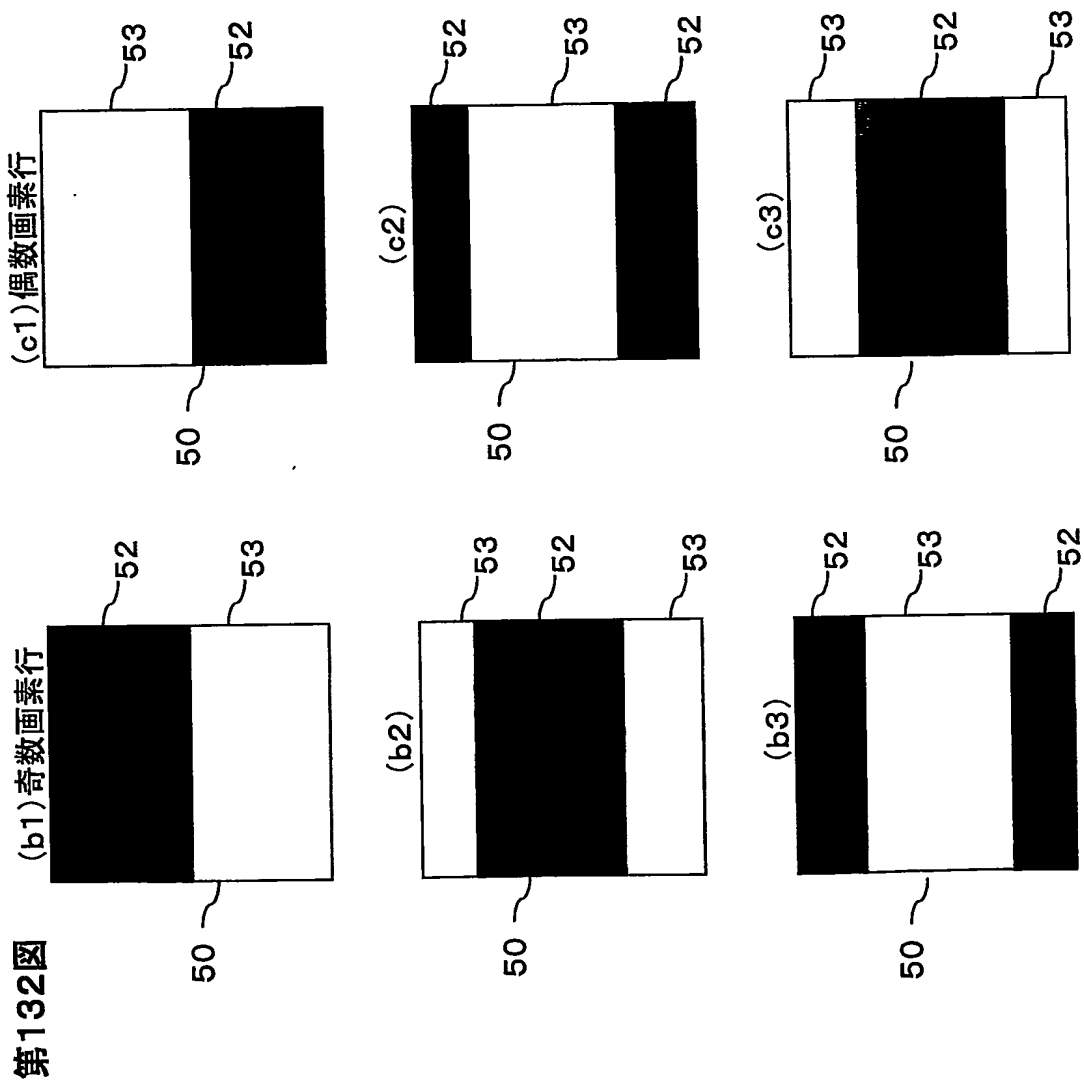
第130図



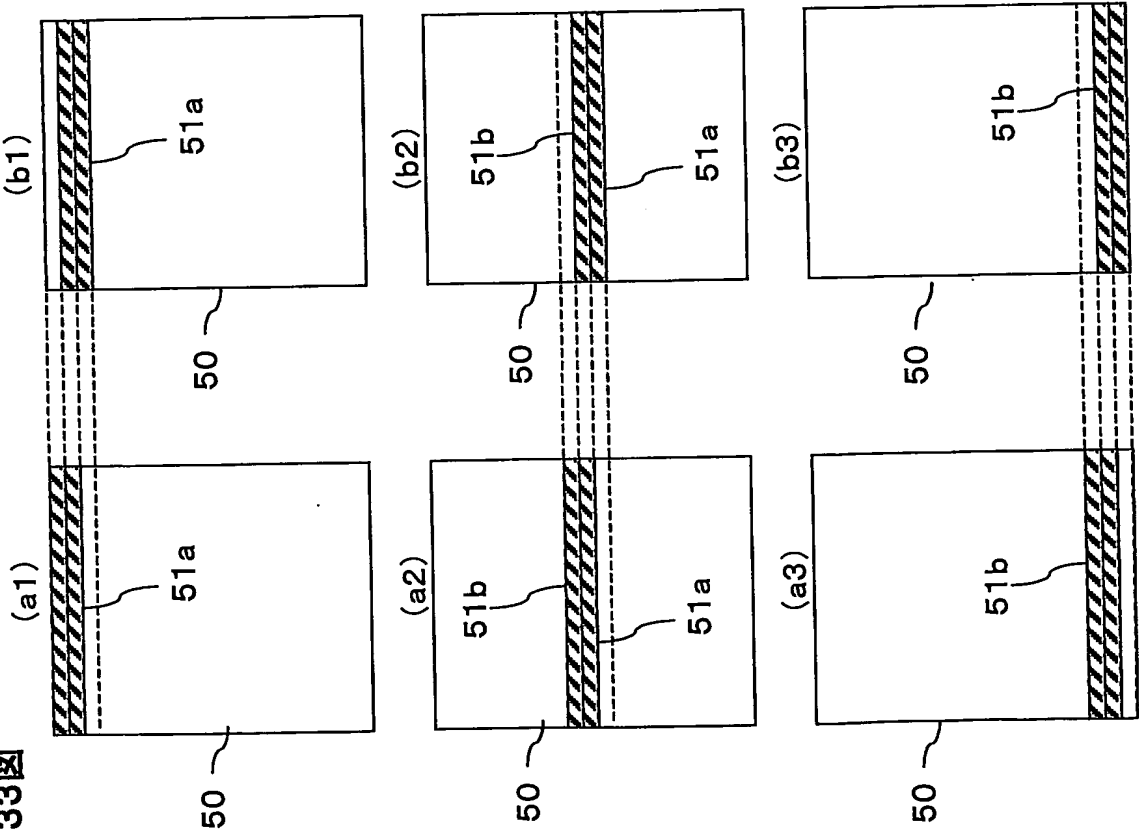
第131図



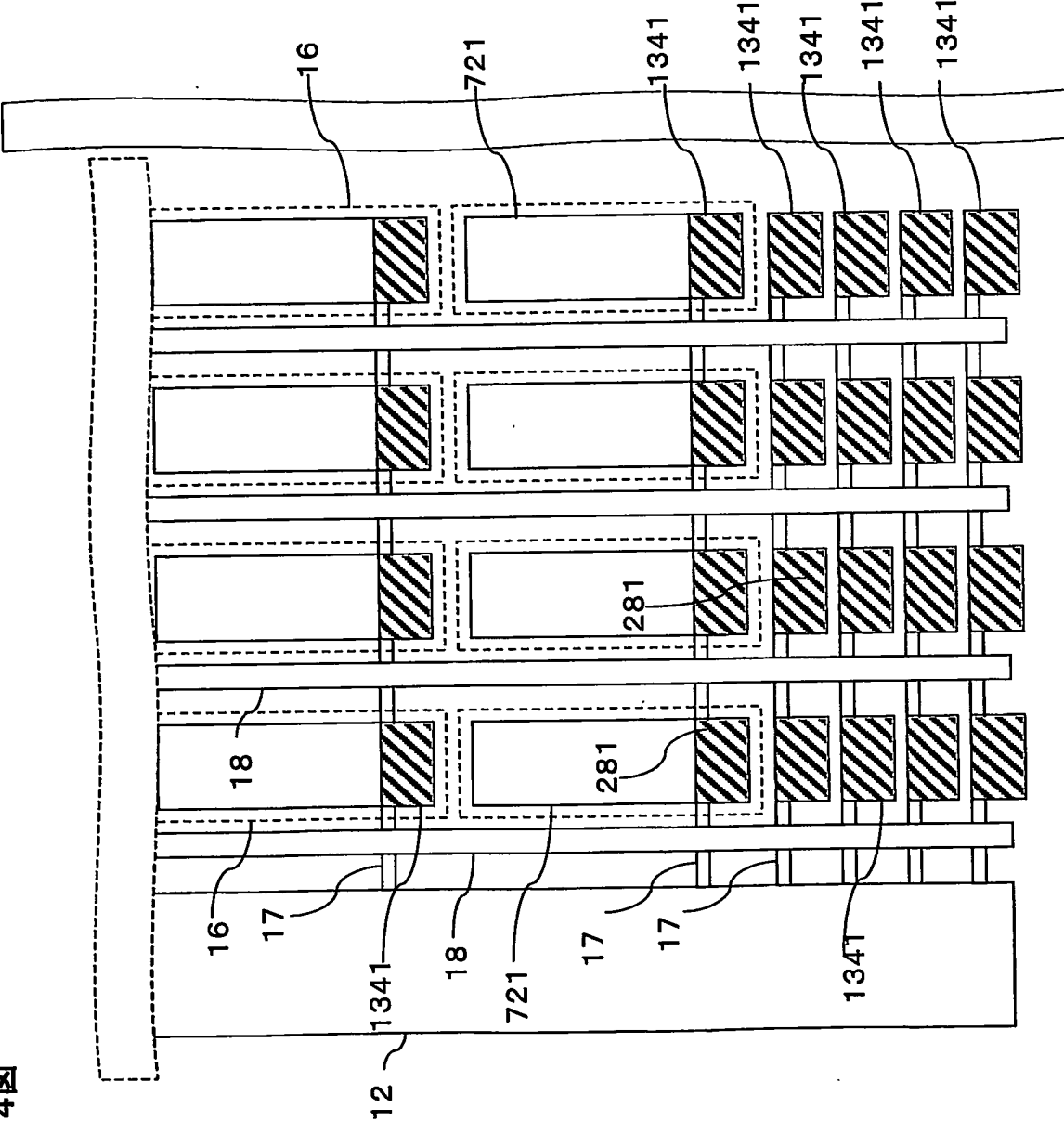
132/189



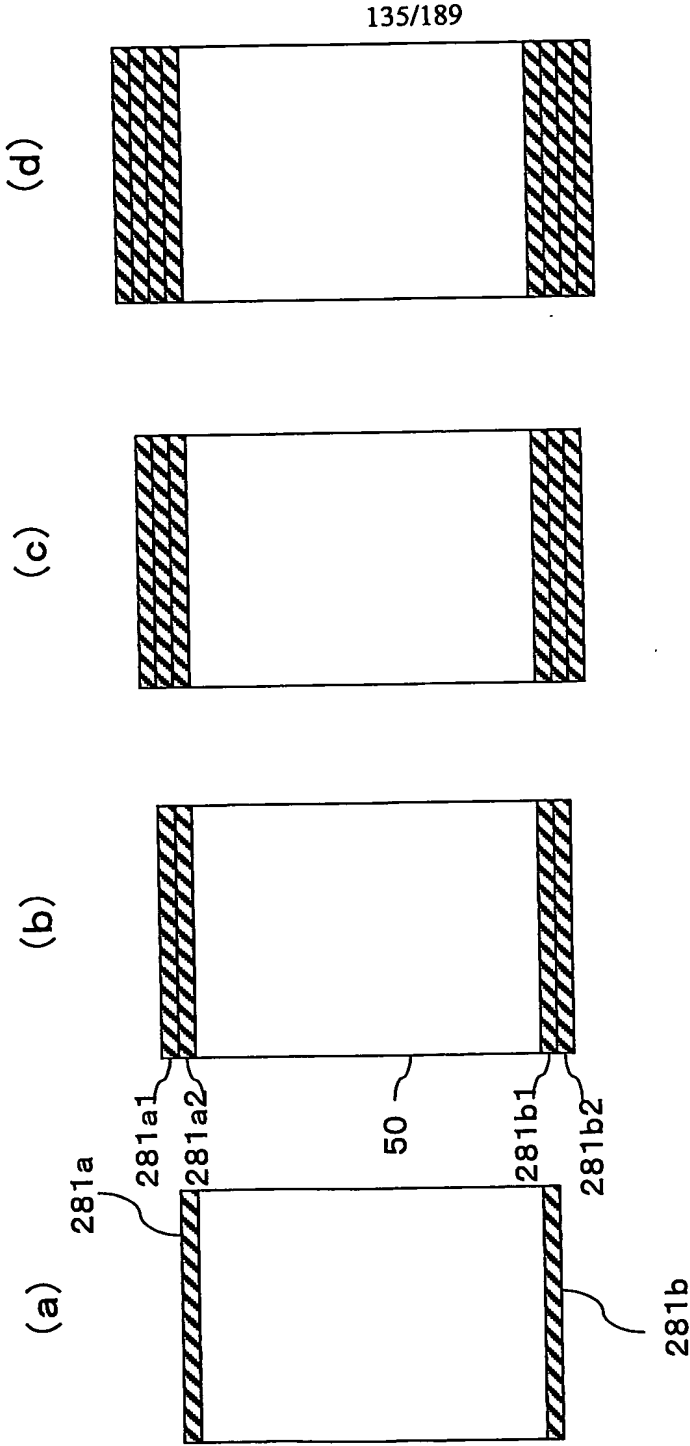
第133図



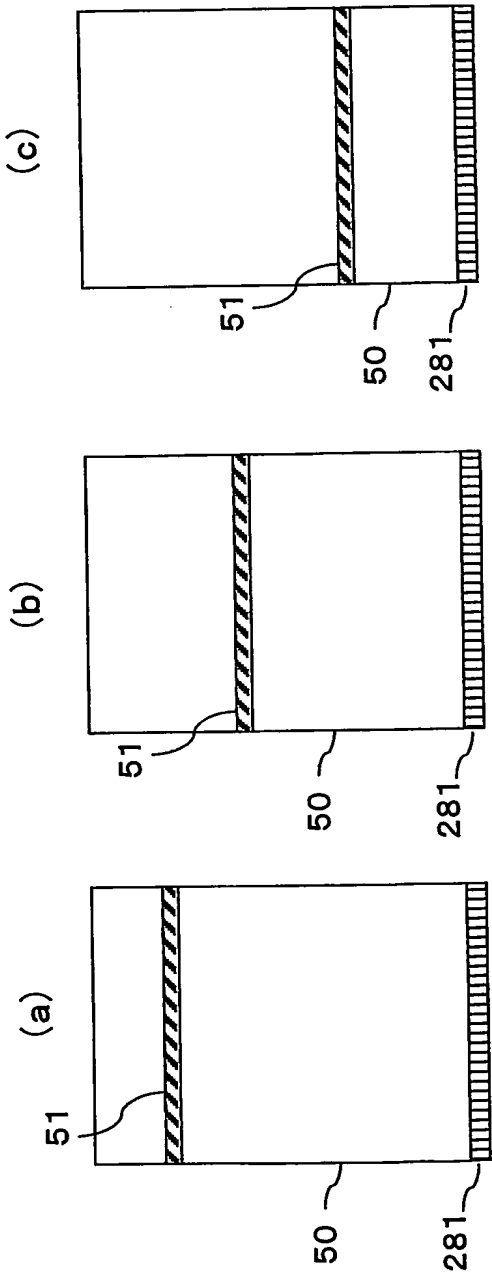
第134図



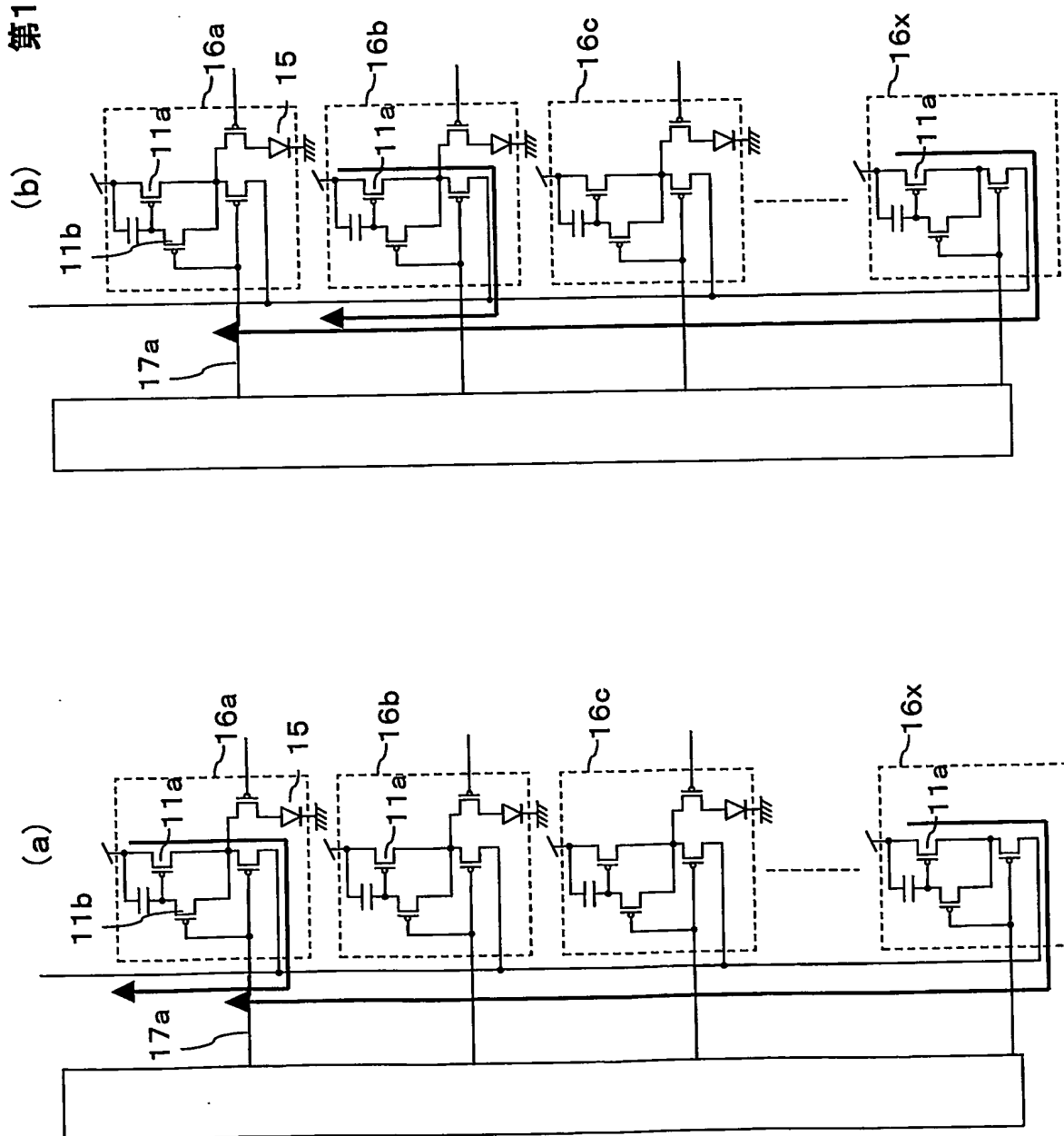
第135図



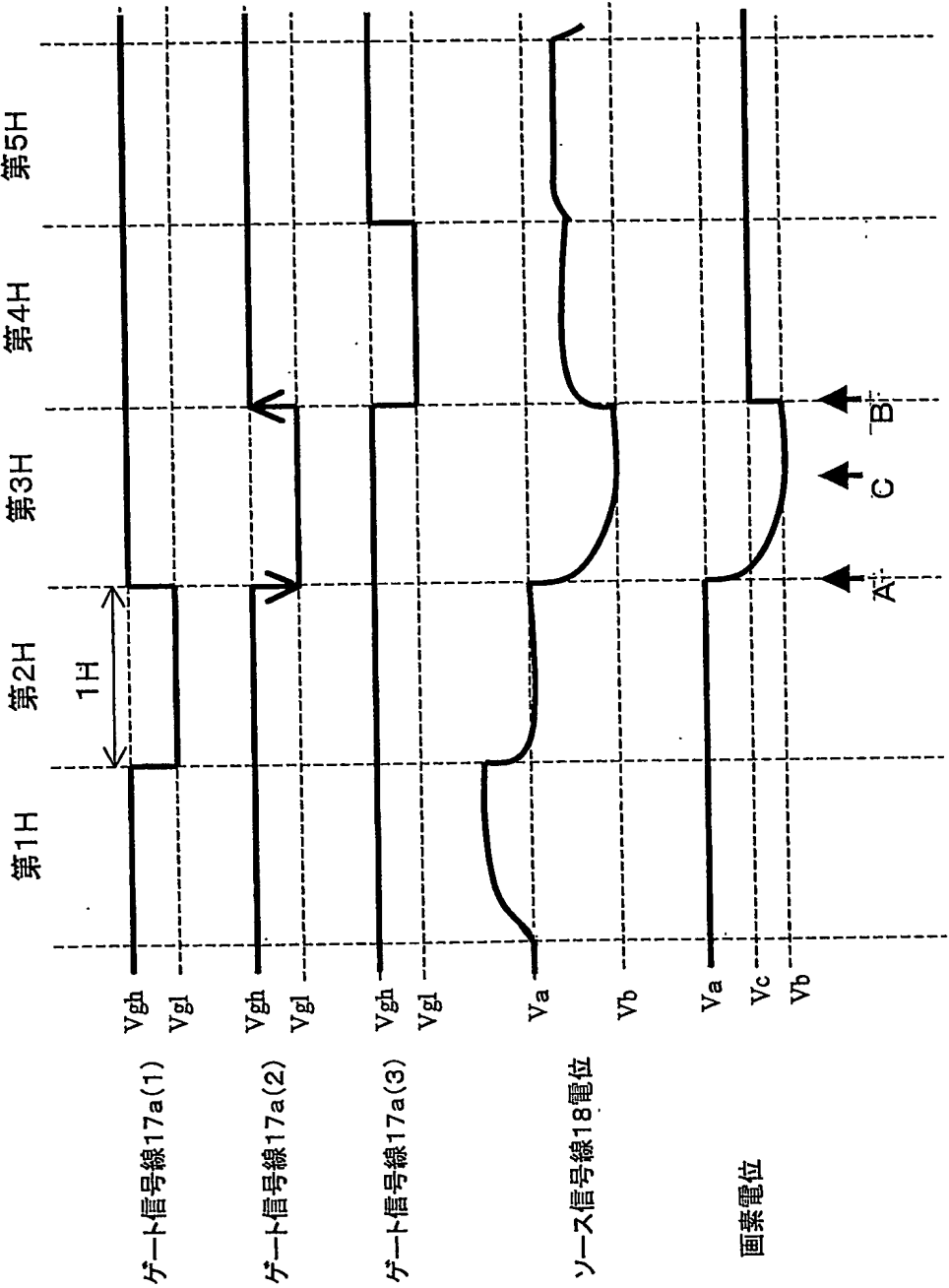
第136図

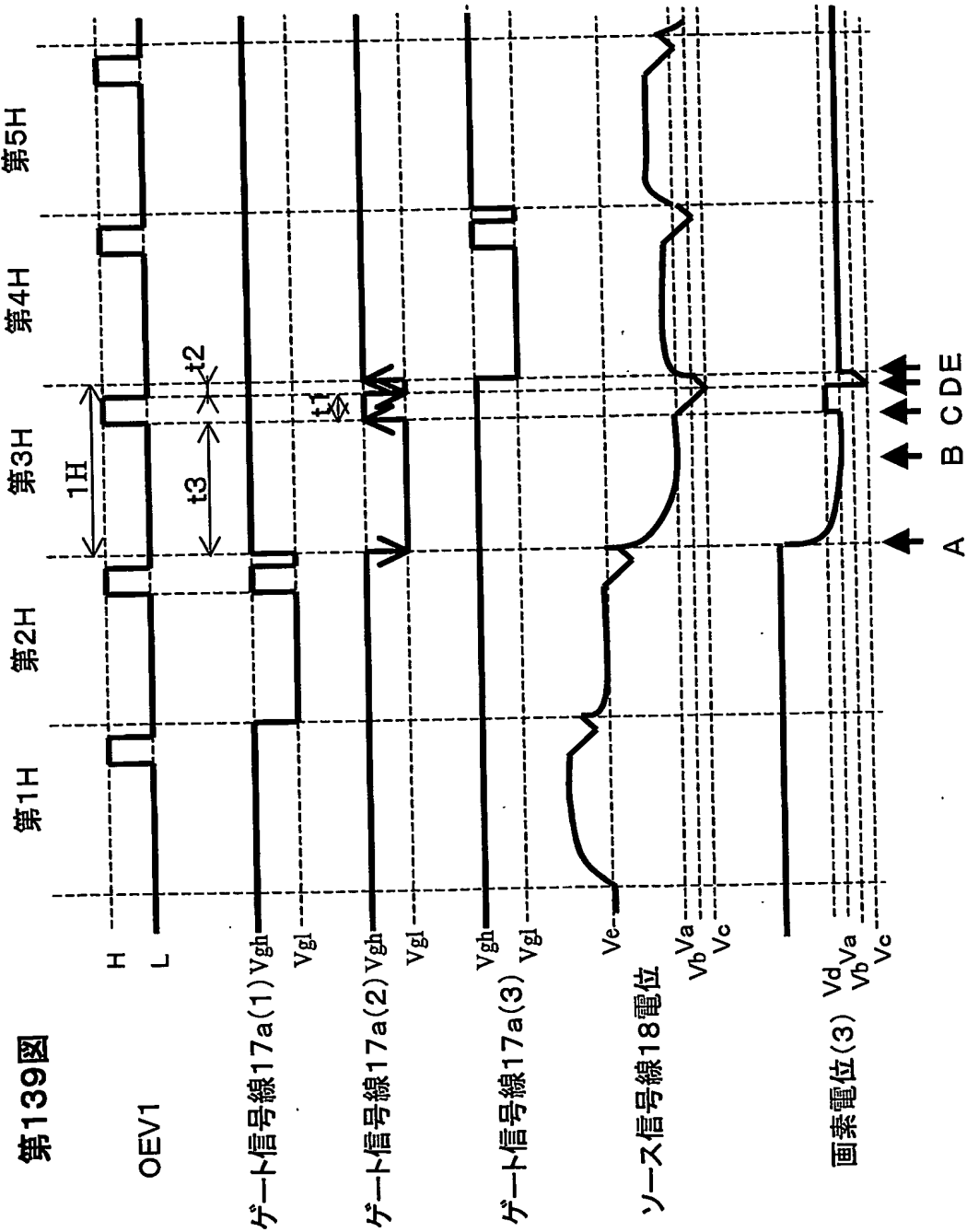


第137圖

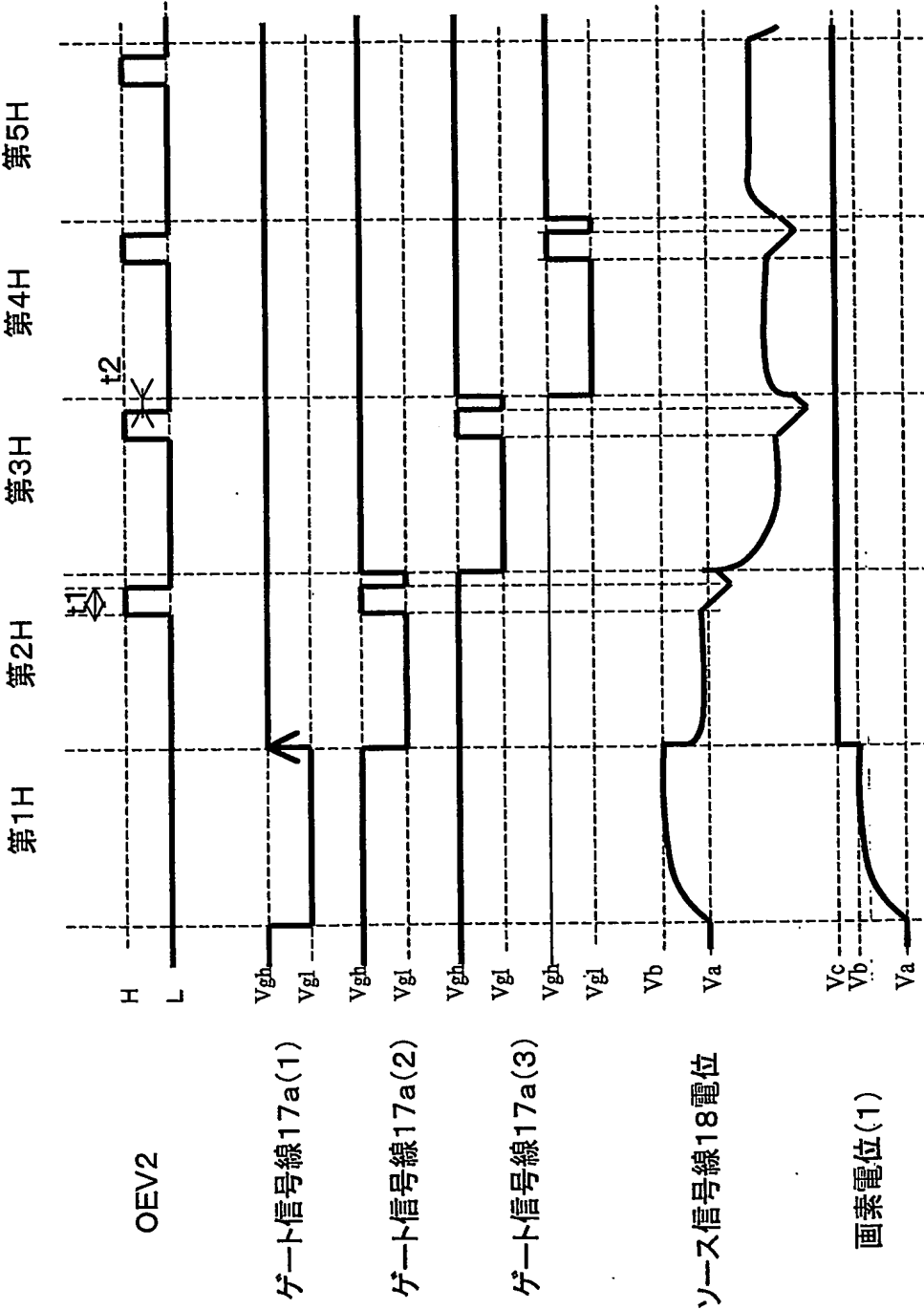


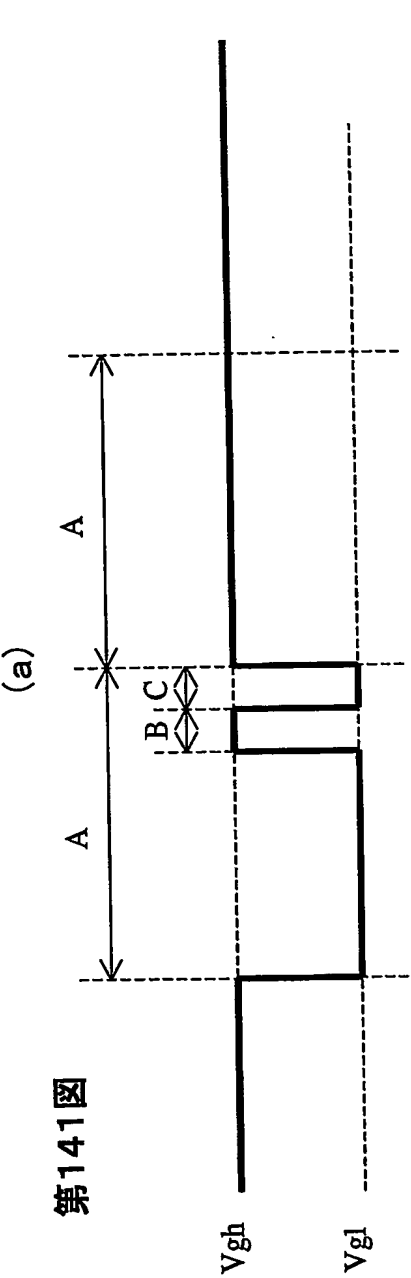
第138図





第140図

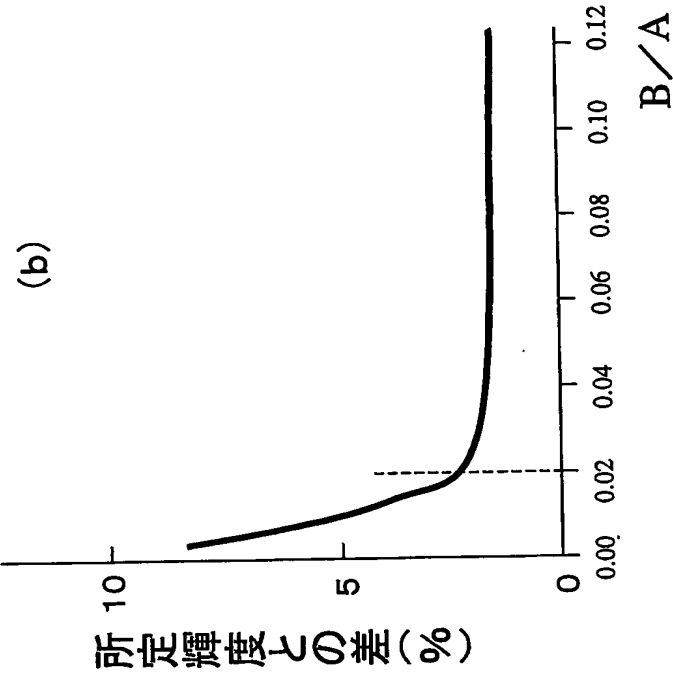




$B=t_1$

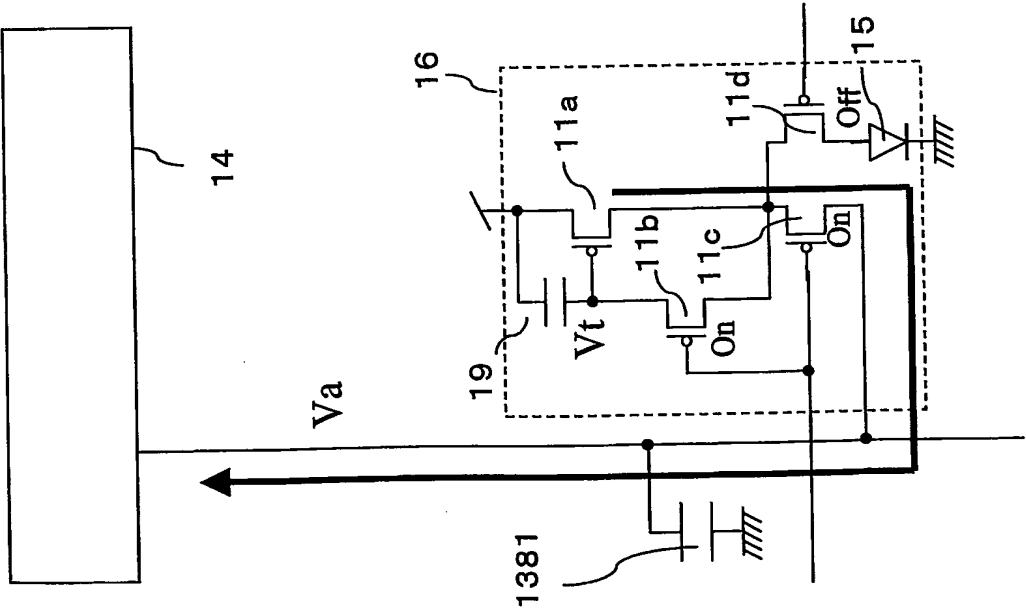
$A=1H$

$C=2\mu sec$

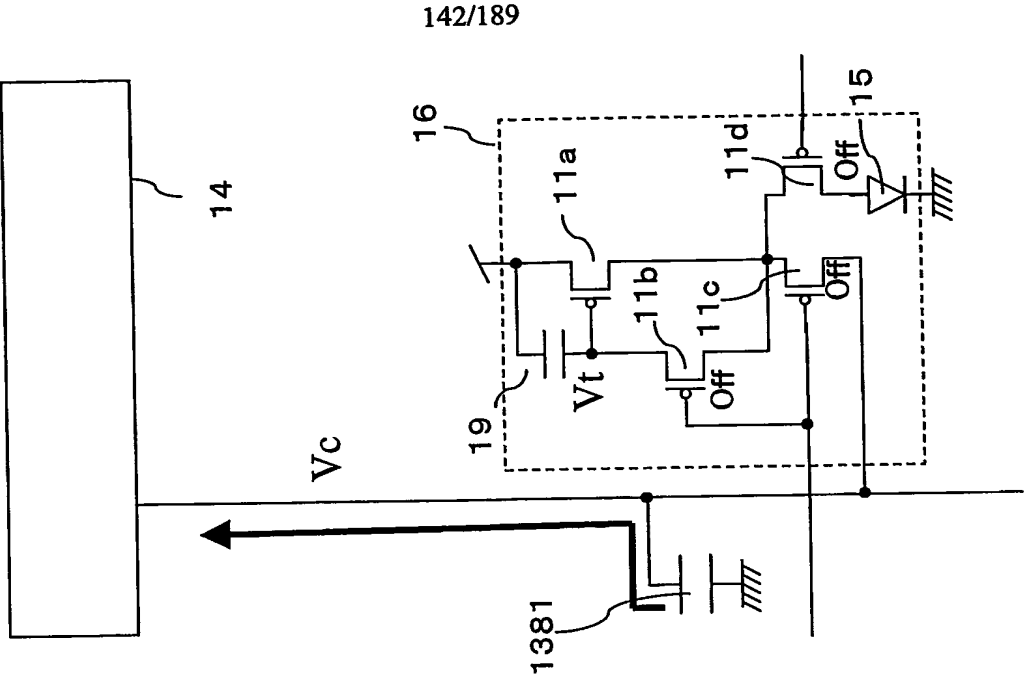


第142図

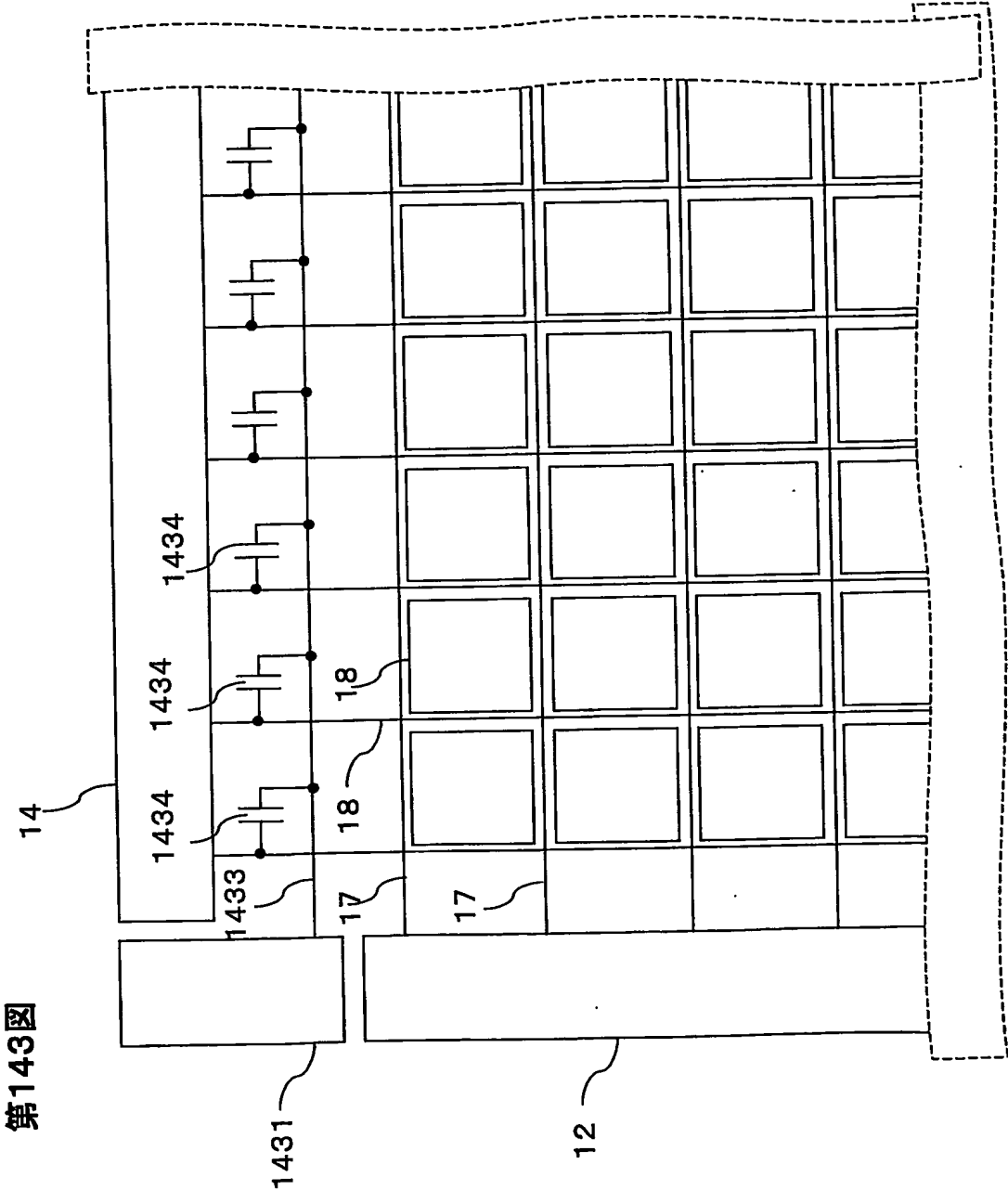
(a)



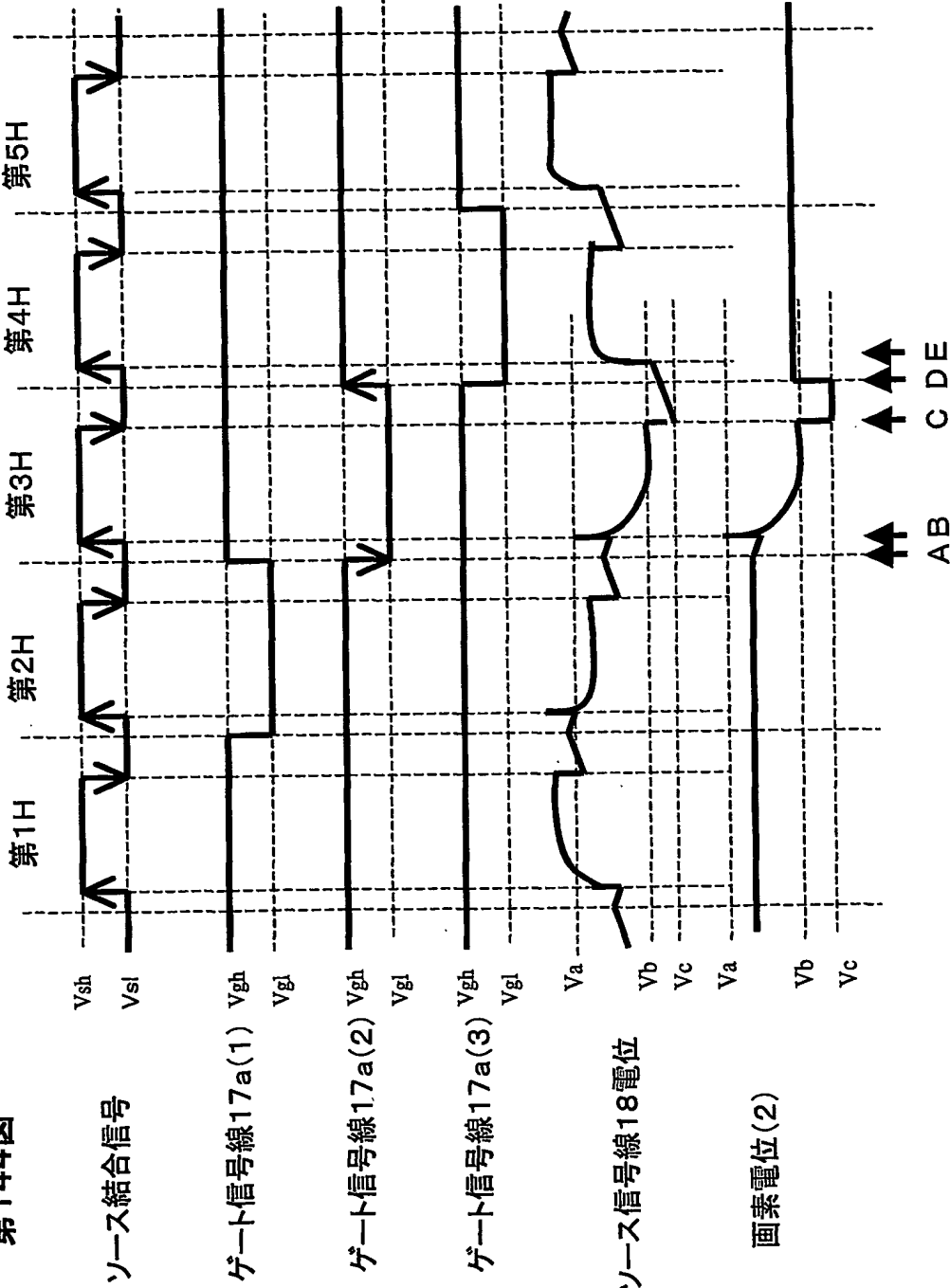
(b)



143/189



第144図

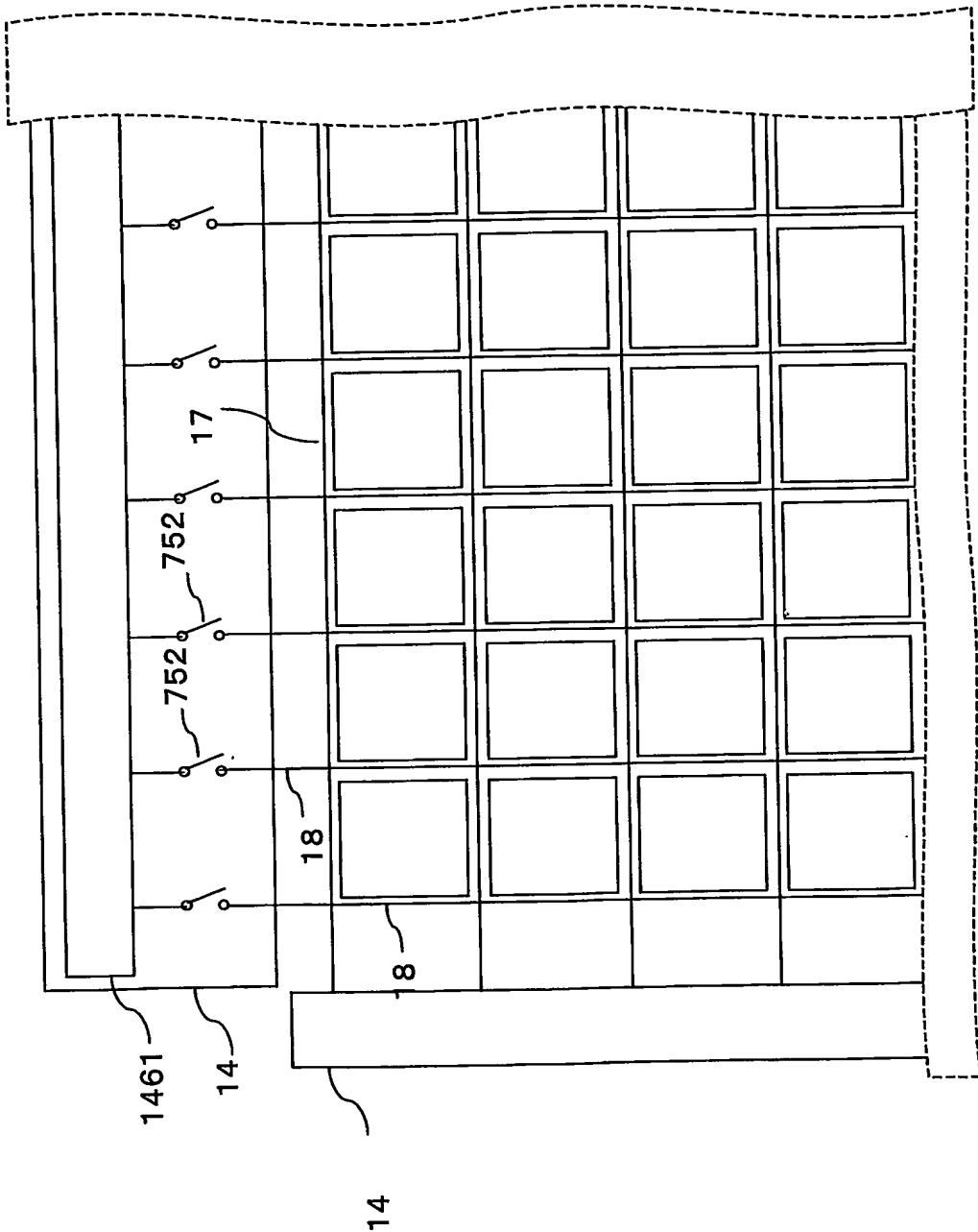


第145図

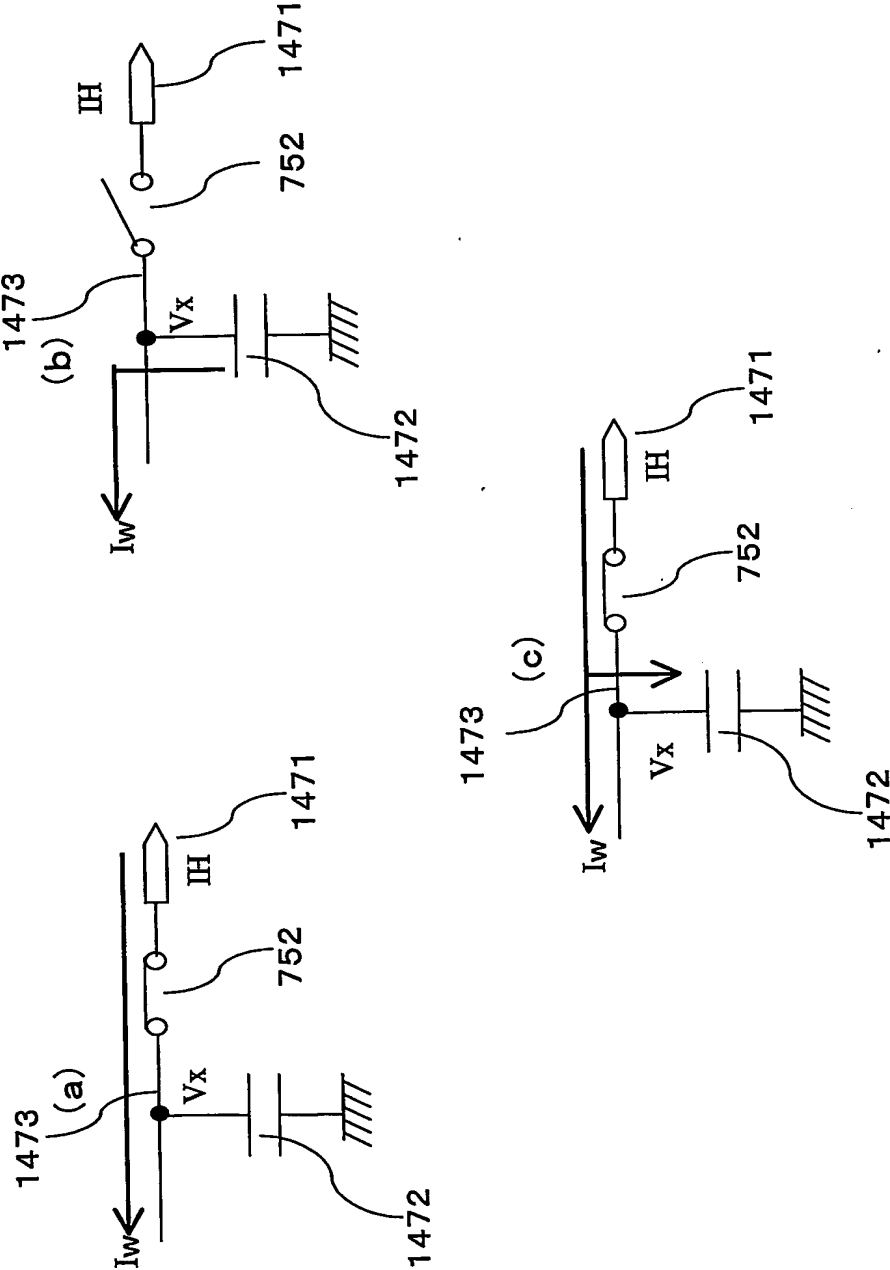
(平均)階調	B/A (オン期間)			
	MODE1	MODE2	MODE3	MODE4
1	0	0	0.05	0
2	0	0	0.05	0
3	0	0	0.05	0
4	0	0	0.05	0
5	0	0	0.05	0
17	0	0.05	0.05	0.05H
18	0	0.05	0.05	0.05H
19	0	0.05	0.05	0.04H
20	0	0.05	0.05	0.04H
21	0	0.05	0.05	0.03H
22	0	0.05	0.05	0.03H
61	0	0.05	0.05	0.22H
62	0	0.05	0.05	0.23H
63	0	0.05	0.05	0.24H
64	0	0.05	0.05	0.25H

146/189

第146図



第147図



148/189

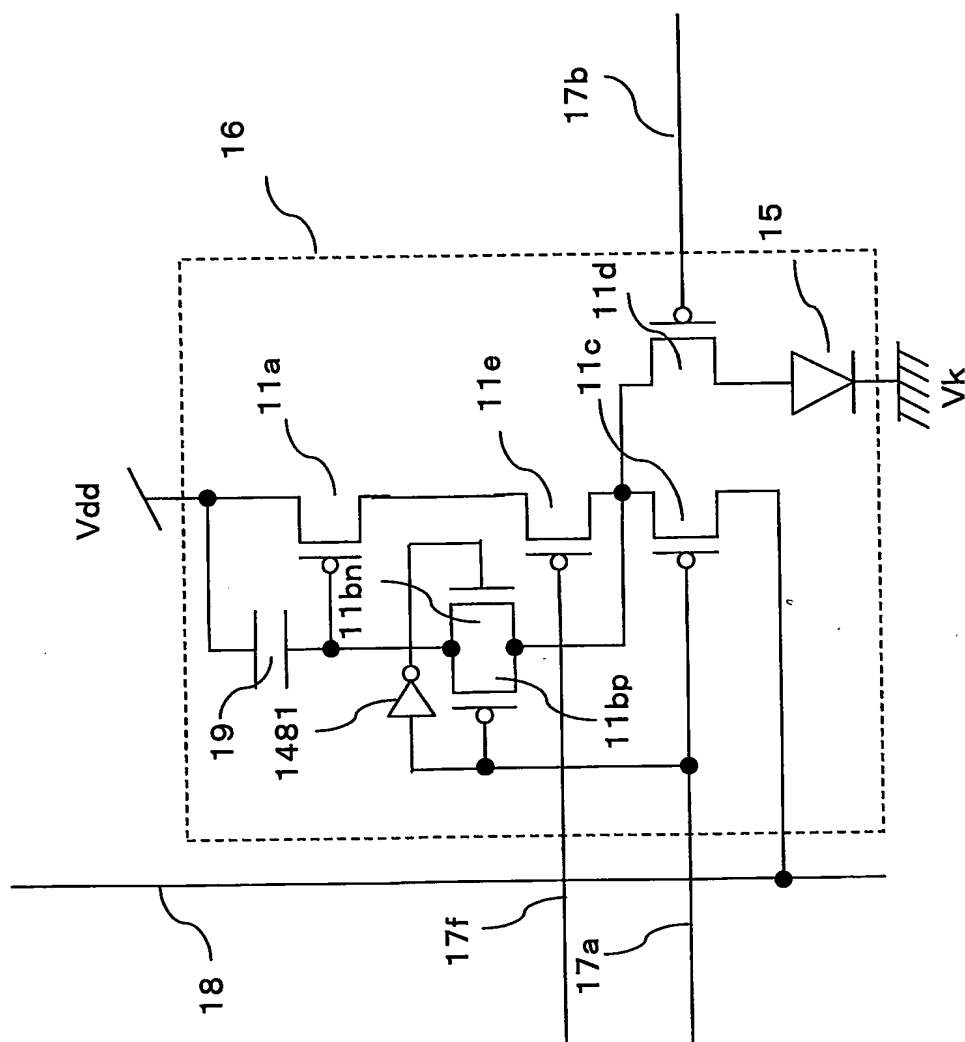
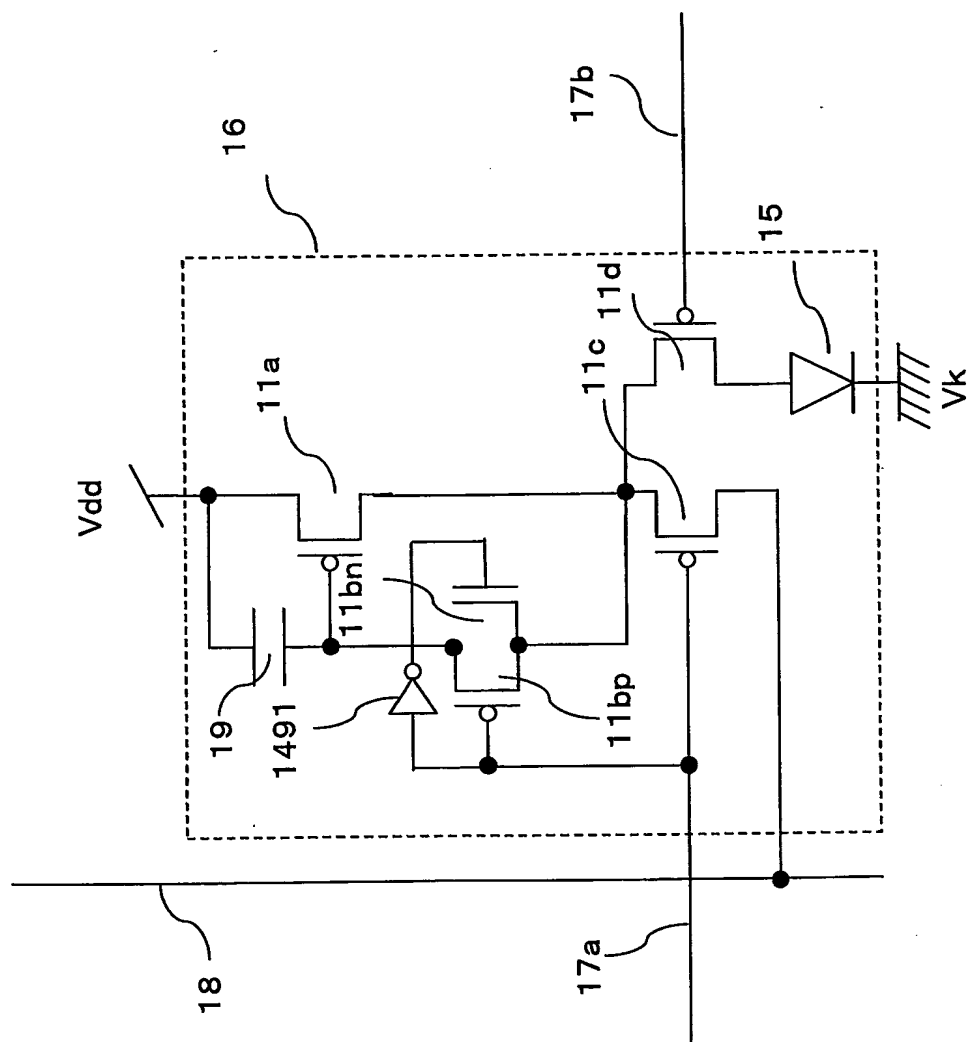


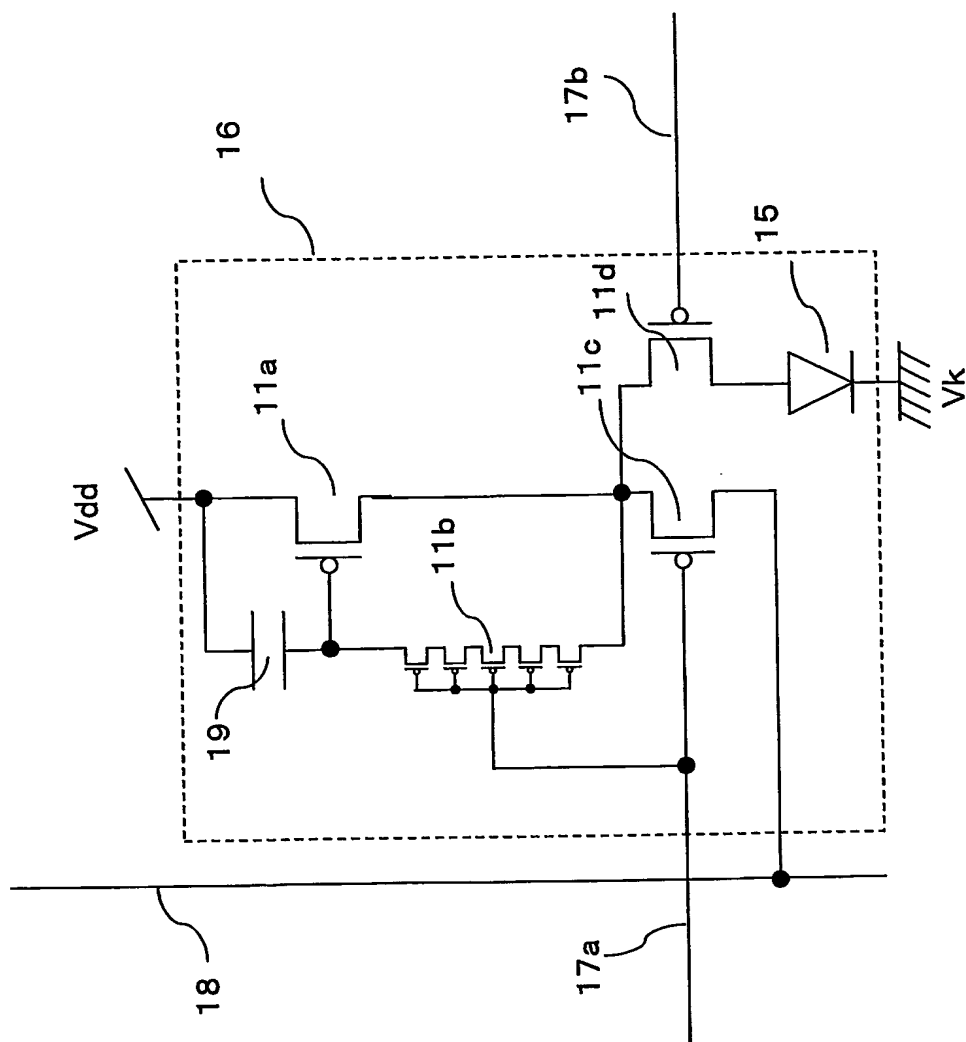
圖 148 第

149/189

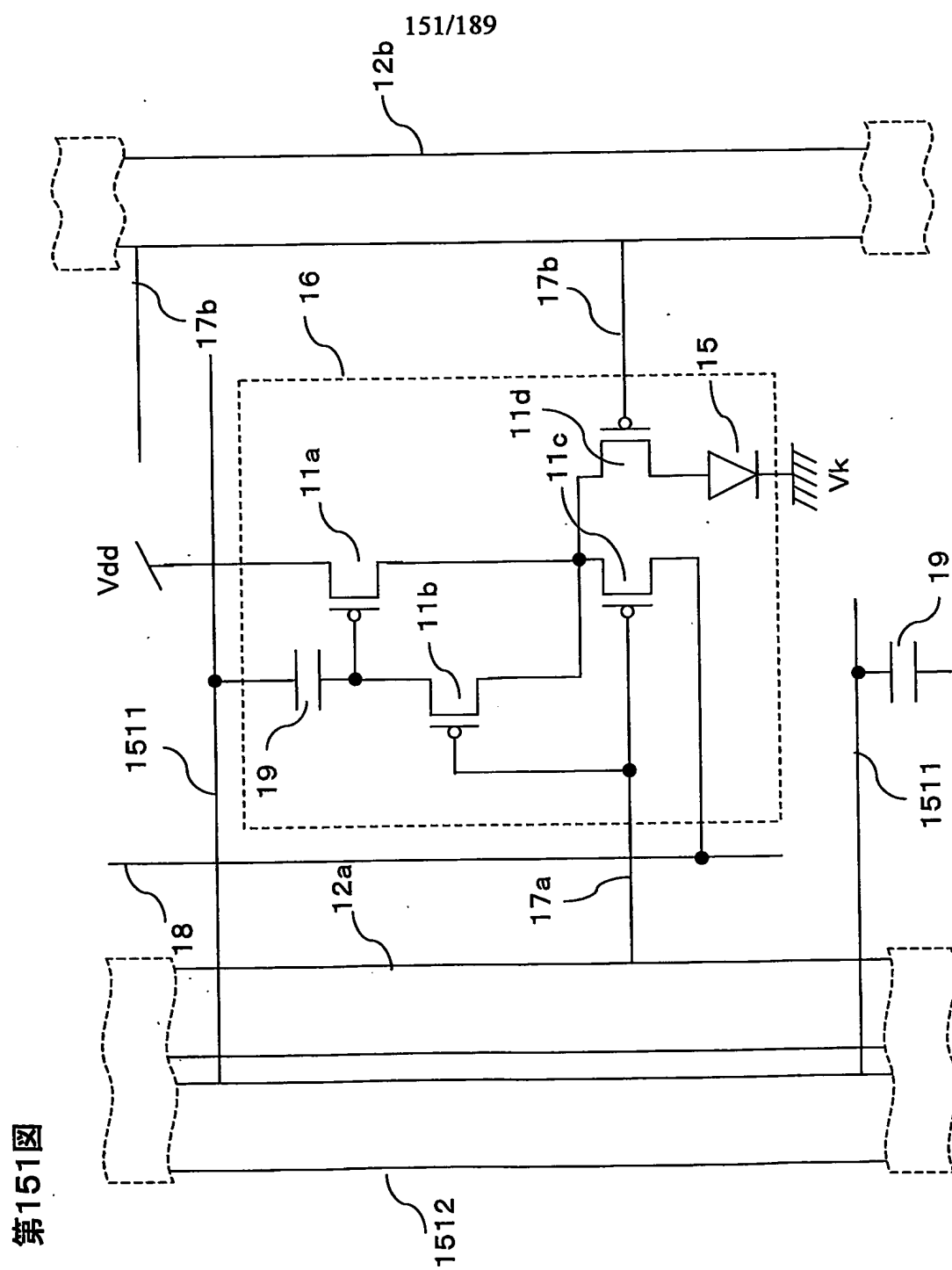


圖集149

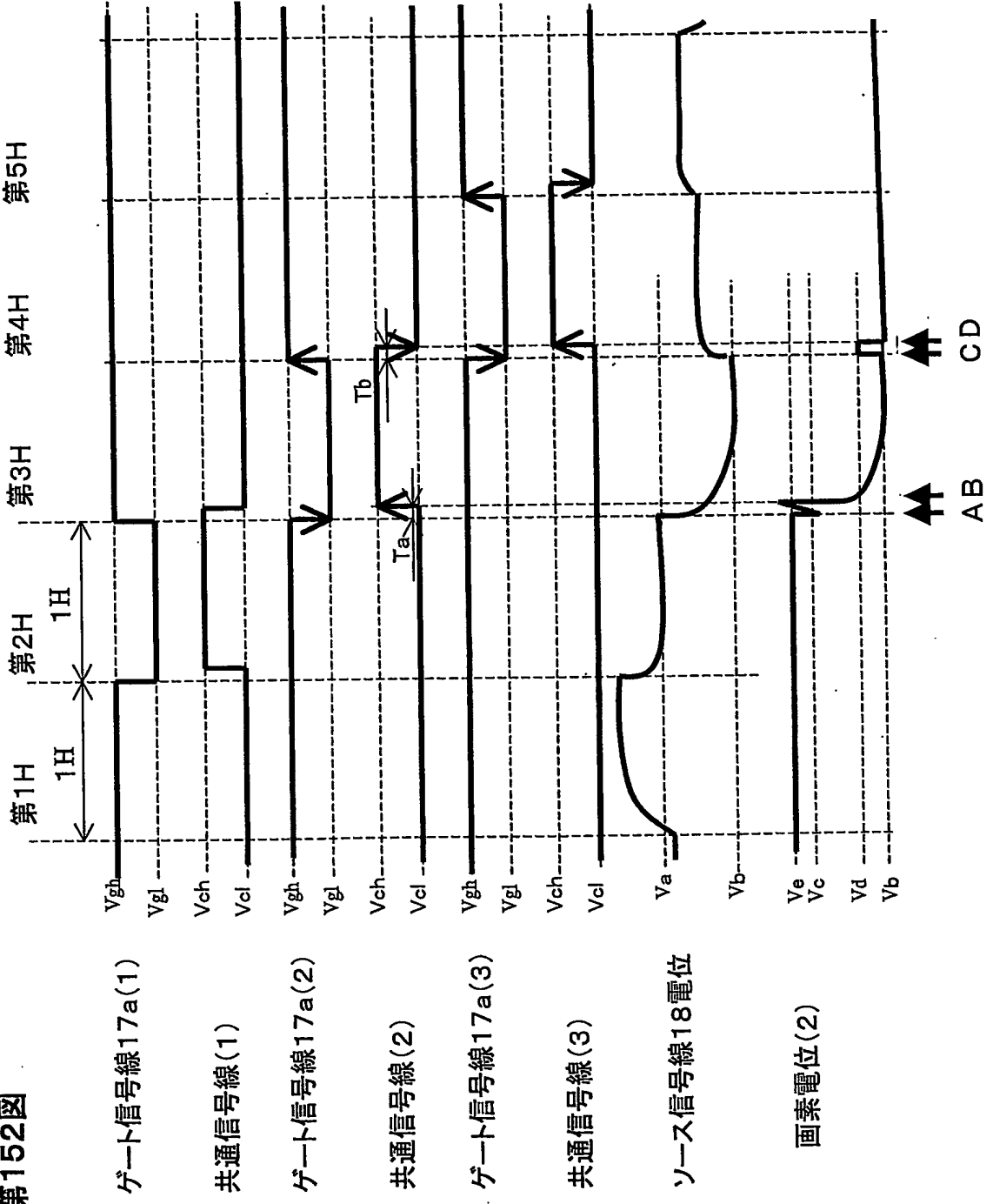
150/189

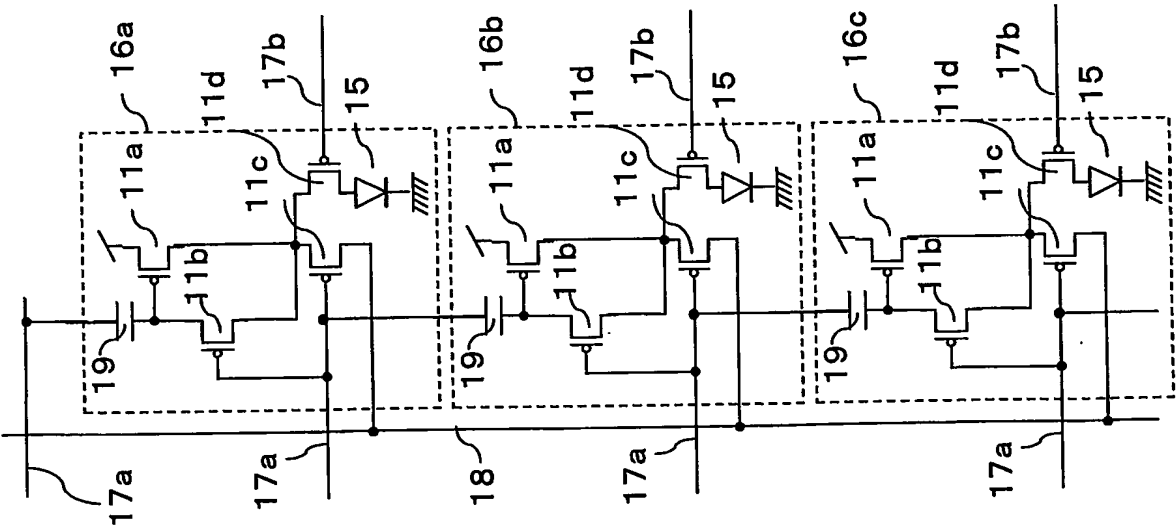


第150図



第152図





第153図

第154図

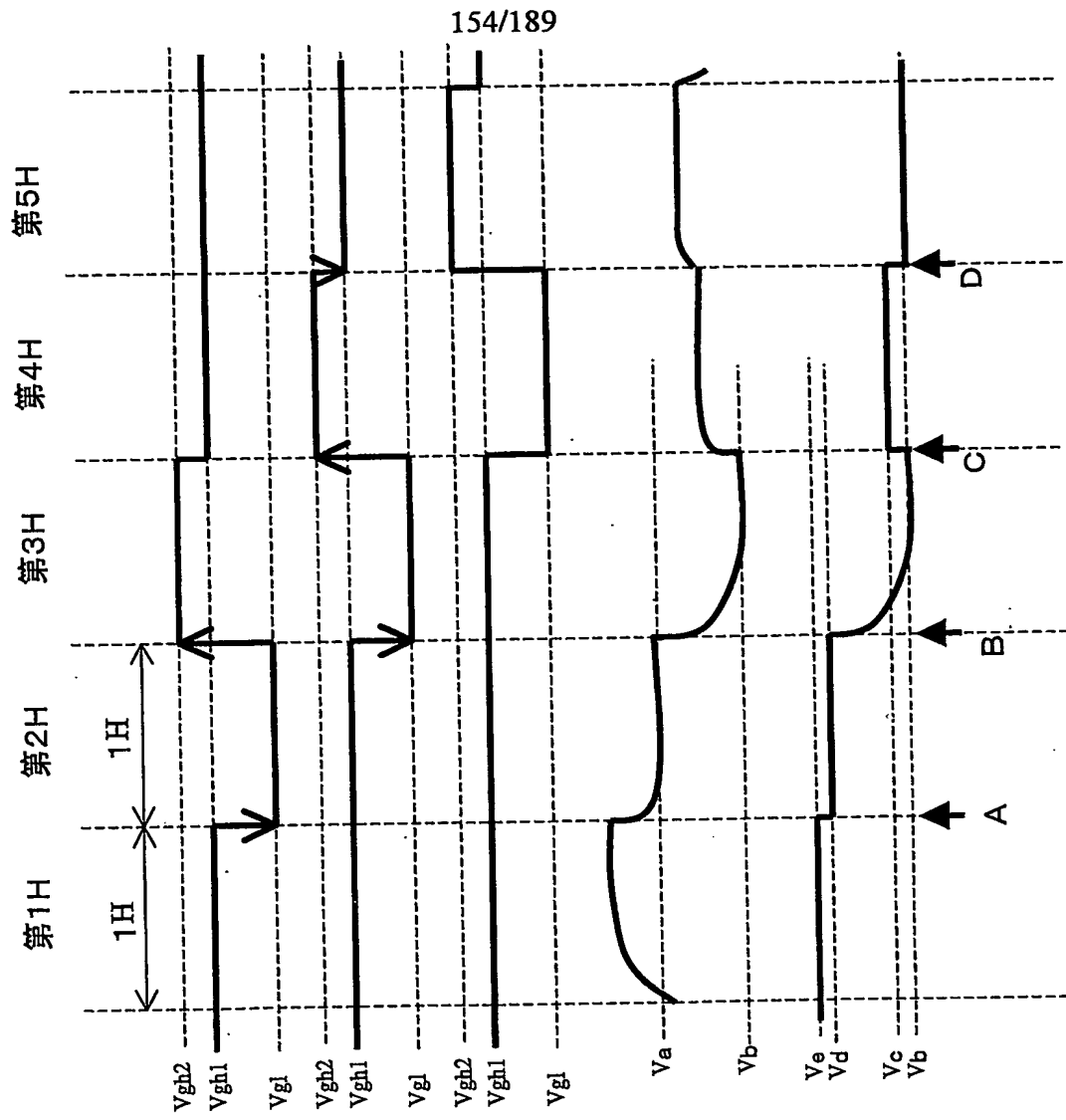
ゲート信号線17a(1)

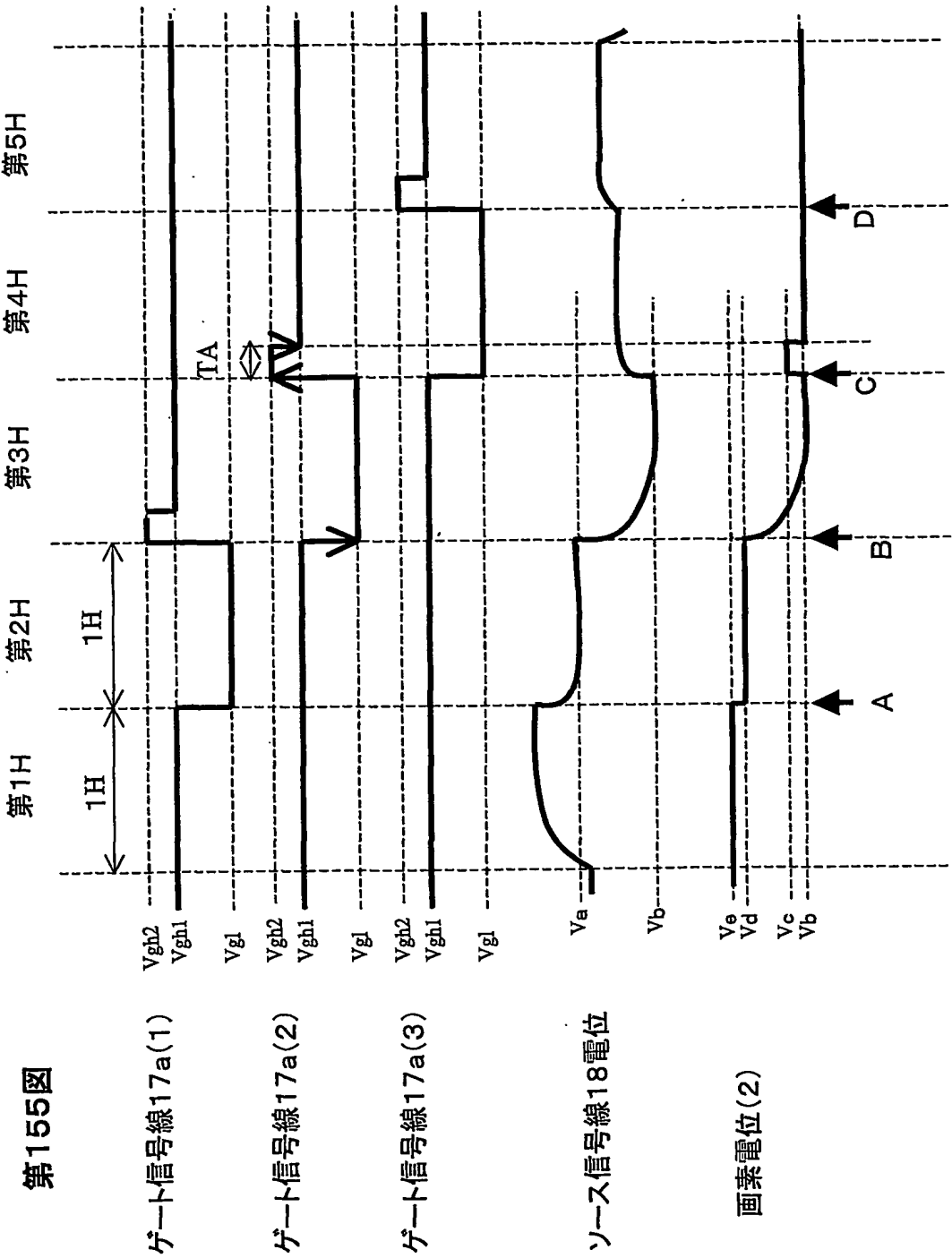
ゲート信号線17a(2)

ゲート信号線17a(3)

ソース信号線18電位

画素電位(2)





156/189

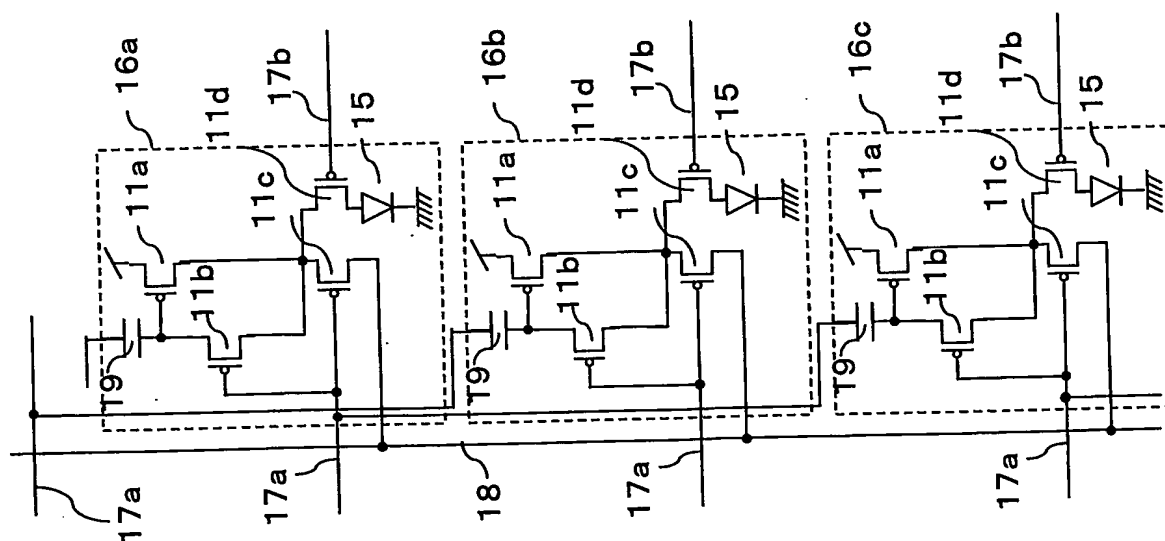
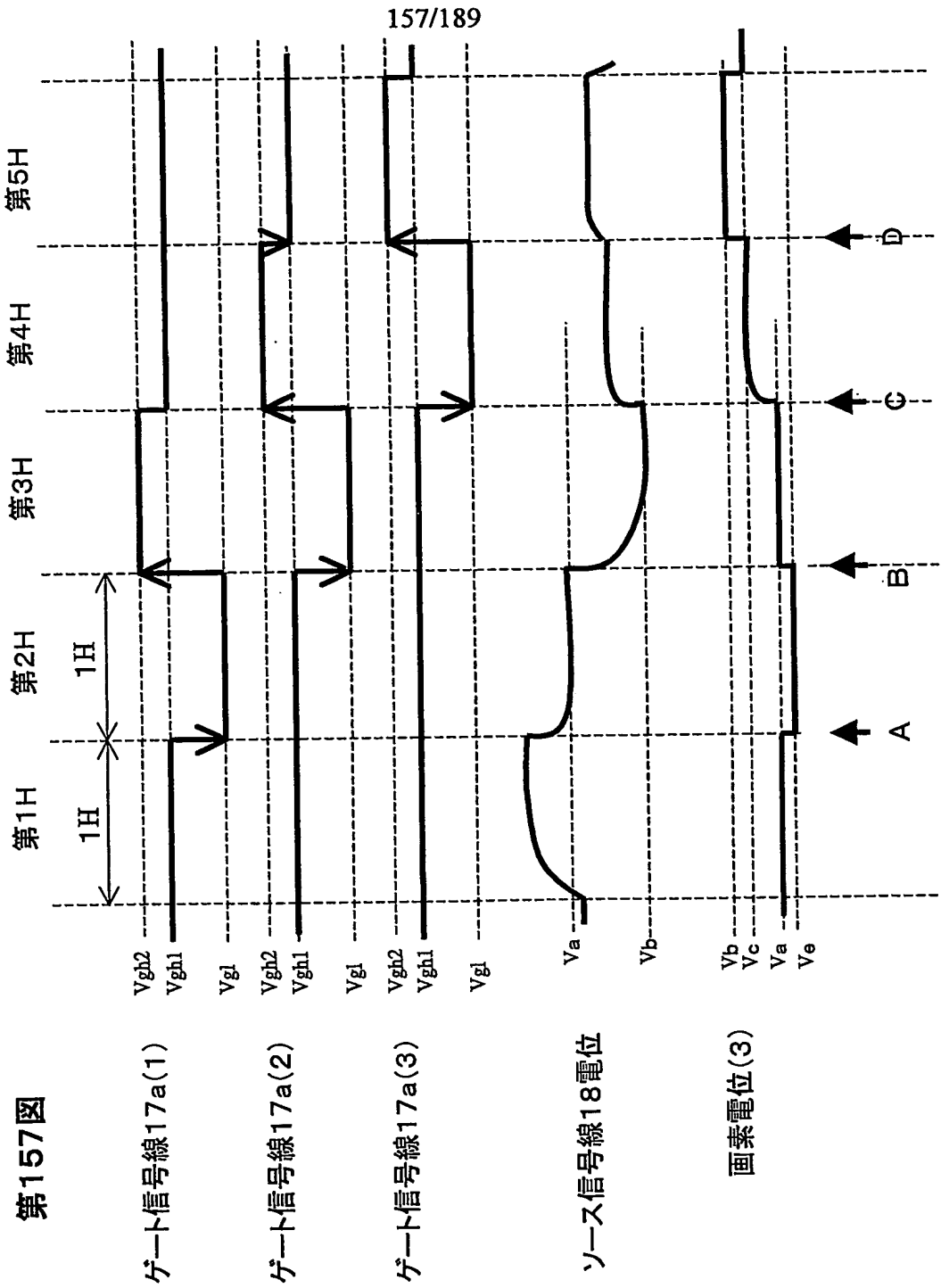
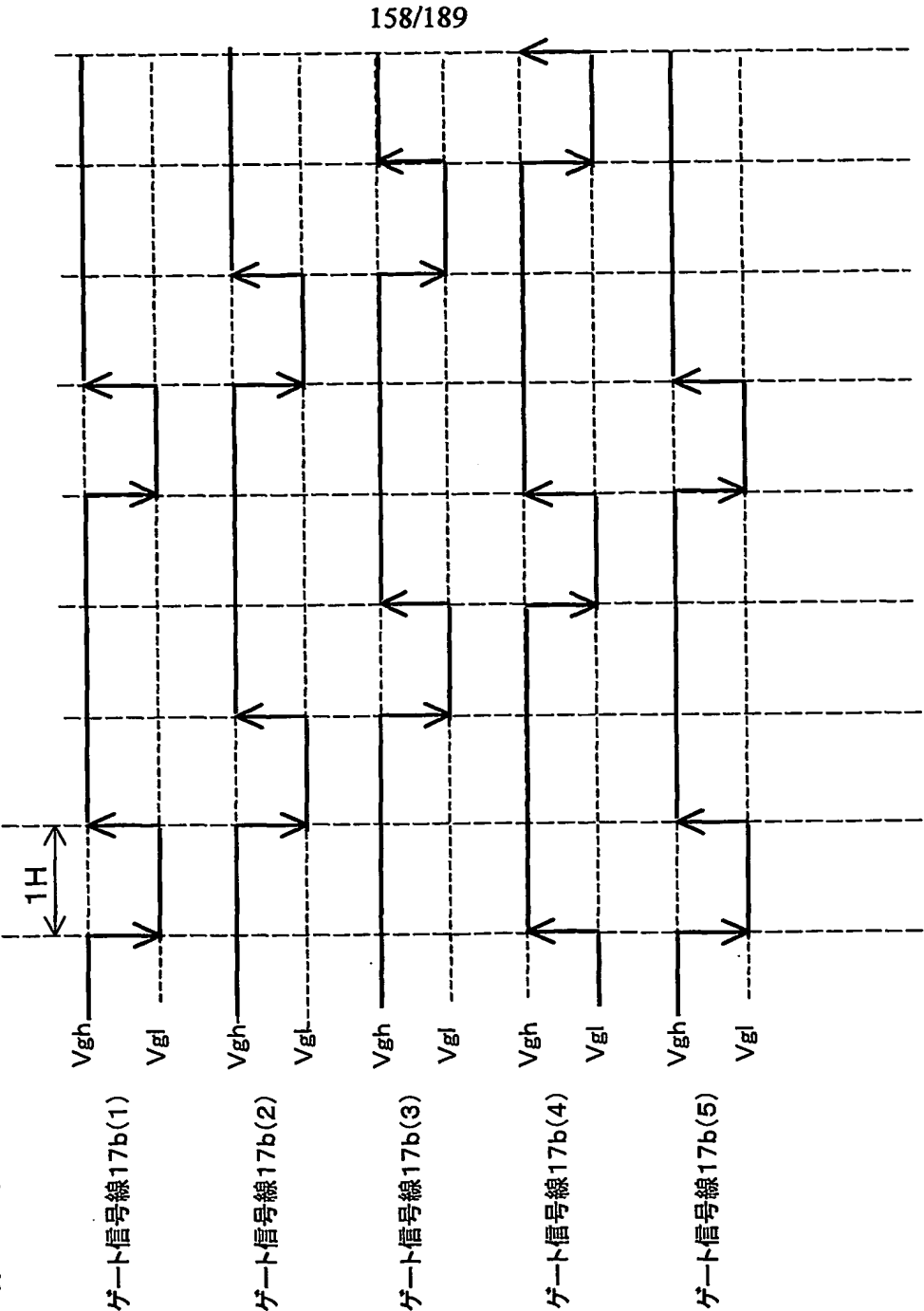
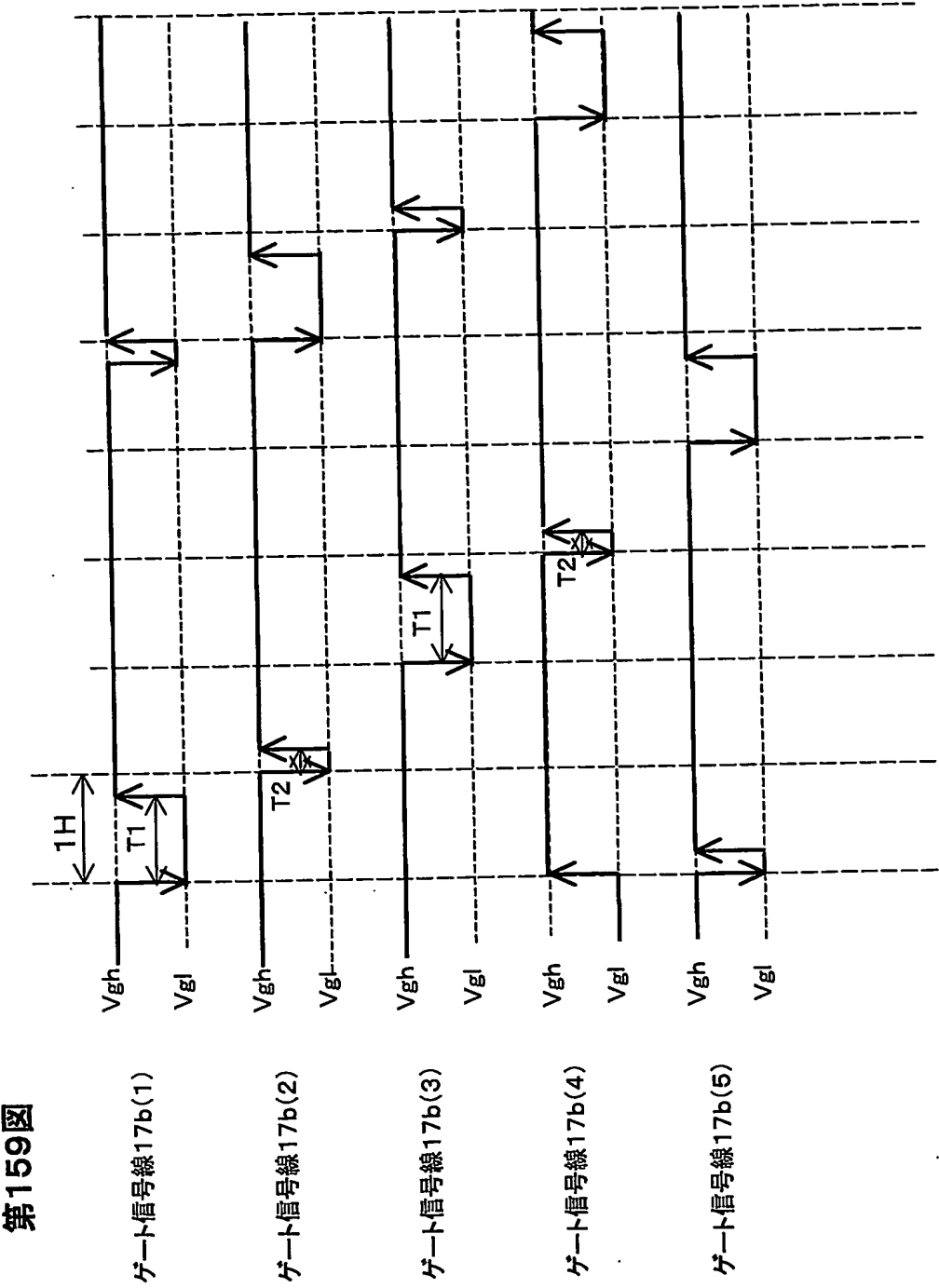


圖 156 集



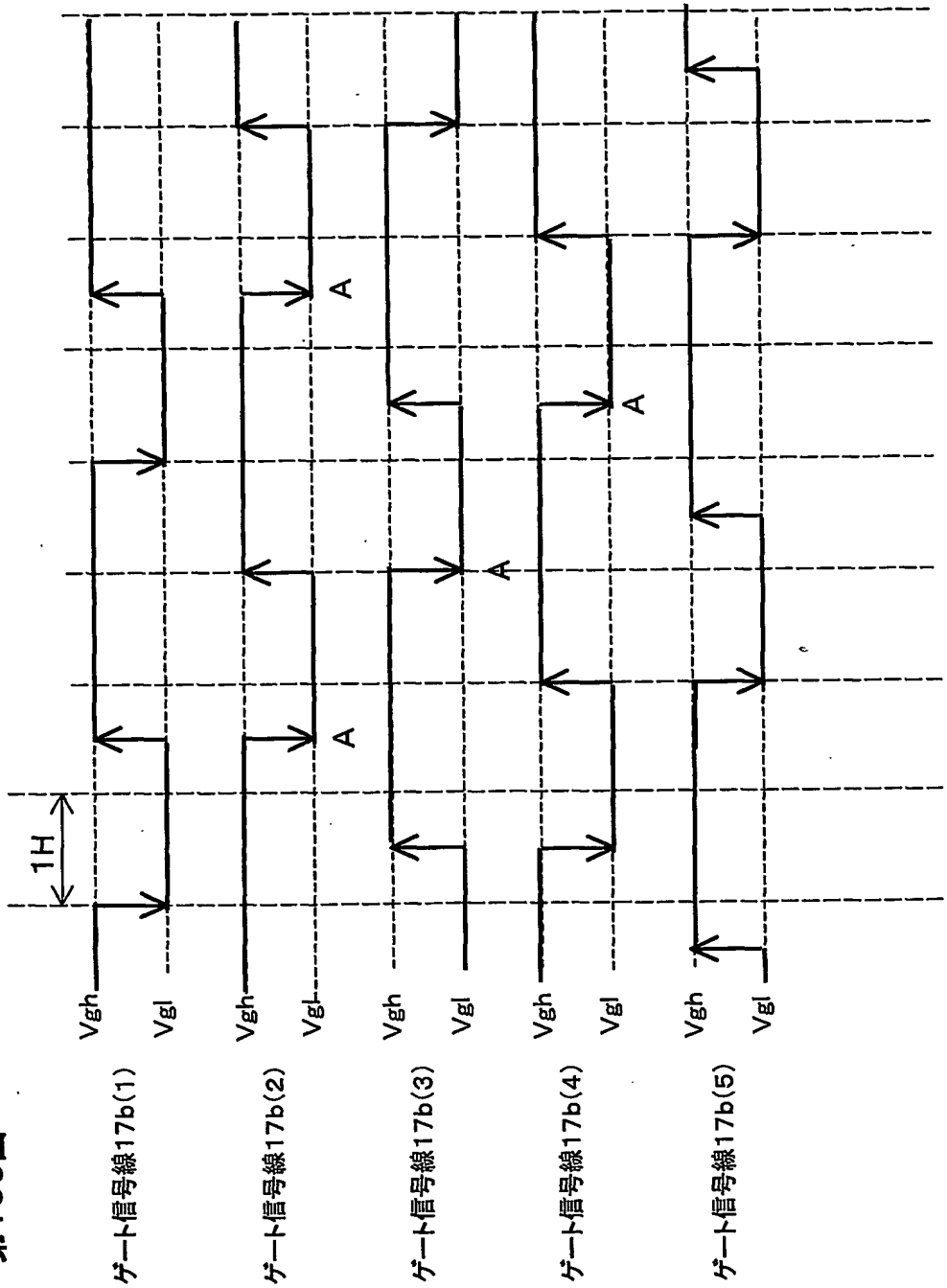
第158図





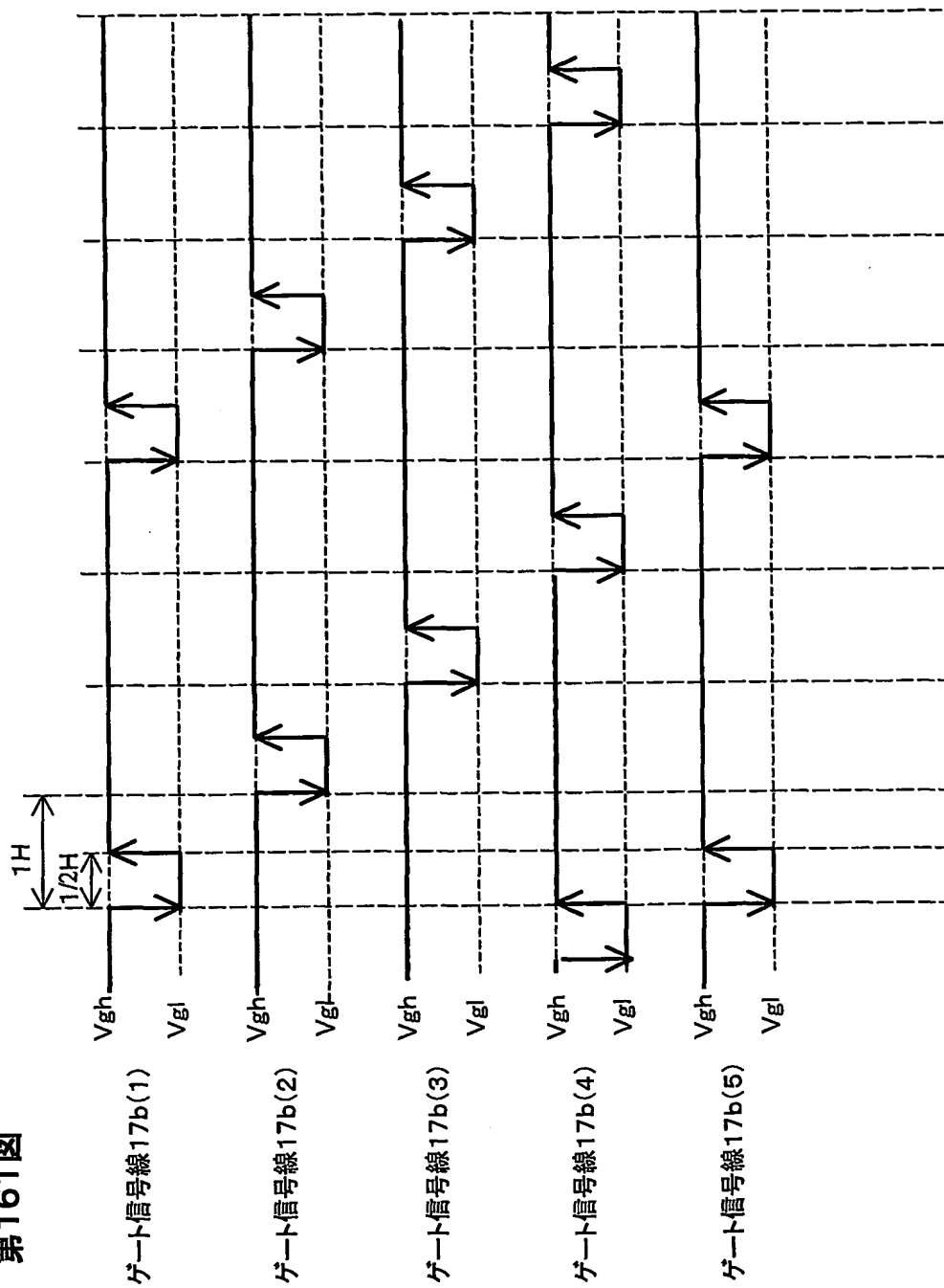
160/189

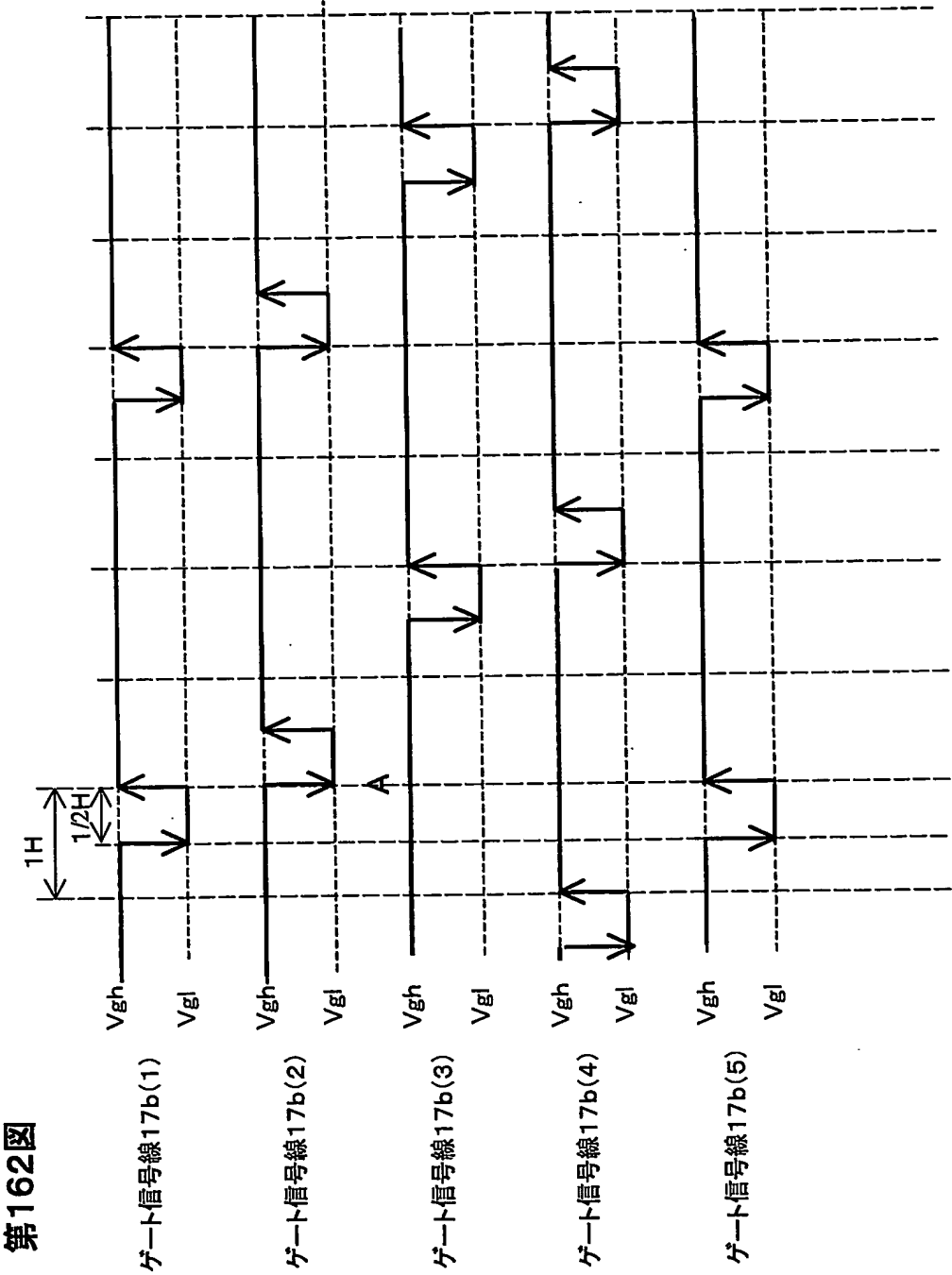
第160図



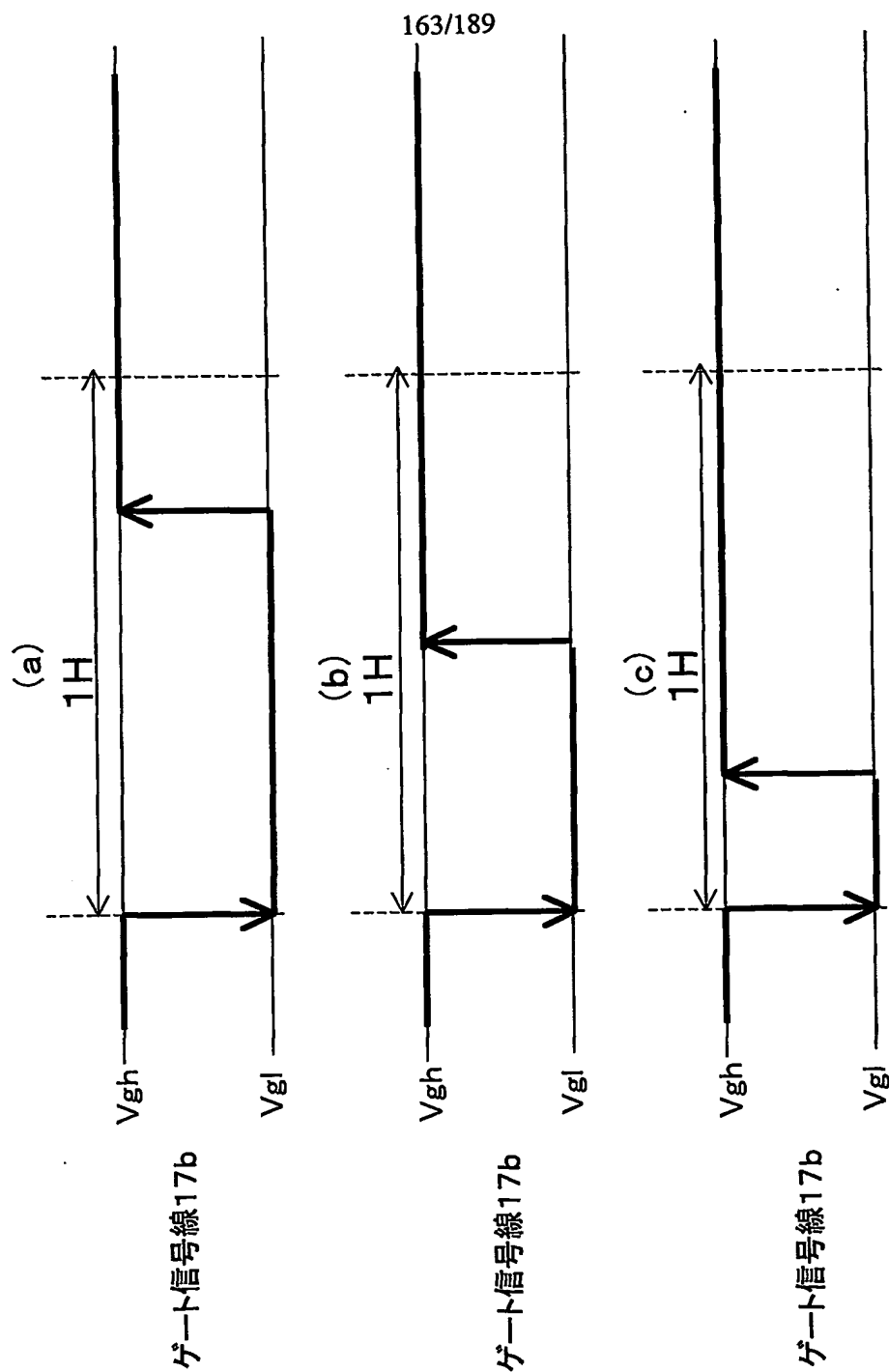
161/189

第161図

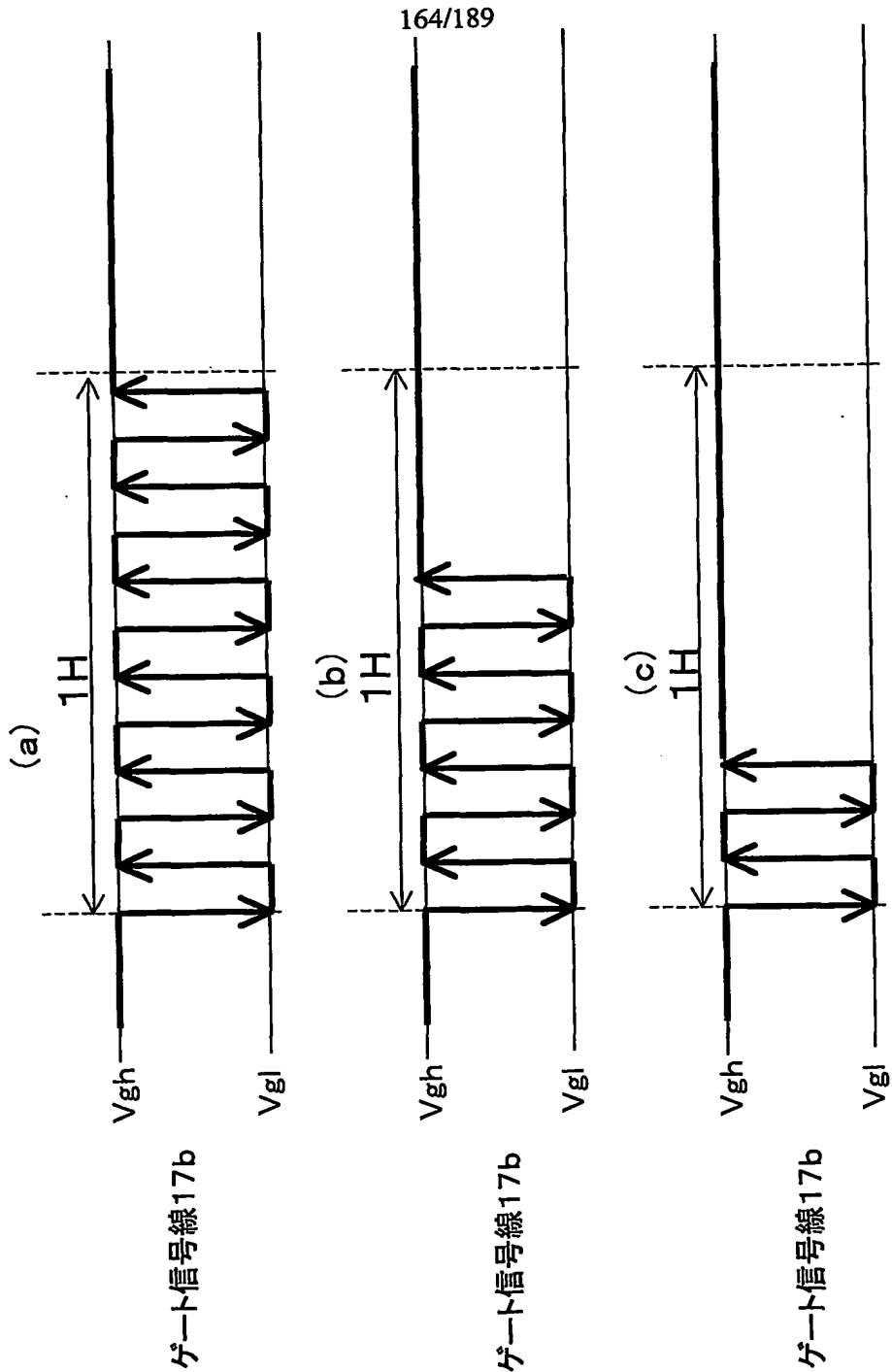




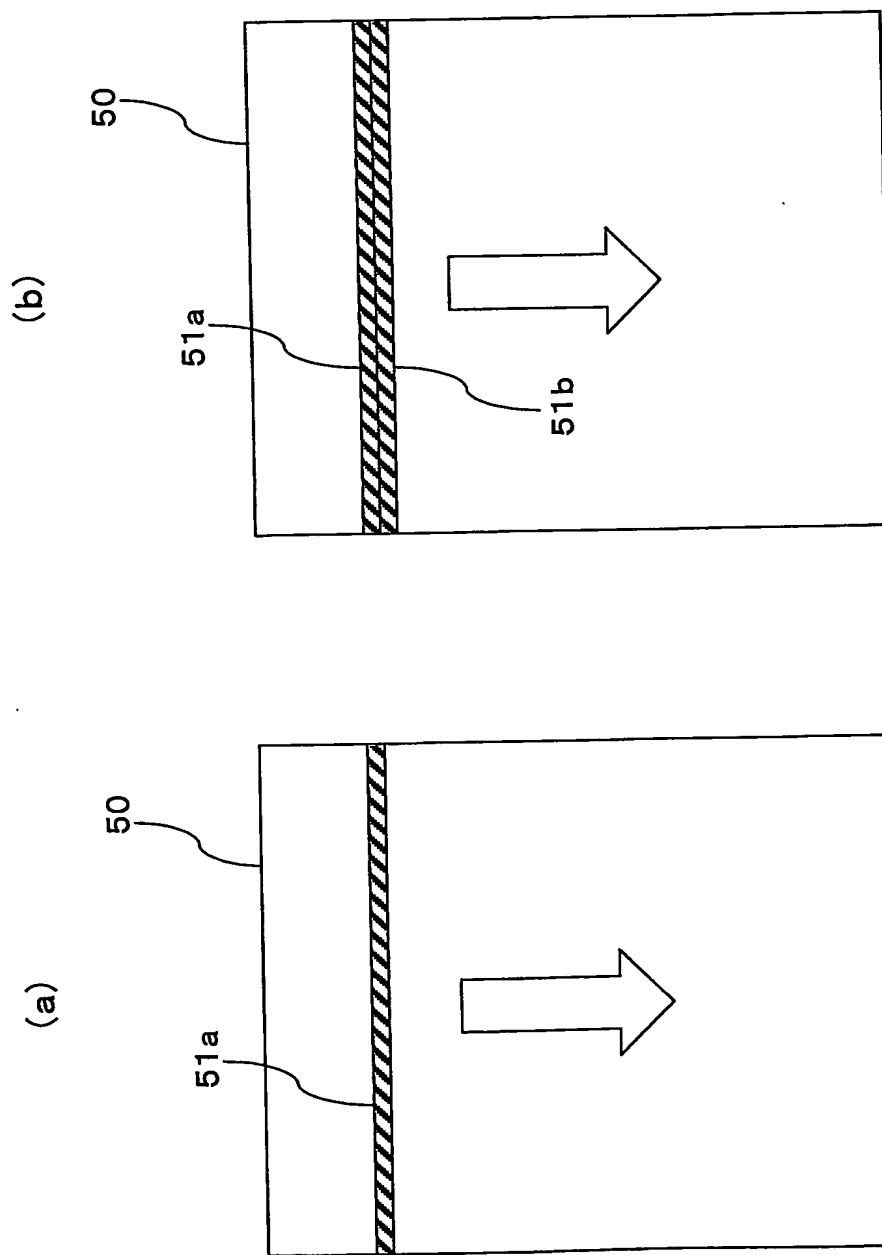
第163図



第164図

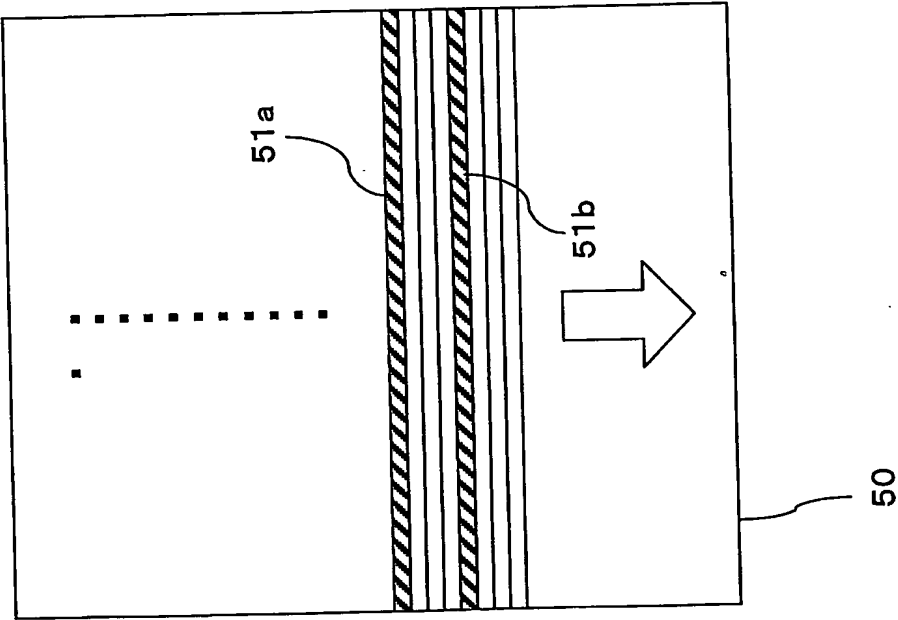


165/189

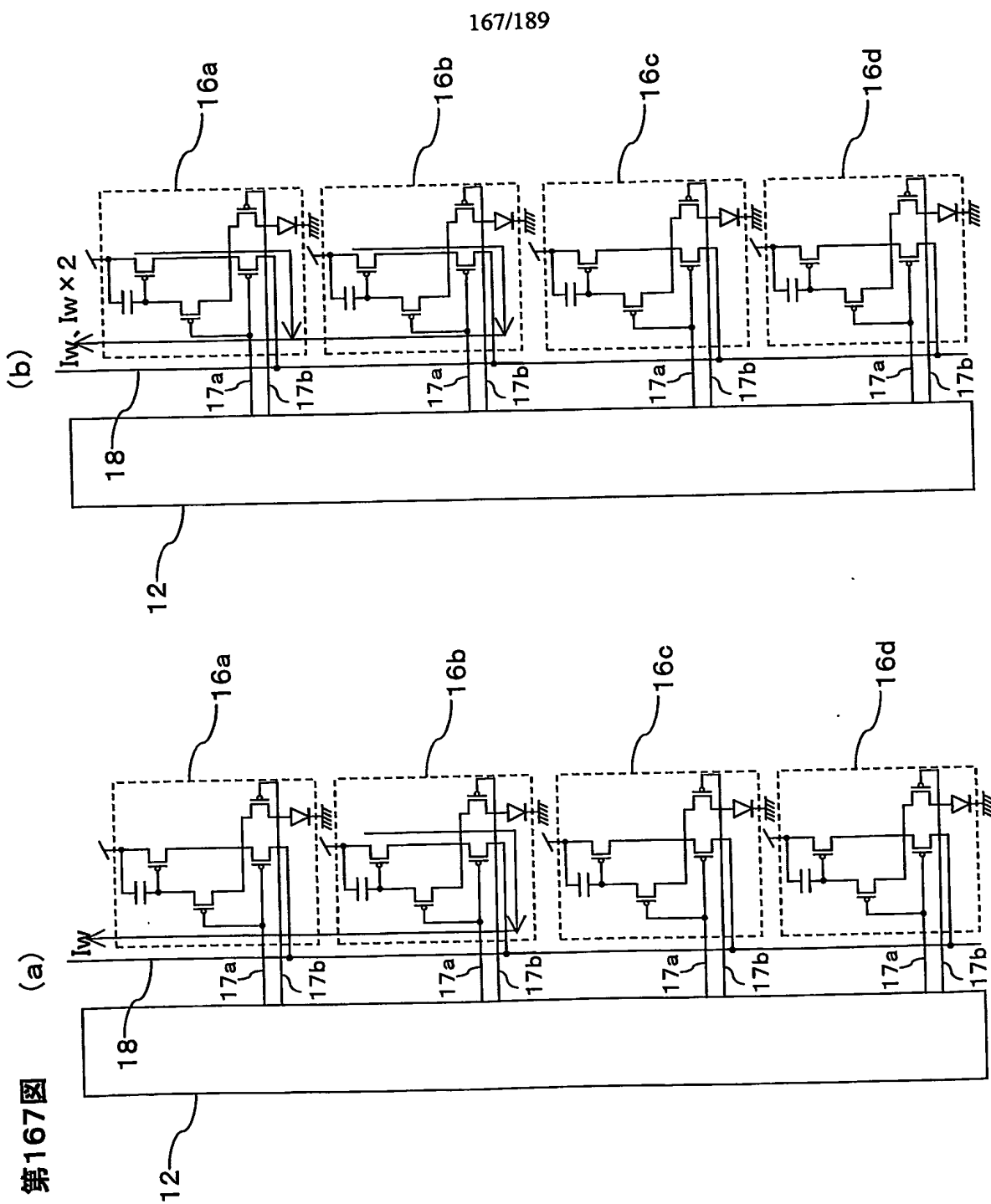


第165図

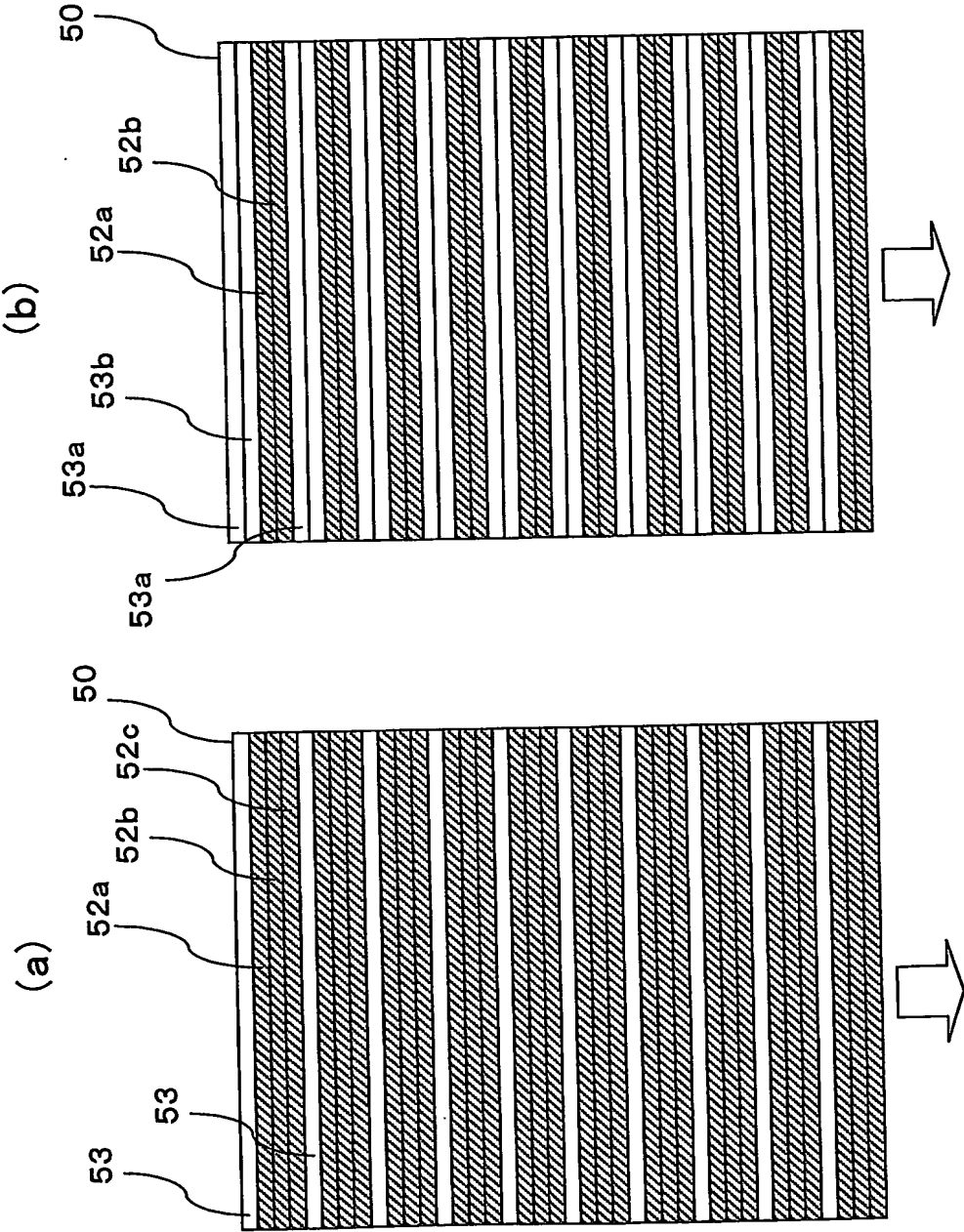
166/189



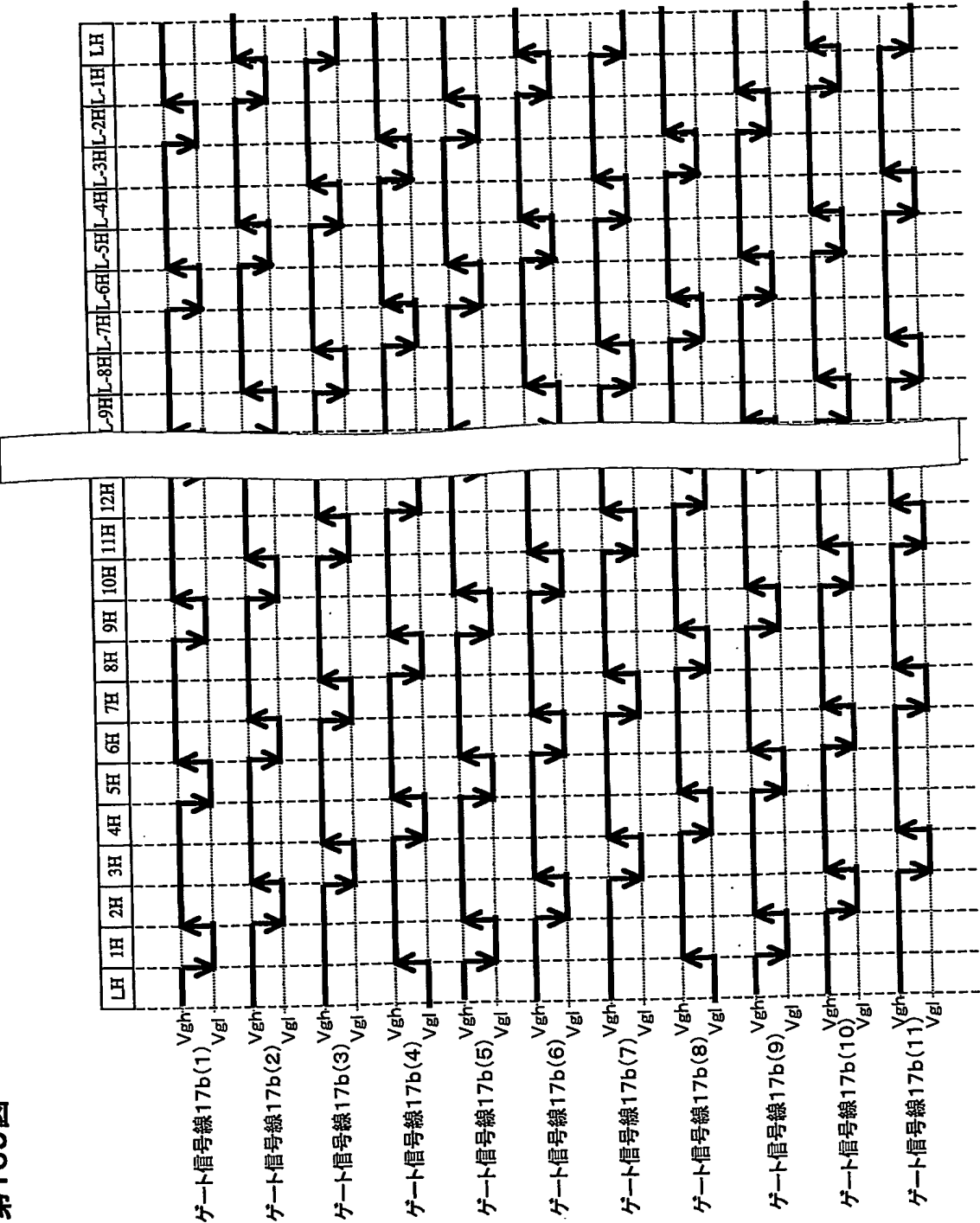
第166図



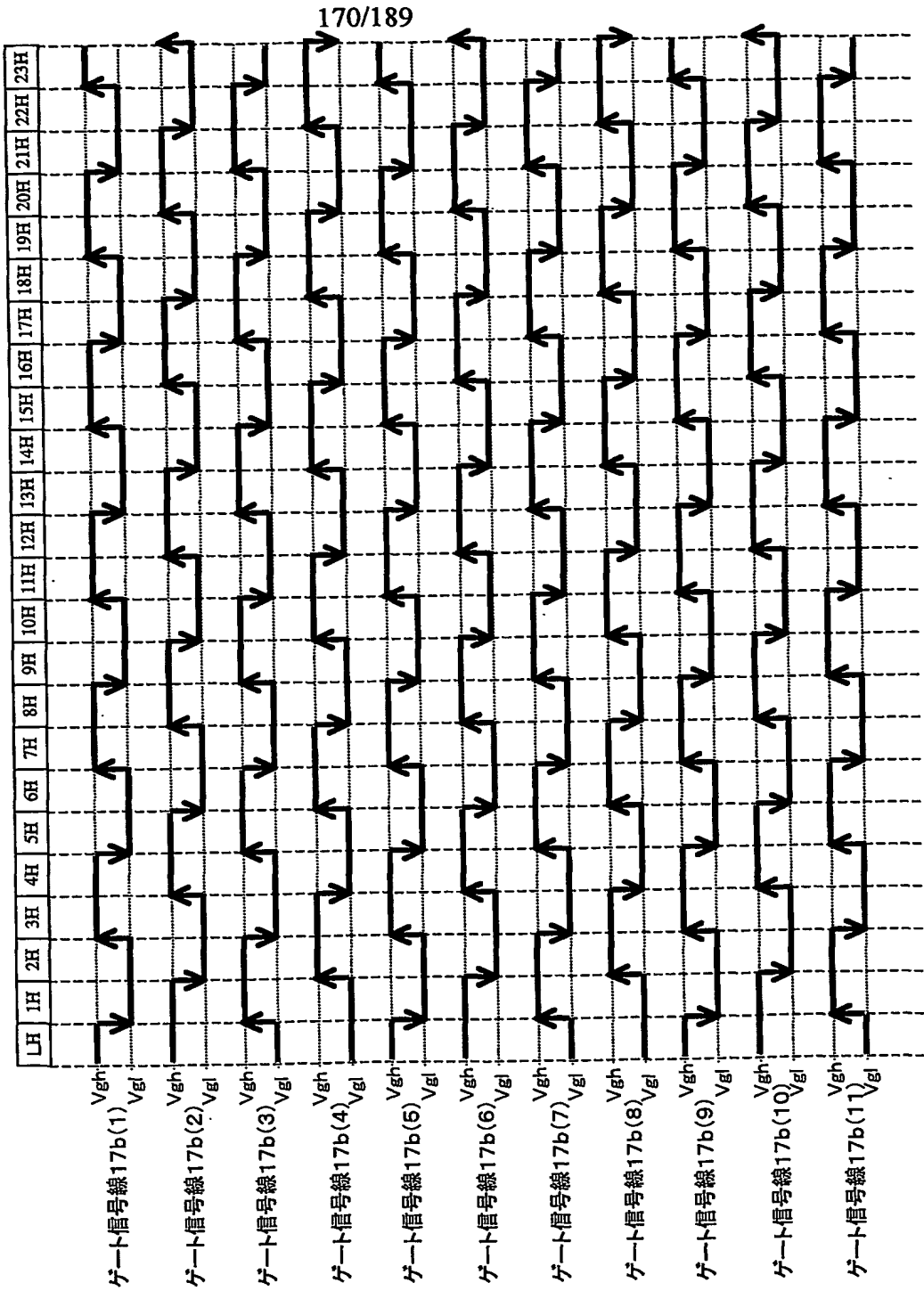
第168図



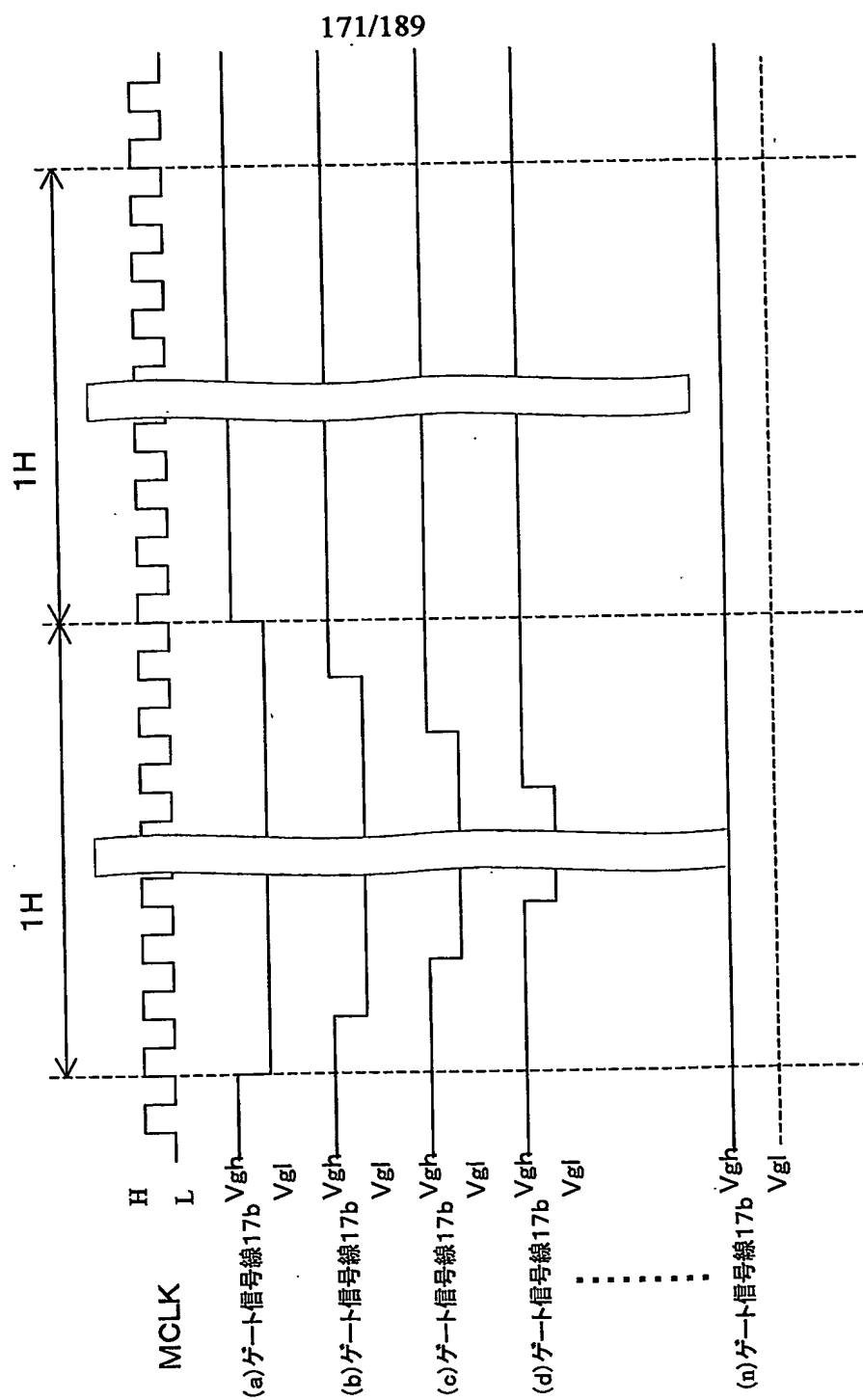
第169図



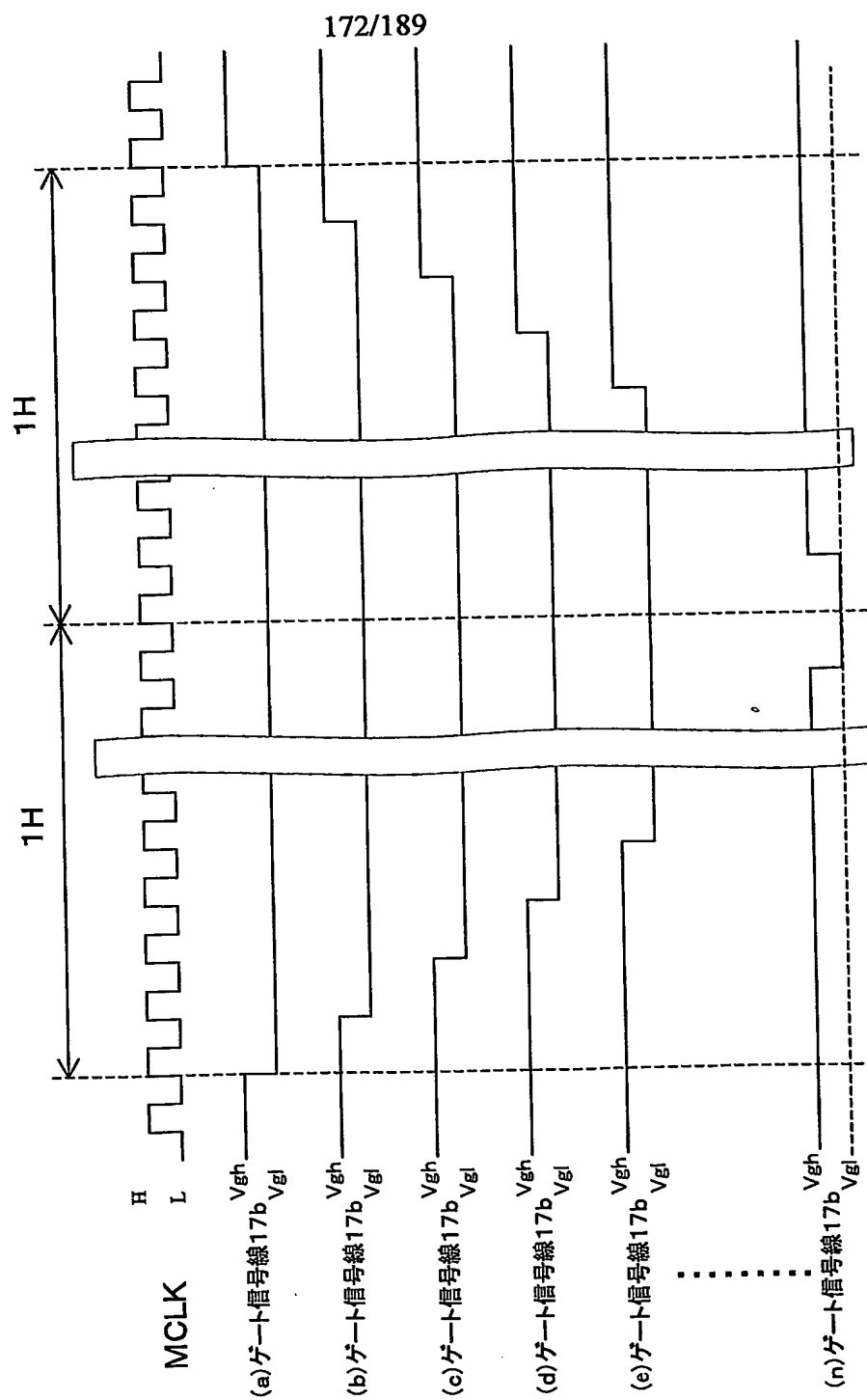
第170図



第171図

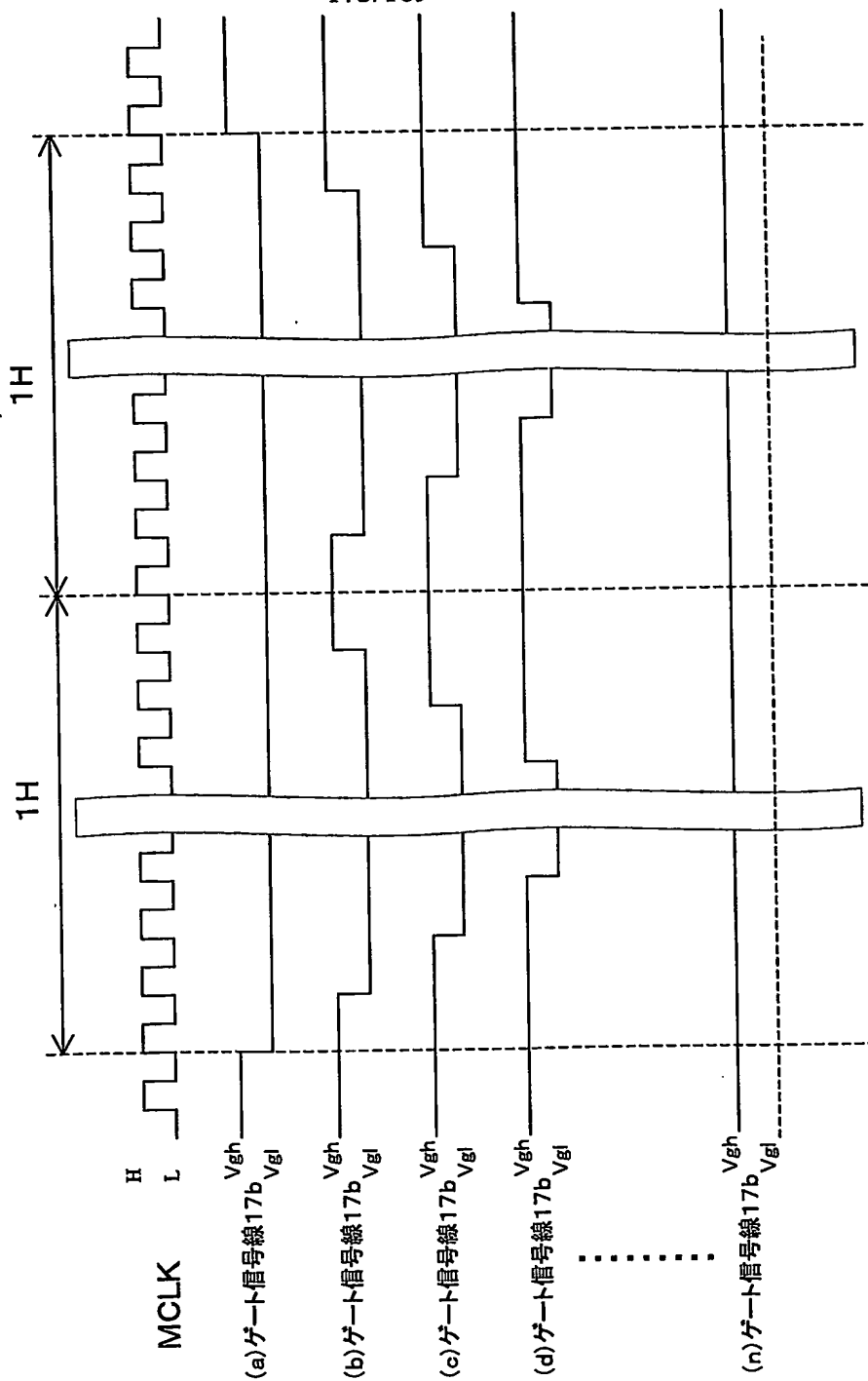


第172図

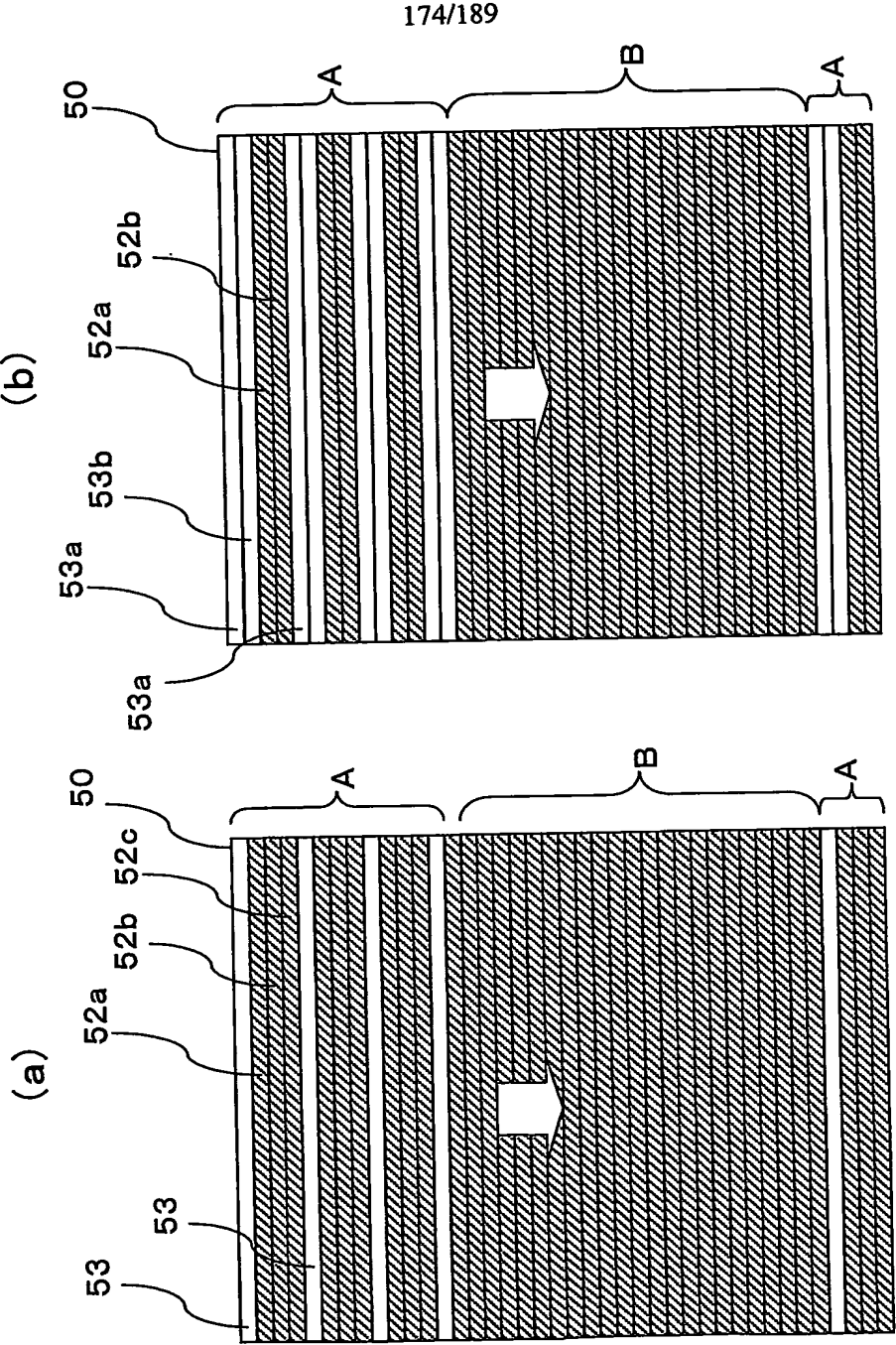


173/189

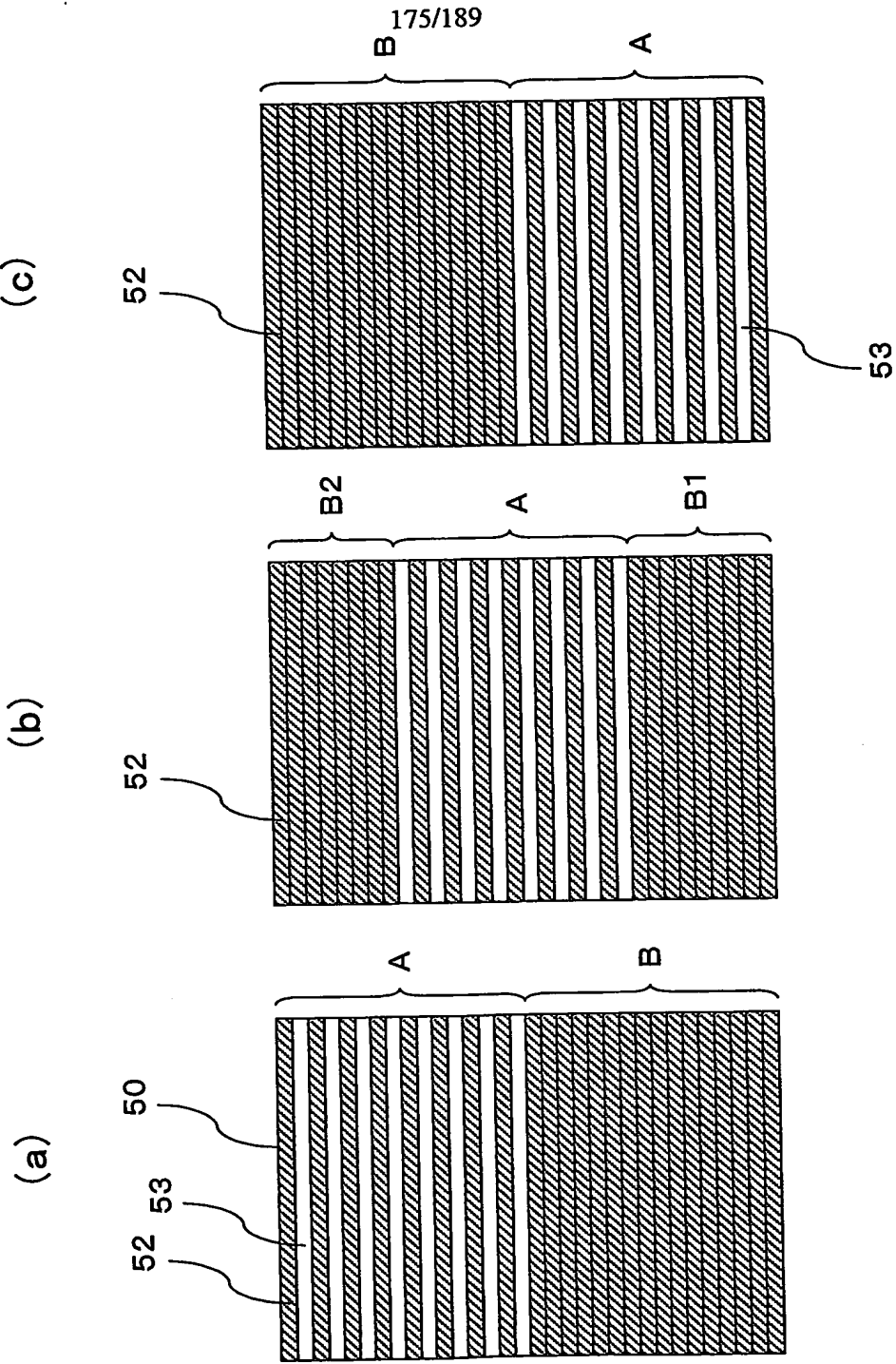
第173図

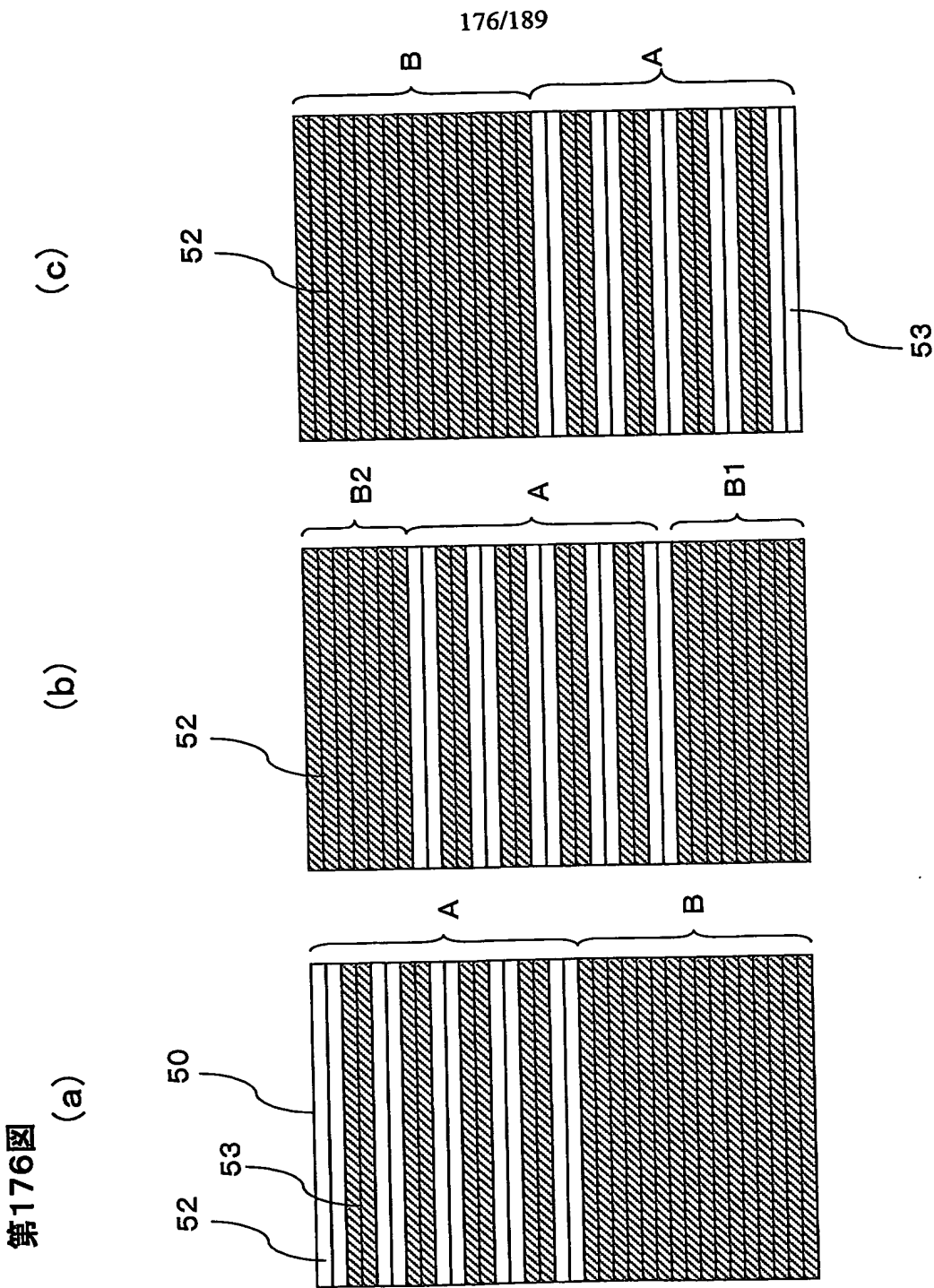


第174图



第175図





第177図

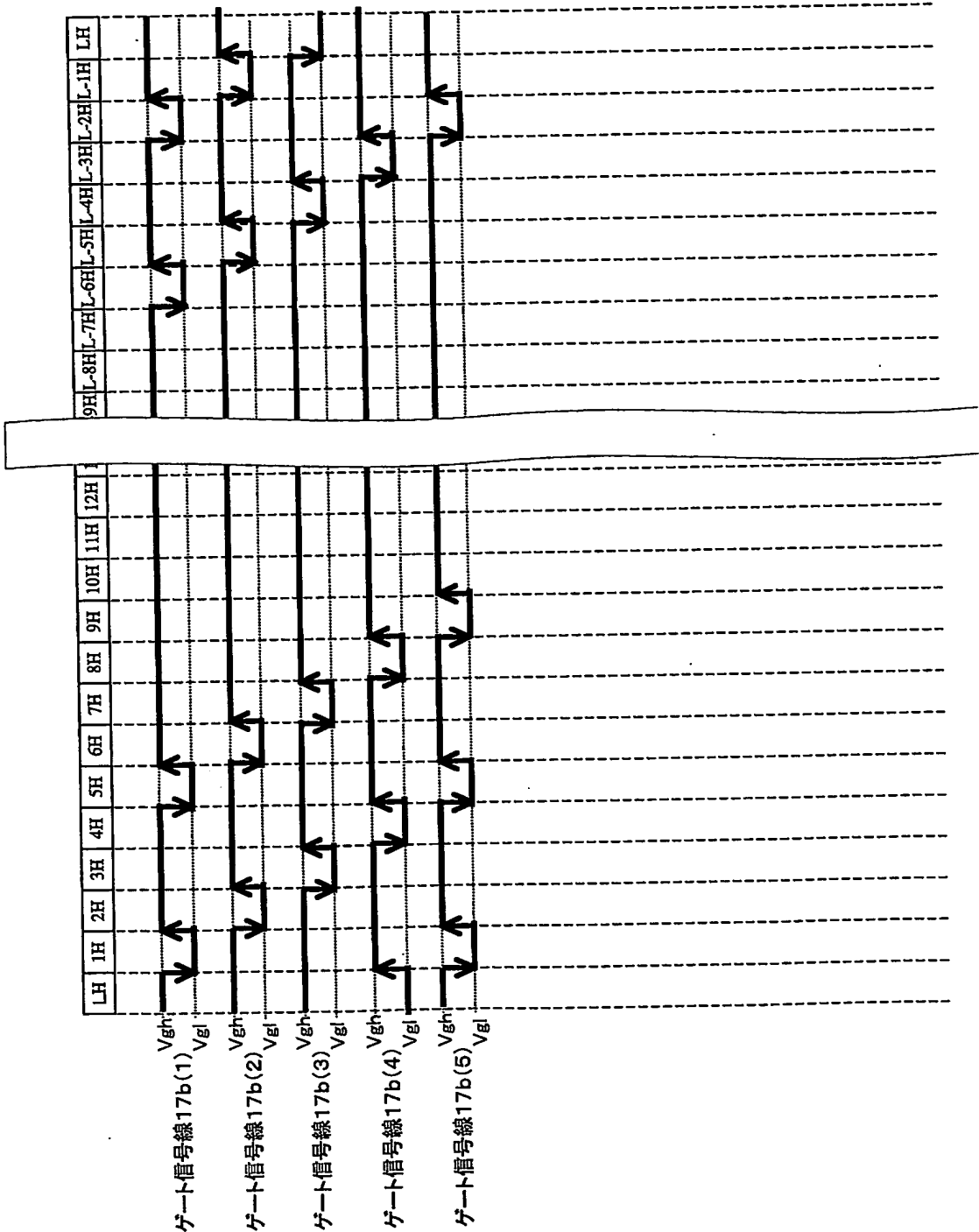
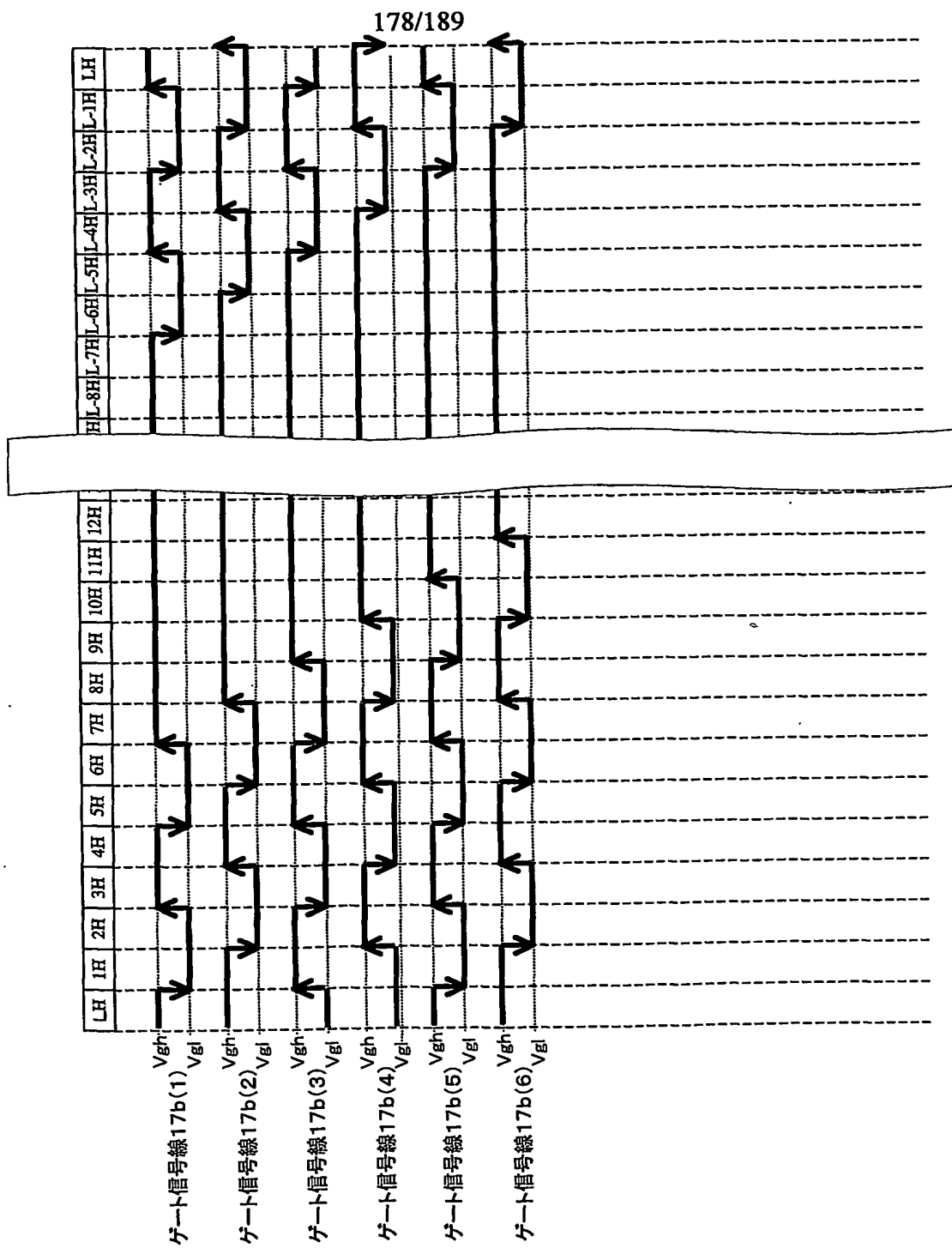
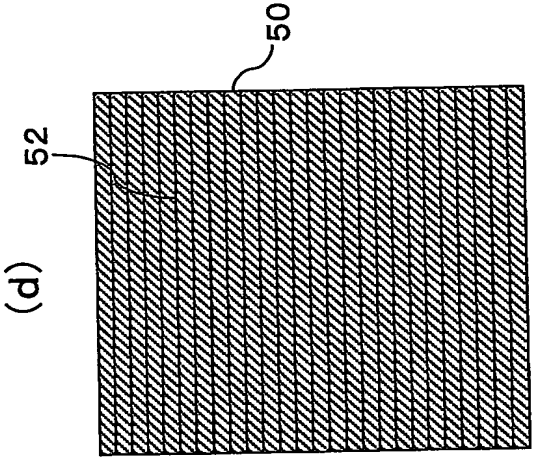
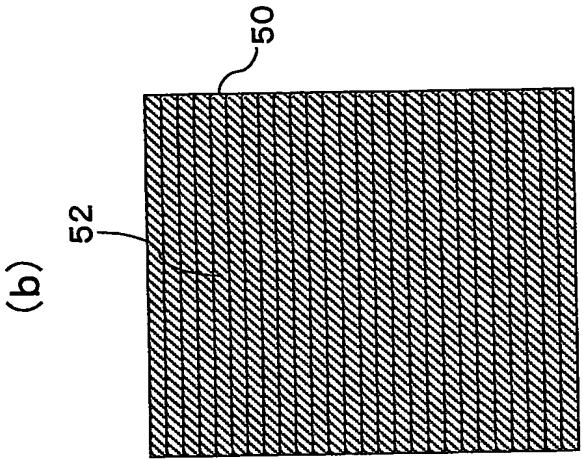
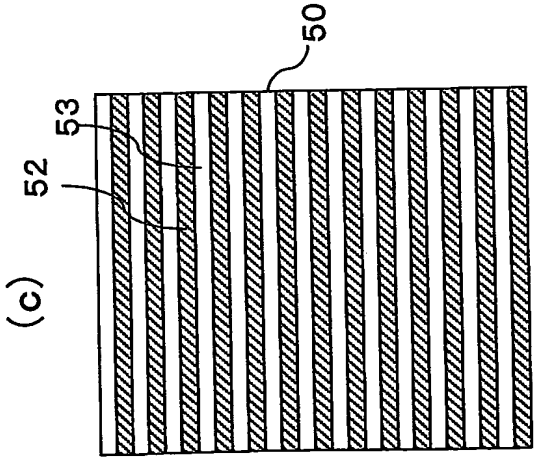
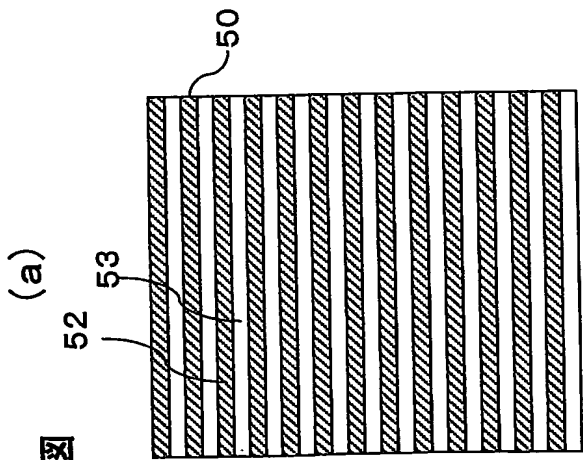


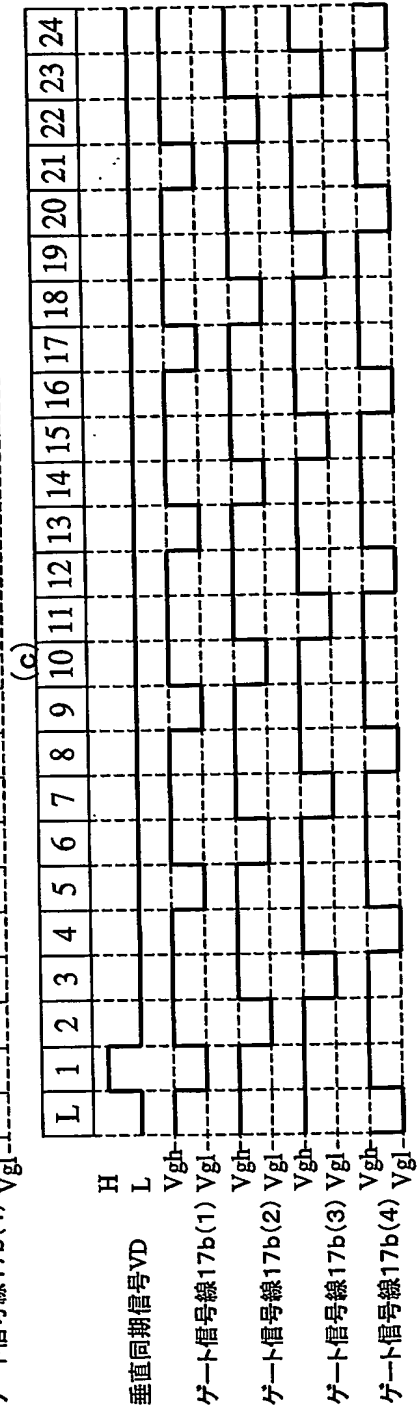
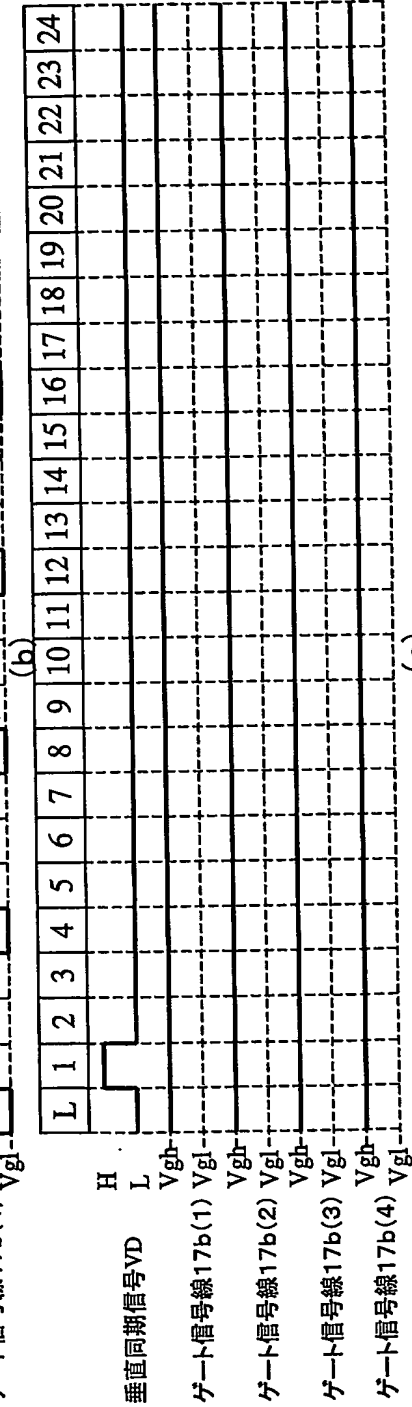
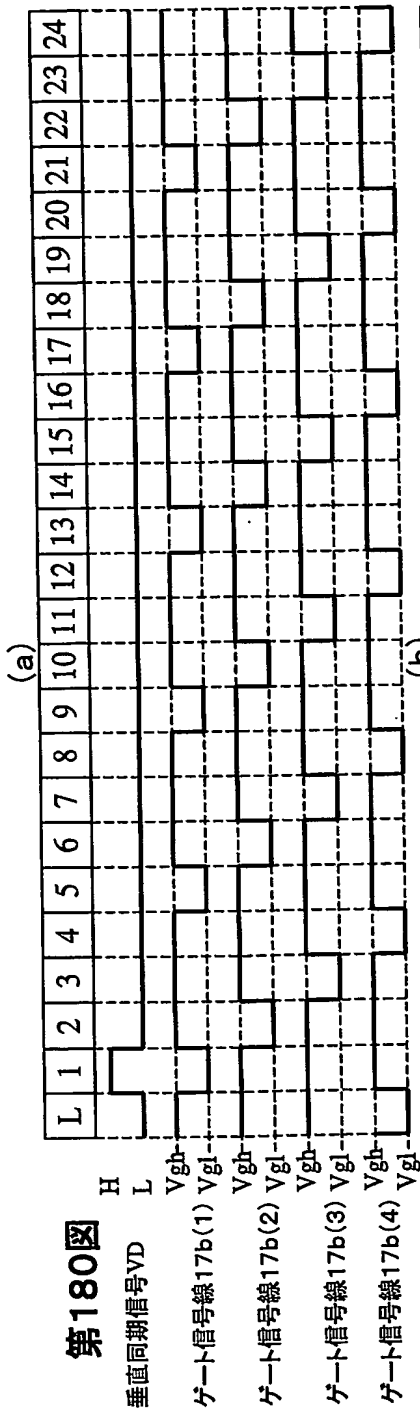
図 178 集





第179図

第180図



第181図

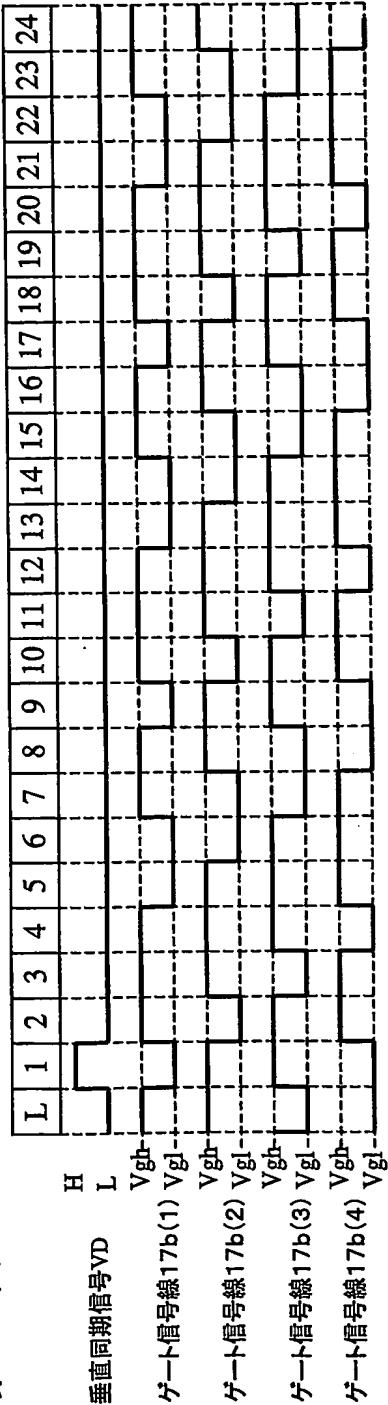
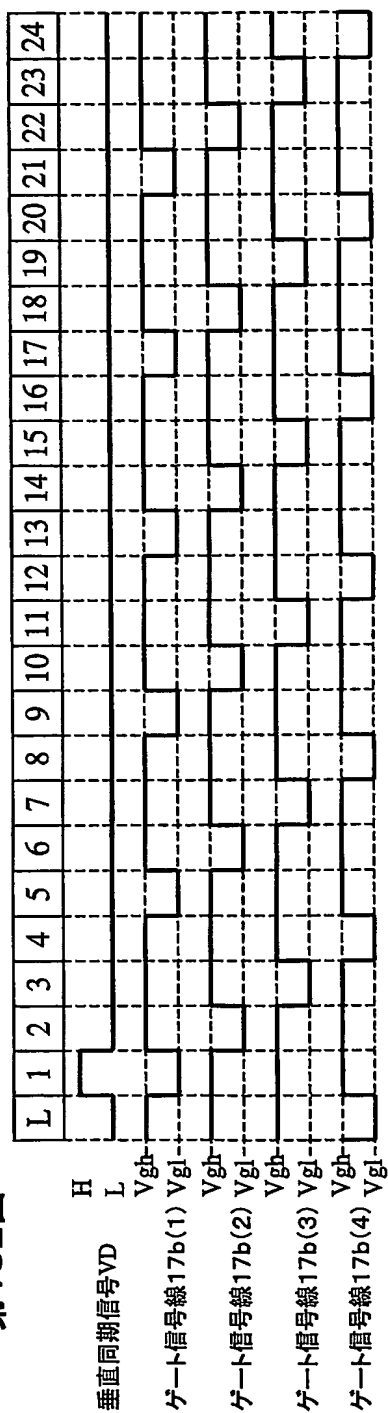


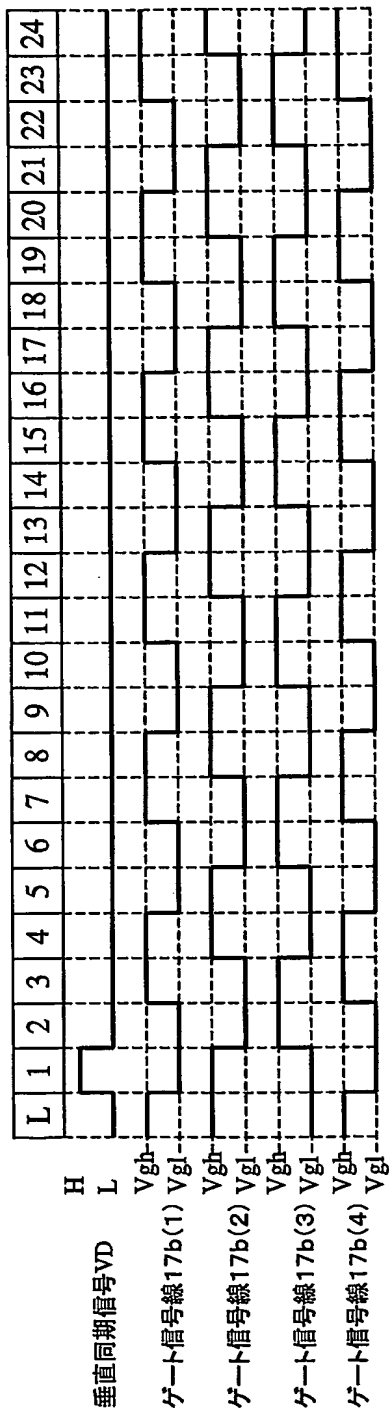
圖 182 鋸

(a)

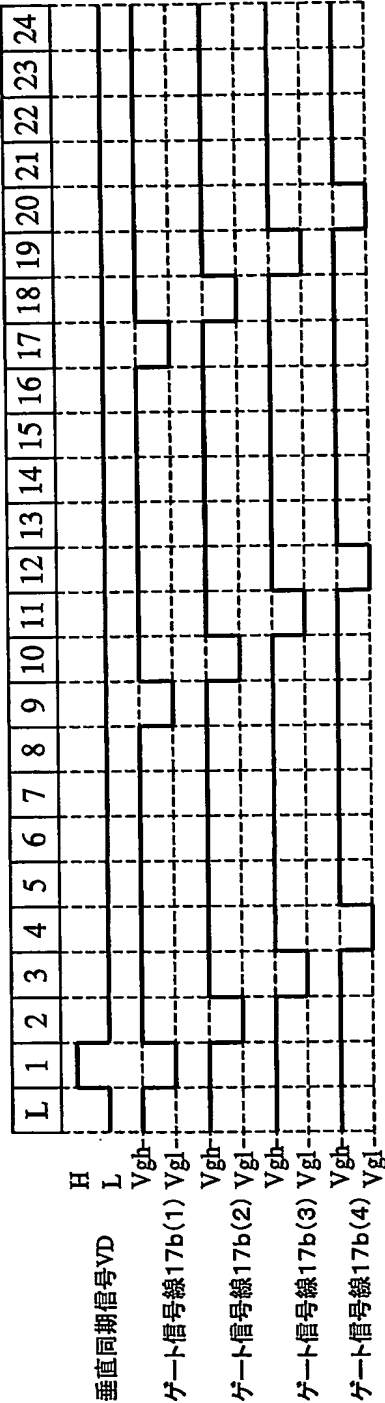


182/189

(५)



第183図



184/189

第184図

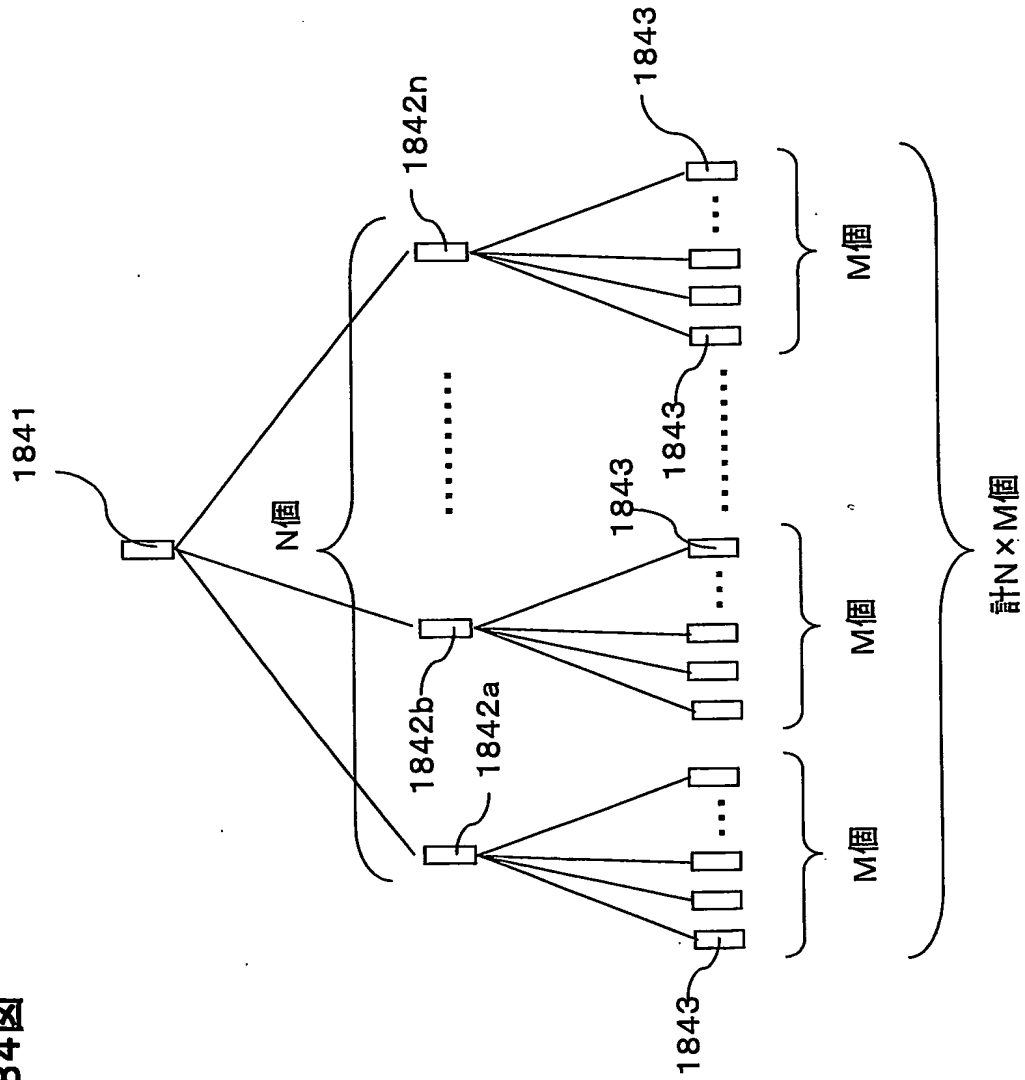
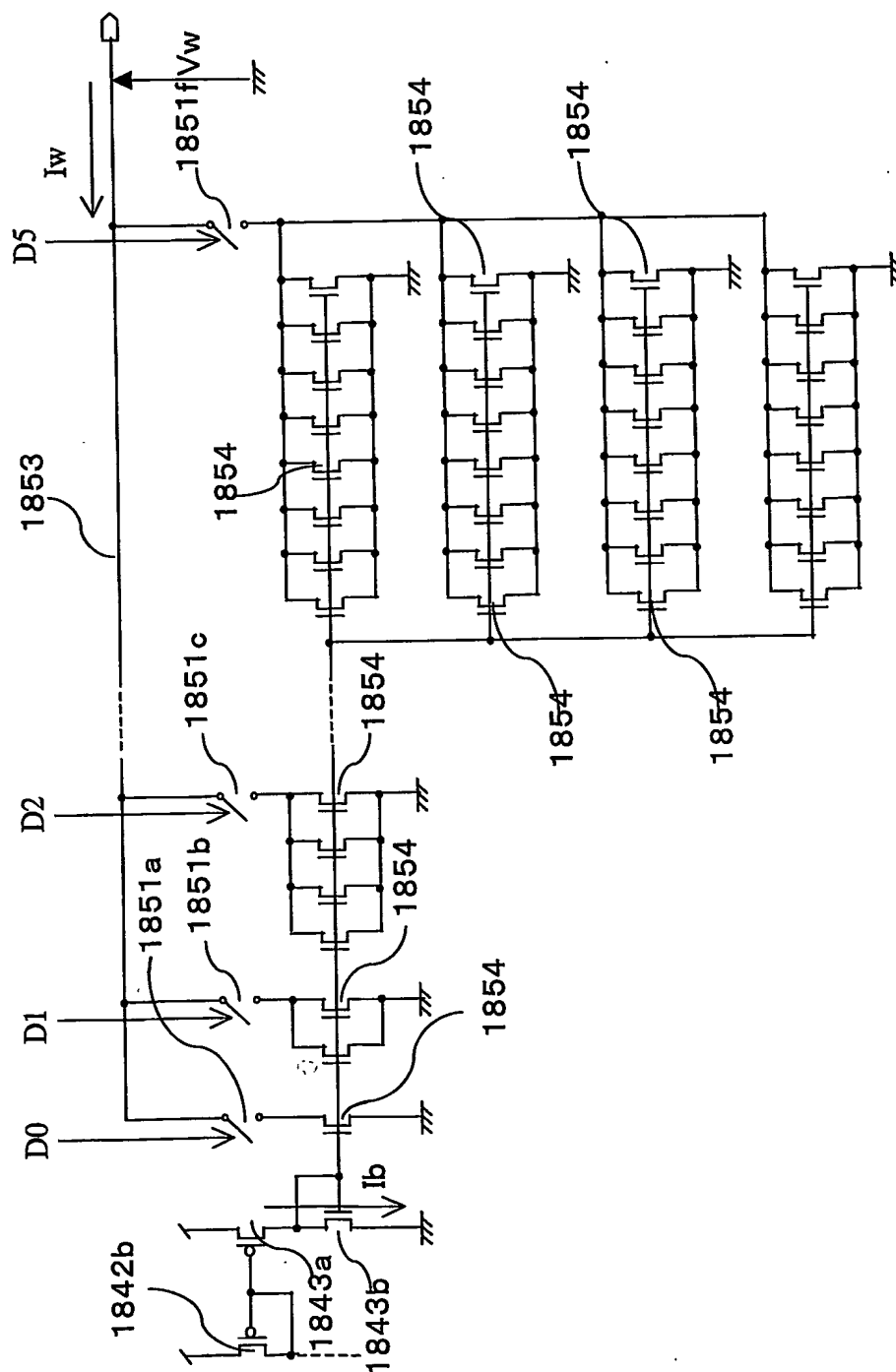


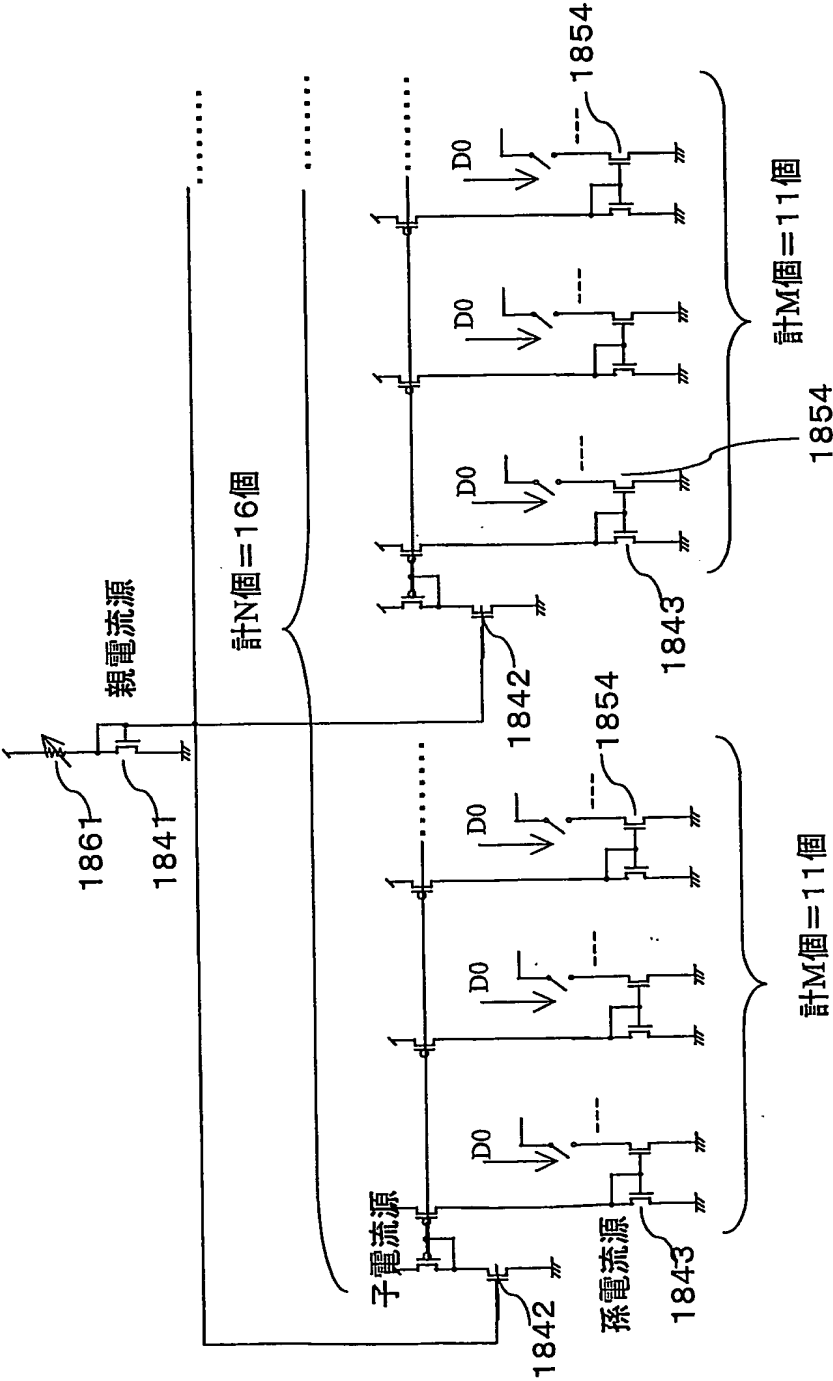
図 185 録

185/189

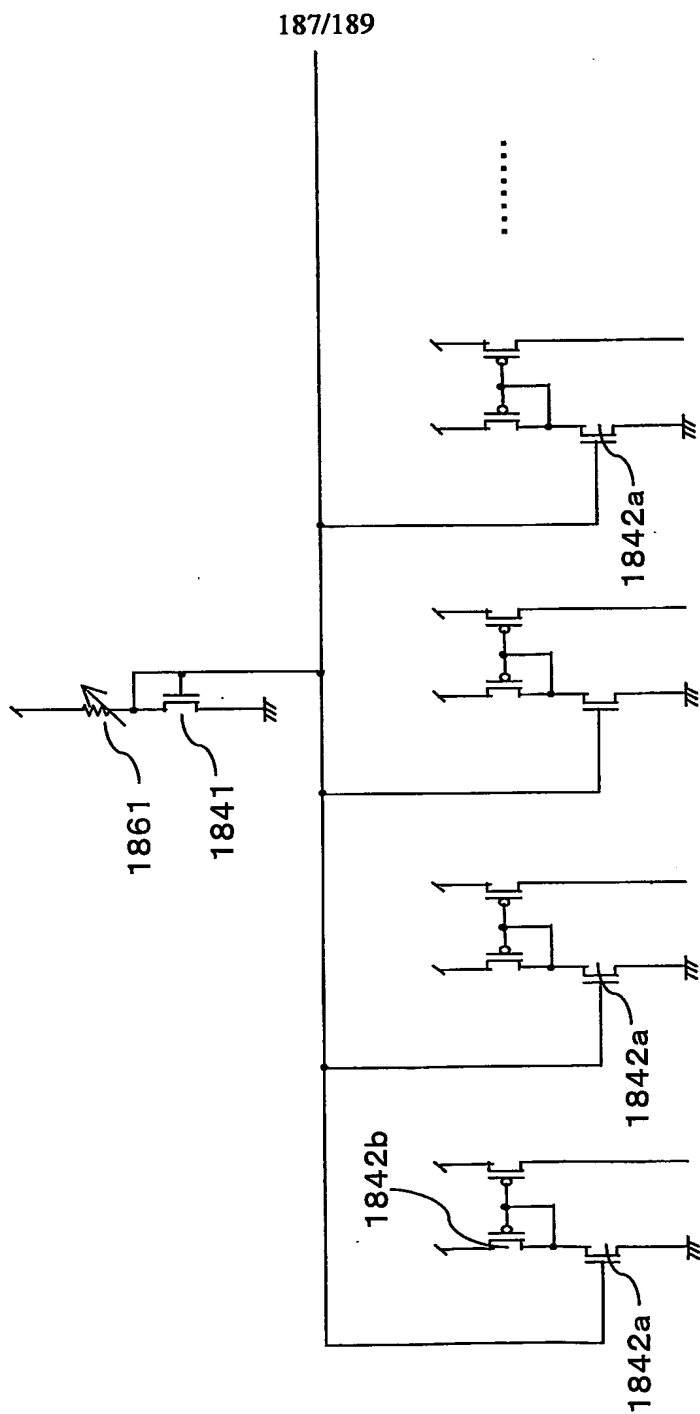


186/189

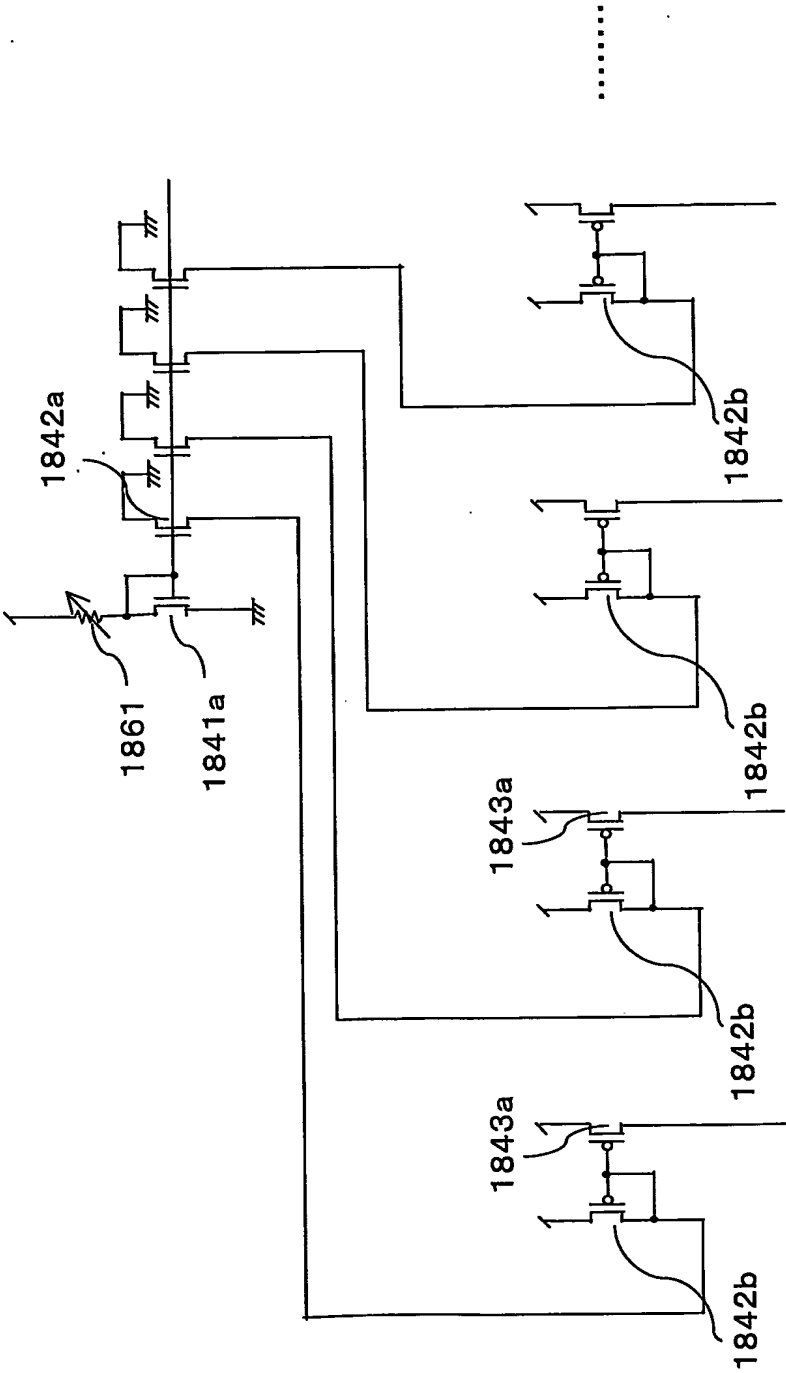
第186図



第187図

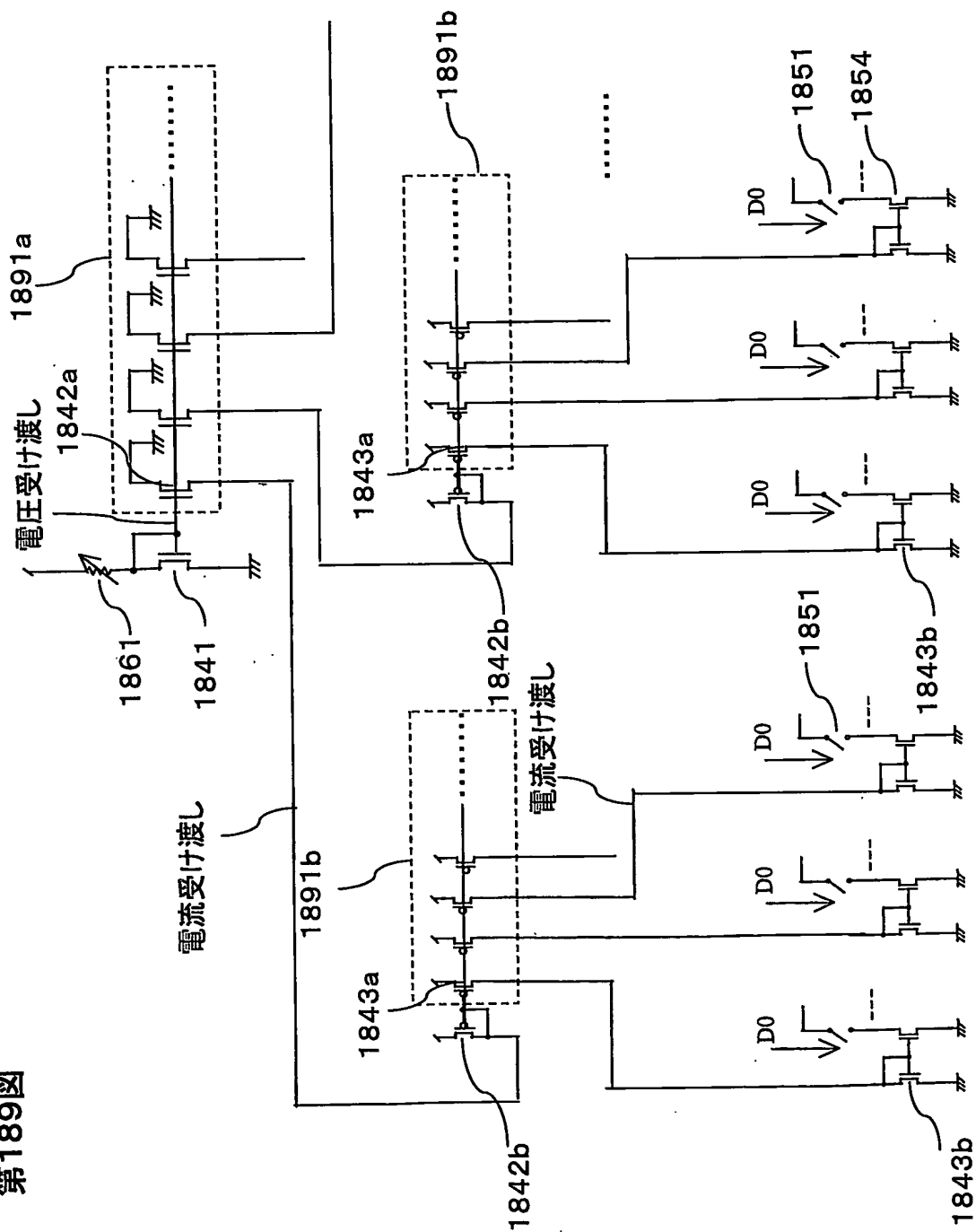


第188図



189/189

第189図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/02597

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09F3/30, G09G3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/30, G09G3/20, H05B33/14, G05F1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, X	JP 2003-150104 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Par. Nos. [0372] to [0422]; Figs. 1 to 2, 37 to 38 (Family: none)	1-2
Y	JP 2002-40990 A (Semiconductor Energy Laboratory Co., Ltd.), 08 February, 2002 (08.02.02), Par. No. [0015] & KR 2001/105273 A & US 2001/048106 A1	1-2
Y	JP 2001-42822 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Par. Nos. [0013] to [0023], [0026] to [0027]; Figs. 3, 5, 6, 9 to 11 (Family: none)	1-2

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
05 June, 2003 (05.06.03)

Date of mailing of the international search report
17 June, 2003 (17.06.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02597

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-232649 A (Casio Computer Co., Ltd.), 02 September, 1998 (02.09.98), Par. Nos. [0014] to [0023]; Figs. 1 to 5 & CN 1216135 A & EP 906609 A1 & KR 2000/064789 A & TW 441136 A & US 5990629 A & CA 2249592 C & WO 98/33165 A1	1-2
Y	JP 2001-60076 A (Sony Corp.), 06 March, 2001 (06.03.01), Par. Nos. [0025], [0032]; Fig. 5 & CN 1278635 A & EP 1061497 A1 & KR 2001/039666 A	1-2
Y	WO 01/006484 A1 (Sony Corp.), 25 January, 2001 (25.01.01), Pages 50 to 55; Figs. 11, 13 to 14 & EP 1130565 A1 & KR 2001/085788 A	1-2
P,Y	JP 2003-29708 A (Matsushita Electric Industrial Co., Ltd.), 31 January, 2003 (31.01.03), Par. Nos. [0127] to [0131]; Fig. 31 (Family: none)	1-2
P,Y	JP 2003-66865 A (Matsushita Electric Industrial Co., Ltd.), 05 March, 2003 (05.03.03), Par. Nos. [0098] to [0106]; Fig. 1 (Family: none)	1-2

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30, G09G3/20, H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30, G09G3/20, H05B33/14, G05F1/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
E, X	JP 2003-150104 A (松下電器産業株式会社) 2003.05.23 段落番号【0372】-【0422】, 図1-2, 37-38 (ファミリーなし)	1-2
Y	JP 2002-40990 A (株式会社半導体エネルギー研究 所), 2002.02.08 段落番号【0015】 &KR 2001/105273 A &US 2001/048106 A1	1-2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日 05.06.03

国際調査報告の発送日 17.06.03

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
橋本 直明



2G 9707

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2001-42822 A (パイオニア株式会社) 2001. 02. 16 段落番号【0013】-【0023】，【0026】-【0027】，図3，5，6，9-11 (ファミリーなし)	1-2
Y	J P 10-232649 A (カシオ計算機株式会社) 1998. 09. 02 段落番号【0014】-【0023】，図1-5 &CN 1216135 A &EP 906609 A1 &KR 2000/064789 A &TW 441136 A &US 5990629 A &CA 2249592 C &WO 98/33165 A1	1-2
Y	J P 2001-60076 A (ソニー株式会社) 2001. 03. 06 段落番号【0025】，【0032】，図5 &CN 1278635 A &EP 1061497 A1 &KR 2001/039666 A	1-2
Y	WO 01/006484 A1 (ソニー株式会社) 2001. 01. 25 第50頁-第55頁，図11，13-14 &EP 1130565 A1 &KR 2001/085788 A	1-2
P, Y	J P 2003-29708 A (松下電器産業株式会社) 2003. 01. 31 段落番号【0127】-【0131】，図31 (ファミリーなし)	1-2
P, Y	J P 2003-66865 A (松下電器産業株式会社) 2003. 03. 05 段落番号【0098】-【0106】，図1 (ファミリーなし)	1-2